

# 针对电能表的EMI EMC注意事项

作者: Neeraj Mangla 与 Puneet Arora

## 1 简介

电能表往往会遭受到一些蓄意噪声源的篡改，以试图操纵能耗读数。因此，有必要确保电能表在复杂的噪声电磁环境下能够完全正常工作。针对这一要求，IEC计量标准中规定了不同的型式试验。仪表制造商向市场提供其产品前必须通过这些试验。

微控制器设计者和PCB设计者有一个共同目标，即在计量系统中提供保护，使仪表不受噪声环境的影响。

飞思卡尔将MKM34系列微控制器用于单相和三相计量市场。该系列微控制器对静电放电（ESD）和高频噪声篡改源具有更强的抗干扰能力。若结合良好的PCB设计，MKM34系列器件可以发挥出优良的抗干扰性能。

本应用笔记阐释了在不同篡改条件下的计量型式试验。文中还提供了构建一个稳健的计量系统所需要采取的措施。

### 目录

1. 简介 .....	1
2. 仪表的型式试验 .....	2
3. 在型式试验和篡改过程中出现系统故障的原因 .....	5
4. 不同层面的设计技术 .....	7
5. 结语 .....	16
6. 参考文档 .....	16
7. 修订历史记录 .....	16

## 2 仪表的型式试验

### 2.1 冲击/浪涌电压试验

IEC 61000-4-5标准对该试验进行了定义。进行该试验是为了模拟雷电对输入线的影响。在此试验中，施加10次6 kV冲击电压（先用正极性，再用负极性）。脉冲的最小间隔时间必须大于3秒。

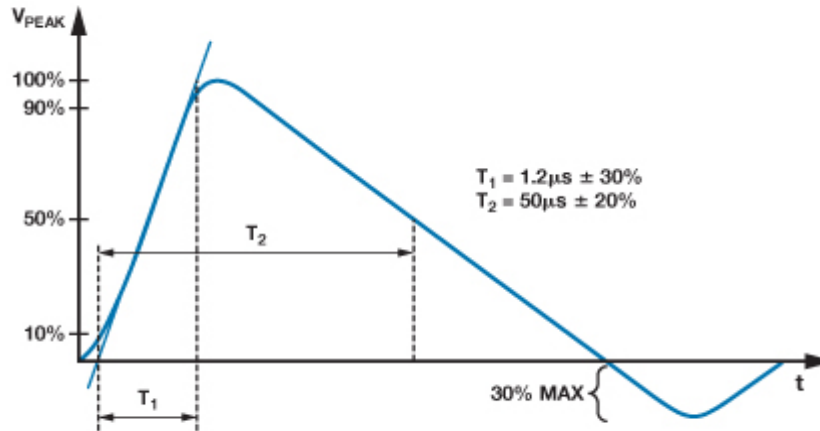


图1. 标准IEC 61000-4-5波形

### 2.2 快速瞬变脉冲群试验

IEC 61000-4-4标准对该试验进行了定义。该试验可模拟开关切换或继电器开关时产生的高压条件。试验中对仪表端子施加一个连续的4 kV脉冲。在试验过程中，仪表必须处于工作模式，且工作电压必须等于该仪表的参考电压。仪表不得连接任何负载—即在实验过程中不得有电流通过仪表。该实验运行60秒。

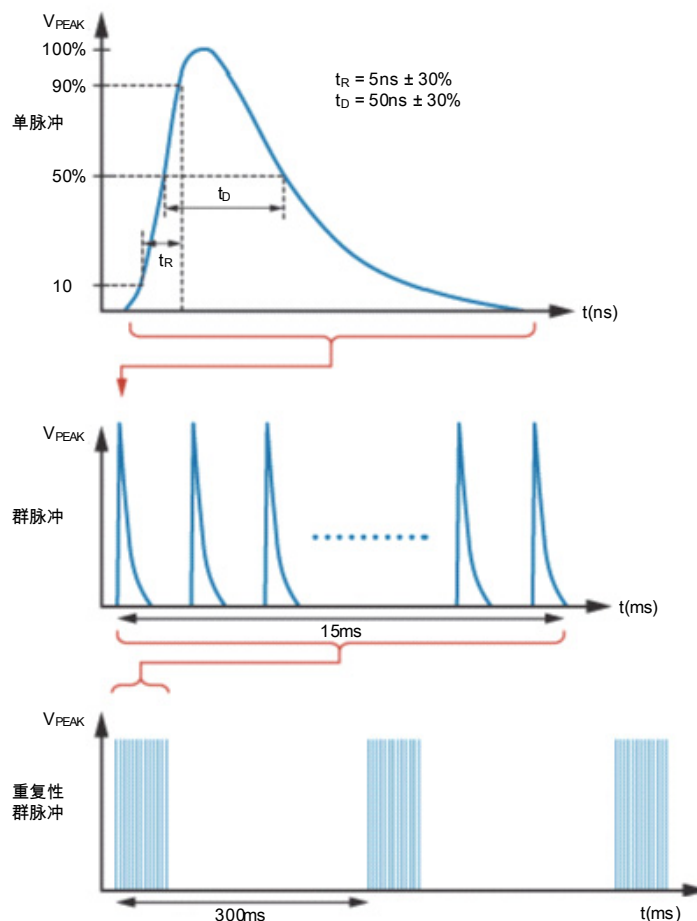


图2. 标准IEC 61000-4-4波形

### 2.3 静电放电（ESD）抗干扰试验

IEC 61000-4-2标准对该试验进行了定义。该试验可模拟人体模型（HBM）、机器模型、元件充电模型和电场感应模型。采用8 kV接触放电或15 kV空气放电的连续高压脉冲。

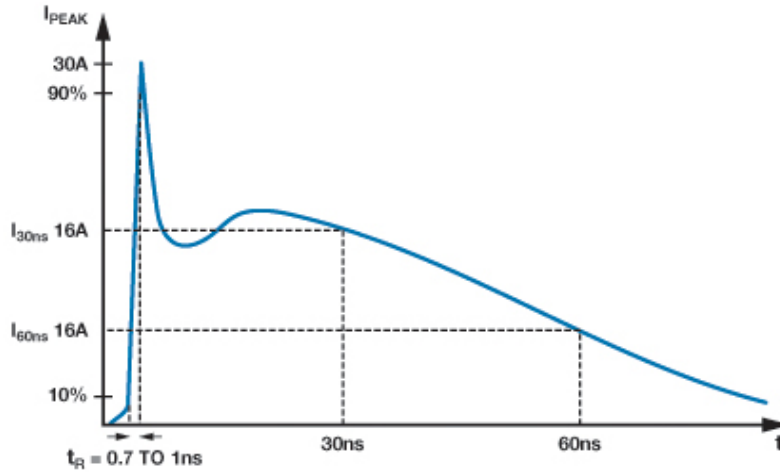


图3. 标准IEC 61000-4-2波形

## 2.4 35 kV ESD抗干扰试验

该试验用来评估仪表对高压ESD的抗干扰能力，高压ESD是篡改电能表的常用手段。在篡改阶段，仪表处于死机状态，使得电能表在用户耗电时不记录用电量。此试验没有已定义的IEC标准，但是与IEC 61000-4-2标准类似，该试验将放电电压升高至35 kV. 放电过程中产生的电流与放电电压成正比。图4显示了HBM的静电放电特性，其中串联电阻为330 Ω，电容为150 pF。

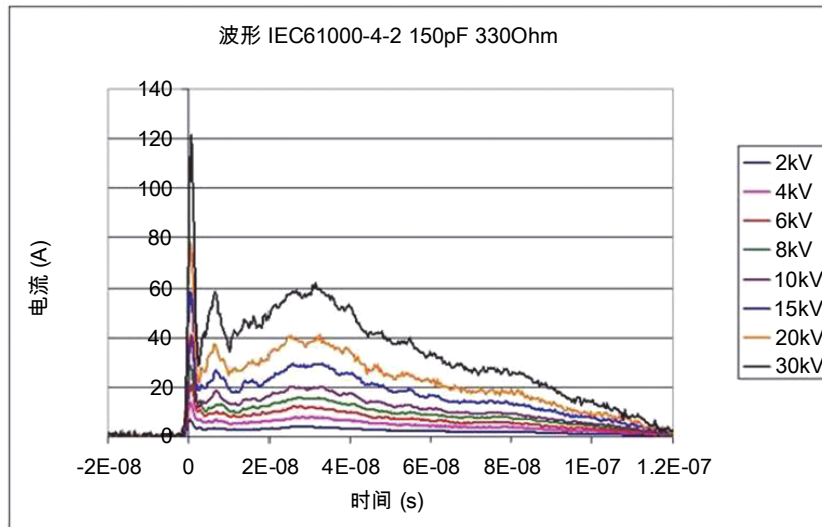


图4. 标准IEC 61000-4-2电流与放电电压

## 2.5 交流（AC）电压绝缘试验

该试验用来评估仪表的绝缘性能。交流电压绝缘试验进一步分为下列两个试验：

1. 2 kV交流电压试验：在此试验中，向所有电压端子施加2 kV交流电，一端连接电流回路，另一端接地。
2. 4 kV交流电压试验：在此试验中，通过4 kV交流电来评估仪表中的其他绝缘性能。

## 2.6 对高频电磁场的抗干扰能力

IEC 61000-4-3标准对该试验进行了定义。该试验旨在评估电能表在高频（HF）电磁场中的抗干扰能力。高频场发生器也是用来篡改电能表的一种手段。这些高频场最常见的作用就是导致电能表死机。电气标准要求一个仪表能够完全正常工作，其电能读数不能因为高频噪声的作用而产生变化。有两种型式试验可用来评估对高频电磁场的抗扰能力，描述如下：

1. **传导抗扰**：此试验可评估仪表对通过传导通路（例如，电力线或AMR通信端口）注入系统的高频信号的抗扰性。这种型式的噪声通常出现于150 KHz-30 MHz频带内。
2. **辐射抗扰**：此试验可评估仪表对辐射电磁干扰的抗扰性。这类噪声信号在空气中传播，且噪声源和干扰对象之间没有物理接触，噪声信号以电磁波的形式与系统电路板上的信号耦合。这些噪声信号出现在30 MHz-1000 MHz频带内。试验时的场强为10 V/m。

## 2.7 辐射干扰试验

如第2.6节“对高频电磁场的抗干扰能力”中所述，在传导和辐射噪声出现时电能表应该仍可以正常工作。电能表自身绝对不可产生影响周围设备运转的噪声。下面是根据电能表在外部环境中发出的噪声所规定的两种试验。

1. **传导发射**：对传导介质发射的噪声，在150 kHz-30 MHz范围内。
2. **辐射发射**：30 MHz-300 MHz范围内的辐射噪声。

## 3 在型式试验和篡改过程中出现系统故障的原因

如果一个系统在型式试验和篡改过程中偏离了预期的行为，其原因如下：

1. 互感
2. 互容
3. 天线效应
4. 回路电流的高阻抗路径

PCB的设计必须最大限度地减小电路板上电气走线间的互耦或天线效应，并且至少为回路电流提供低阻抗回路。电流回路在定义PCB的电磁场时起着重要的作用。PCB的电磁场与外部电磁场之间的作用决定了系统的性能。

### 3.1 互感

当两个线圈彼此接近时，一个线圈中的磁场与另一个线圈相关联，从而导致第二个线圈中产生了电压。这种现象称为互感。PCB走线上寄生电感，因此在通过变化的电流时会产生磁场，还会因外部磁场产生感应电压。PCB走线的电感取决于走线长度，该长度可以有效地改变通过PCB走线的实际信号。

互感由以下公式定义：

$$M = K\sqrt{L_1L_2} \quad \text{公式 1}$$

<sup>1</sup> K为耦合系数

<sup>2</sup> L1与L2为线圈的自感

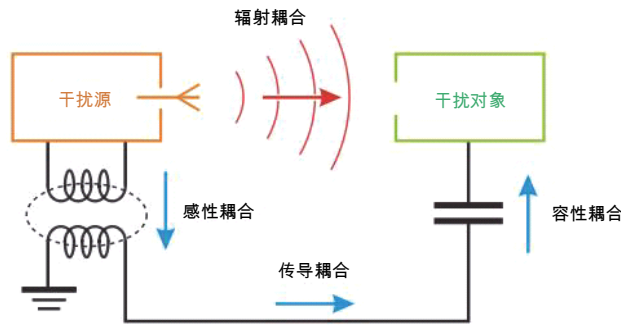


图5. 不同的噪声耦合方式

### 3.2 互容

互容是两个载有电荷的物体或导体之间有意或无意产生的电容。在PCB中，如果两根走线距离很近，则走线之间的空气或材料相当于电介质，而走线相当于电容器的极板。任何外部电场都会通过空气这种电介质导致电容耦合，并向PCB引入无用的噪声。同理，流过PCB走线的电流也可能通过互容向外部系统引入噪声。

PCB走线的典型电容值定义如下：

$$C = \epsilon_r \epsilon_0 \frac{A}{D} \quad \text{公式 2}$$

<sup>1</sup> C表示电容，单位：法拉。

<sup>2</sup> A为两个极板的重叠面积，单位：平方米。

<sup>3</sup>  $\epsilon_r$ 为极板间介质的相对静态电容率（也称为介电常数）（在真空状态下， $\epsilon_r = 1$ ）。

<sup>4</sup>  $\epsilon_0$ 为电常数 ( $\epsilon_0 = 8.854 \times 10^{-12} \text{ F m}^{-1}$ )。

<sup>5</sup> D为两个极板之间的距离，单位：米。

## 4 不同层面的设计技术

若要构建一个稳健的系统，建议在不同的设计阶段采用特定的设计技术。本节提供了一些指南，便于在系统层面、PCB和电路层面采用这些技术。

### 4.1 系统层面

若要构建一个具有更强抗扰能力的稳健系统，使其能够应对更严苛的环境电磁干扰（EMI）和侵入性篡改手段，则应设计系统框架，使仪表与其他辐射源隔离。

#### 4.1.1 气密外壳

图6显示了一种不完善的设计，在这样的设计中ESD和电磁噪声可以进入外壳。

A侧显示的外壳在角部或其他小部位有一个狭缝或缺口，导致ESD和电磁噪声进入外壳，从而影响电路板性能。

B侧显示有一小段导线伸出了外壳。这根导线将PCB暴露在ESD或传导噪声的直接攻击下，也表现为一个捕捉环境噪声的电磁波天线。

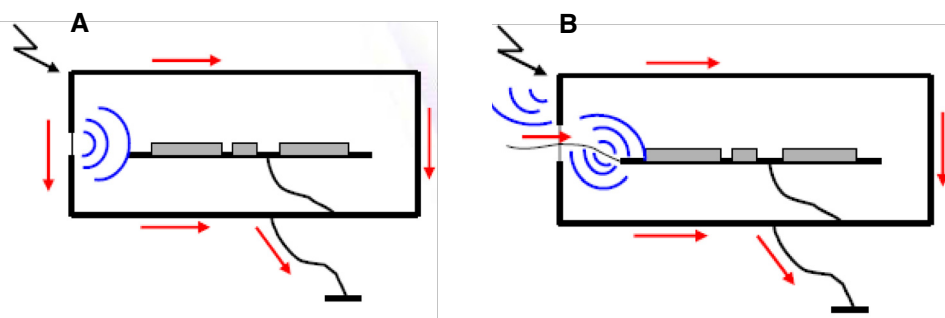


图6. 不正确的外壳设计

图7显示了可以防止ESD冲击PCB区域的正确设计。该外壳是一个绝缘体，可防止ESD放电和电磁噪声流入内部。若采用此设计，唯一需要的预防措施是将设备放置在一个接地良好的表面上，否则可能会因为外壳外表面上形成的静电荷受到ESD冲击。

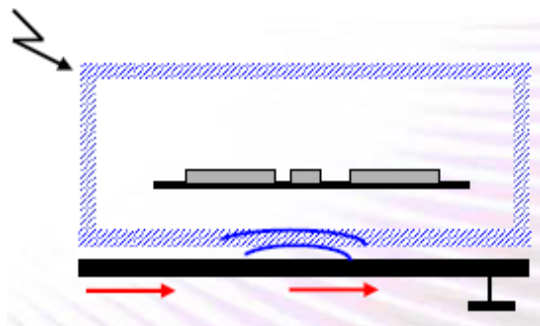


图7. 正确的外壳设计

如果不能实现一个完全封闭的绝缘体，则可以采用不同的方式来解决开口狭缝的问题，如图8所示。

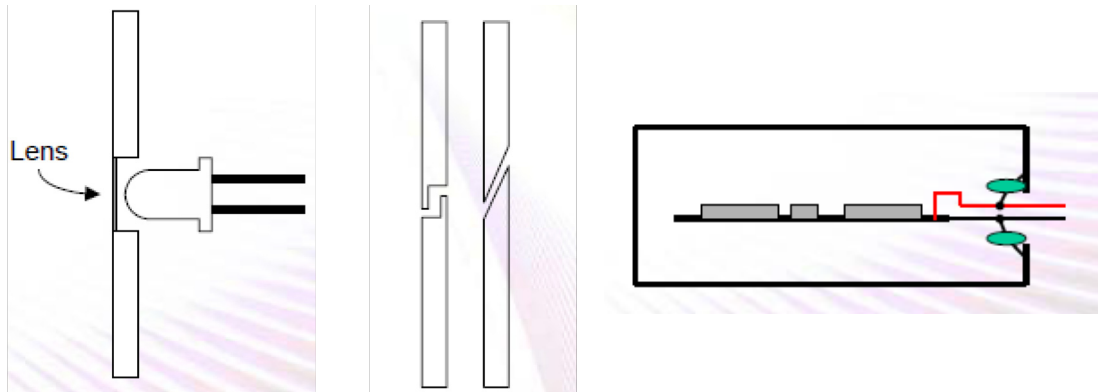


图8. 外壳狭缝遮蔽

#### 4.1.2 线束

所有开路、无端接的长回路导线相当于带有长传输路径的天线。因此，有必要对这些导线进行适当地屏蔽。如可行，在所有引线比较长的信号线旁用双绞线或同轴电缆并联一根回流导线。

#### 4.1.3 PCB与外壳的间隙

PCB与外壳之间应该留有足够间隙，使外壳上形成的静电无法在PCB内部形成有效的电场。如果外壳是导电材料，则PCB必须通过绝缘布置连接到外壳上。PCB上组件的高度应尽可能得低，并且与外壳的内表面之间留有足够的空间。

#### 4.1.4 屏蔽

屏蔽可用于减少辐射噪声进入或离开一个组件、设备或系统。屏蔽措施可以降低系统的辐射强度，也可以提高系统的抗扰能力。如果一个系统包含SMPS、DC-DC转换器驱动器和逆变器等组件，则屏蔽十分重要，因为这些组件都是射频发射源。在电能表中，对射频发射器和SMPS电源等组件必须进行适当地屏蔽。

有几个因素会影响屏蔽性能，如：

1. 屏蔽类型
2. 屏蔽材料的类型和厚度
3. 屏蔽接地
4. 干扰源和被扰源关系
5. 受损屏蔽



## 4.2 PCB层面

在PCB设计阶段，设计人员必须考虑到电磁干扰的各个方面，包括系统内以及跨系统的辐射和传导电磁干扰。本节主要考虑PCB布板设计技术，如接地、组件的放置、布线、以及确定关键信号、模拟地和数字地等等。

### 4.2.1 外形

外形的确定需要基于整板的布局和走线的可行性研究。PCB的面积必须足以提供接地、屏蔽以及所有信号的最短回流路径。设计人员须尽量避免切割PCB的表面。

### 4.2.2 布局

在布局阶段，设计师必须确认PCB上哪些关键部分将来可能会成为电磁干扰源或干扰对象。

下面几点是PCB设计的关键：

1. I/O端口—与外界连接的所有I/O连接器均为ESD和EMI电磁场的主要来源。这些I/O连接器将外部环境的噪声传递到PCB的容易干扰部分。这些I/O连接器必须进行适当地屏蔽并连接到系统接地端。关键信号的引脚必须与接地引脚相邻，并且每个信号连接器必须充分接地。
2. 关键的电源、控制、时钟和信号线的放置必须按照图9所示。

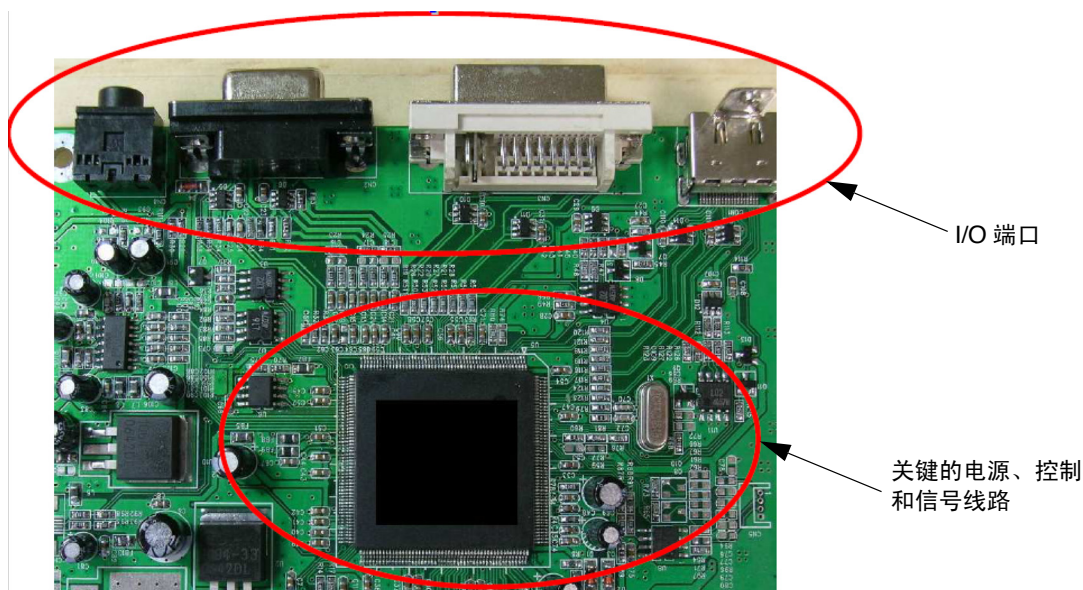


图9. 带有敏感电路的PCB

3. 微控制器和敏感电路的布局—将所有敏感电路放置在PCB中央。敏感电路容易受到环境噪声的影响，因此必须尽可能远离PCB边缘。
4. 模拟、数字、电源和高速部分的布局—模拟部分和高速部分的放置应尽可能远离产生噪声干扰的电路，如数字电路和电源部分。模拟、数字、电源和高速电路各自必须有在信号通路下或紧邻信号通路的最短回路流程。请参见图10。

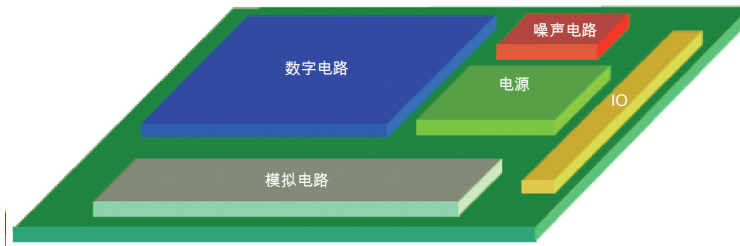


图10. 建议布局

### 4.2.3 布线

PCB布线对确定系统的EMI行为起着重要的作用。随着竞争的加剧，低成本系统成为目标。因此，设计系统时要求PCB板的层数尽可能少，且外形尽可能小。对PCB布线进行设计，使其能够抵抗外部噪声源的干扰变得非常重要。本节针对不同的系统接口（如晶振、LCD、模拟电路和电源等）说明了各种不同的布线技术。

#### 4.2.3.1 晶振布线

晶振是系统中最为敏感和关键的部分，因为它是整个控制器或系统的时钟源。晶振的信号幅度较低，因此它们对ESD和EMI噪声非常敏感。如果PCB设计不佳，则会因为不必要的抖动或晶振的振荡衰减导致系统的性能下降。

使用以下指导准则来设计晶振部分：

- 邻近控制器摆放。同时，确保EXTAL和XTAL走线尽可能短，使其形成一个长度最短的集总电路，以避免噪声。
- 确保晶振以干净的地作参考，并且这个地与微控制器的地相连。请参见图11。

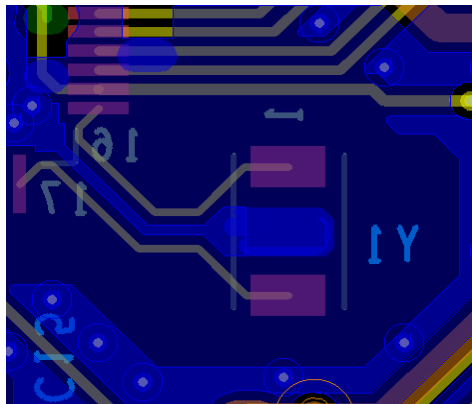


图11. 晶振布线

- 确保晶振、晶振走线以及其他电路之间留有足够的间隙，约30 mil以上。

### 4.2.3.2 液晶显示器（LCD）布线

LCD接口容易受到EMI的影响，因为LCD玻璃存在电容，并且偏置电压的数量增加。背板和前板之间的电压差更易受到噪声的影响，从而产生错误结果。段式LCD可以从驱动器向LCD玻璃平行引入20-30根线，导致LCD接口对外部噪声非常敏感。

下列描述了对LCD进行布线的指导准则，示例见图12和图13：

- 为了尽量减少传输线的影响，LCD线路在布线时必须尽可能直而短。LCD走线的并行布线增加了走线的有效长度，使其与传输线可比。在这种影响下，很难始终保持其特性阻抗，因而会发生信号反射并产生振铃信号。
- 如果需要将LCD线路引向另一层，布线时应确保通孔的数量尽可能少，且整个路径上伴有地线，以尽量减少耦合。
- 在线路上提供串联电阻能够端接传输线，并在静电放电和过流等情况下限制电流，如图13所示。
- LCD线路必须在旁侧伴有保护走线，将噪声从LCD走线耦合到地。如果该措施不可行，则走线之间应保持至少两倍宽的间隙，如图12所示。

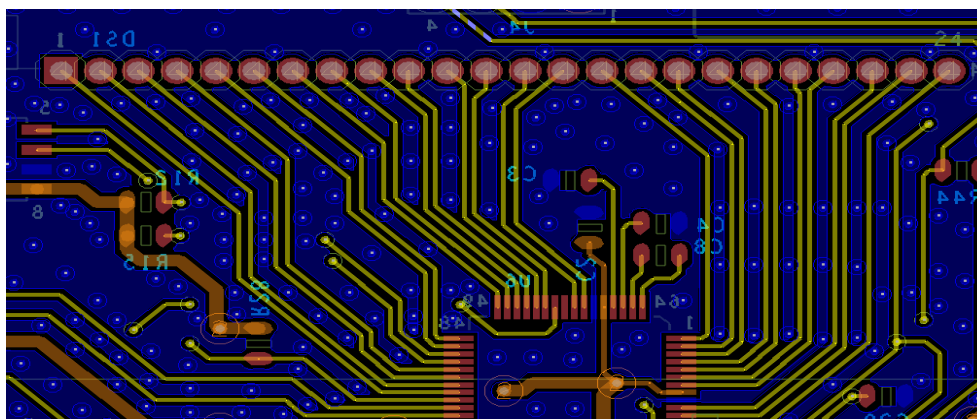


图12. 带有接地网格的LCD布线技术

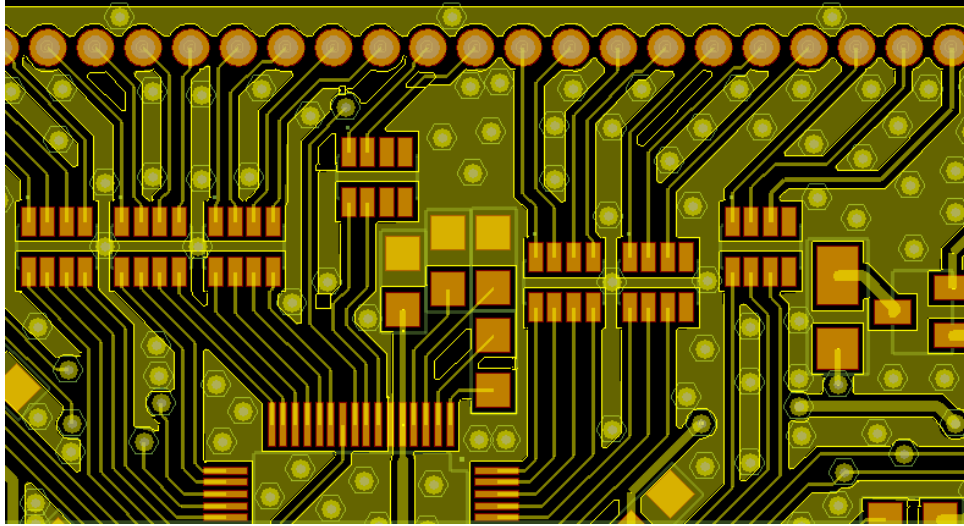


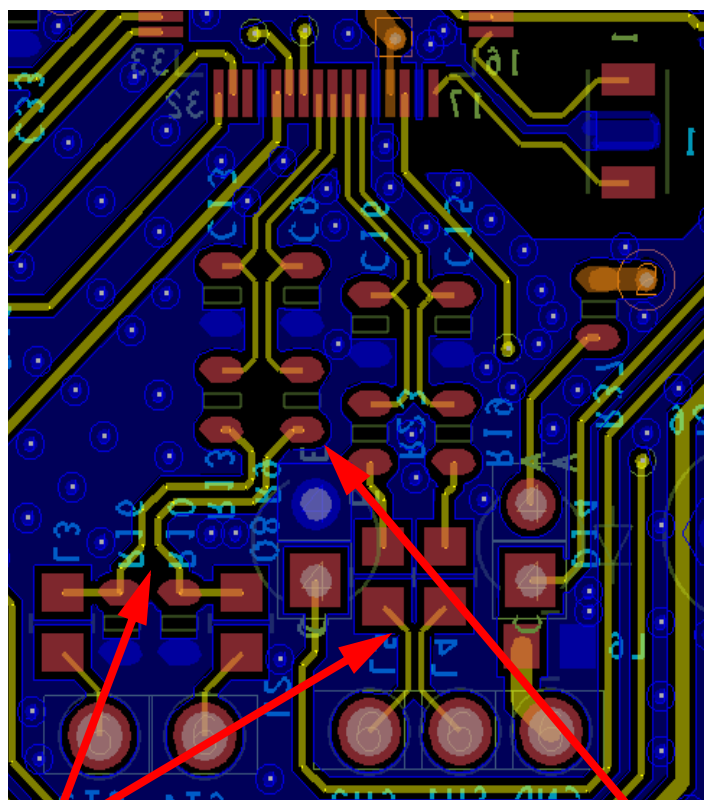
图13. 带有串联电阻的LCD布线技术

#### 4.2.3.3 模拟布线

PCB上的模拟布线设计非常关键，它决定了一个系统的精确度和性能；对电能表来说尤其如此。模拟部分包括模数转换器采样的低幅模拟信号，因此，任何噪声都会干扰实际模拟信号并降低信噪比，导致得到错误的数值。良好的布线应避免外部信号耦合以及对模拟信号引入板上噪声。

下列提供了模拟布线的指导准则：

- 模拟信号比较敏感，所以必须注意将这些信号与其他数字（开关）信号隔离。
- 必须从信号开始到结束提供一个适当的地参考，没有任何切口或狭缝。
- 所有模拟信号之间以及模拟信号与开关信号之间的间隔必须至少为两倍宽度。
- 所有差分信号的布线应尽量使走线长度最短，通孔和转角最少。
- 差分信号的D-和D+之间保持平行（倾斜匹配）。这些走线的长度必须相同。这些差分信号在布线时彼此应足够靠近，以抑制共模噪声。
- 差分信号之间的间距必须小于等于一倍宽度。
- 任何差分对与任何其他信号之间的间距必须超过两倍宽度。
- 在差分对与其他信号之间可提供额外的地。



模拟布线

两条走线之间的地

图14. 差分布线

#### 4.2.4 电源和分配

电源是计量等应用需要关注的一个重要领域，因为这些应用涉及到针对不同测量的模拟电路。模拟电路的性能受电源抑制比（PSRR）因子的影响，即使少量的电源噪声也会导致模拟部分容易受到干扰。因此，对电源进行噪声滤除和对负载电路进行噪声去耦是很重要的。在篡改过程中，人为的ESD冲击通过交流电源线路直接延伸到整个系统中。这种噪声实际上是有传导性的。

下面的两种方法用于抑制系统电源轨中的噪声：

1. 滤除进入电源的噪声：

设计人员必须确保任何噪声或不必要的电瞬变在进入电源部分之前已经受到抑制。其实现需要使用一些电气元件（如MOV、高压双向齐纳二极管和TVS二极管）和滤波器（如共模或差模扼流圈）。

2. 对负载电路进行噪声去耦：

即使在电源内部使用了噪声滤除技术，但由于开关元件的影响，电源还是会产生噪声。因此，在电源部分必须使用旁路电容和去耦电容，以确保电平保持稳定，防止高频噪声干扰。

## 4.2.5 接地

接地是系统设计中最关键、最难理解的一个概念。虽然下面的电气概念可能看起来比较基础，但没有一种程序方法能够保证系统性能改善按照每个步骤呈线性图表变化。

必须为所有敏感信号和开关信号提供完全接地层。在这些开关信号附近必须避免切口或狭缝。如果增加了信号的回流路径，则形成的更大回路会容易受到磁场的影响。

为确保系统有可靠的地，提供了以下指导准则：

- 如果没有提供单独的接地层，则应在每一层分配地。
- 为模拟部分和数字部分提供一个公共地，并将模拟信号和数字信号的布线区域分开，以使数字信号中的任何开关噪声不会影响模拟信号。
- 尽可能使用大量的通孔将每层的接地形状连接起来。
- 当在一个信号层上放置地时，应确保原始走线的阻抗不受影响，因为增加地可能会使信号走线的阻抗与负载/源不匹配，从而导致信号反射。

## 4.3 电路层面

本节将介绍需要考虑的组件和滤波电路的选择，以避免不同来源发出的噪声渗透。

### 4.3.1 电容选择

为构建一个稳健系统，电容扮演了重要的角色。正确选择电容可以避免设计中的许多电磁干扰问题。电容可用于电路中的不同层面，如下所述：

1. **大容量电容：**大容量电容用于去除交流噪声，并防止高瞬变进入系统。大容量电容必须放置在稳压器附近，电容值必须基于系统频率。通常使用10  $\mu\text{F}$ 至100  $\mu\text{F}$ 的电容。这些大容量电容工作时相当于一个储能装置。
2. **去耦电容：**去耦电容用于消除有源元件的高频开关和周围开关器件产生的噪声。它们还能满足有源器件对短时高电流的要求，防止高频噪声回流到电压线路。去耦电容应放置在有源器件附近，以防止PCB走线因其电感特性产生不必要的互感。

### 4.3.2 铁氧体选择

铁氧体是一种为高频信号提供阻抗的电感，通常用于抑制高频噪声成分。在电能计量过程中，电力电缆会产生传导噪声，该噪声在变流器处会耦合到PCB并分流到连接点，因此使用铁氧体磁珠来抑制或消除噪声。图15表明了铁氧体选择的示例—使用电路电感L2和L3。

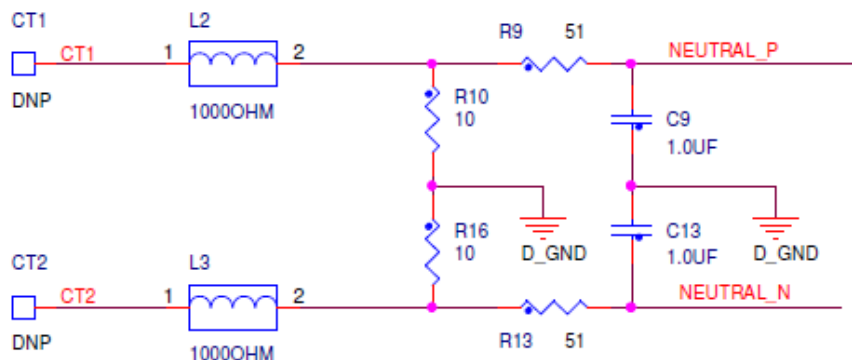


图15. 铁氧体磁珠作为噪声滤波器

### 4.3.3 滤波器设计

滤波器的工作原理是使沿导体传输的信号所检测到的阻抗不连续。不连续性越高，减弱效果越好。有多种滤波器可用于减弱无用信号。可采用几种不同类型的滤波器，滤波器的选择根据所用电子元件的类型决定，如R型、L型、RC型以及LC型。简单的R型和L型滤波器可形成一系列高阻抗路径，但必须在无用信号的阻抗较低时使用。无用信号的阻抗较高时使用C型滤波器。当一个直流或低频信号从低阻抗源输入到高阻抗电路中时，使用RC滤波器。LC滤波器可用于防止高频噪声进入系统。

### 4.3.4 ESD保护元件

由于工艺尺寸缩小，在设计微控制器时不可能单独实现对高ESD（高达35 kV）的完全防护。与外部ESD保护元件相比，集成ESD保护电路增加了硅空间和成本。大多数MCU通过最高2 kV来验证人体模型（HBM）标准、机器模型（MM）标准和元件充电模型（CDM）标准。这些标准只定义了电气特性的一个有限子集，可能无法复制现实生活中的情况。

在计量市场，ESD冲击被用来恶意损坏或篡改电气仪表，所以计量MCU需要外部ESD保护组件。常用的ESD保护元件有瞬态电压抑制器（TVS）和金属氧化物变阻器（MOV）。在决定使用哪种电路保护装置时，必须特别谨慎。错误的选择不仅有没任何效果，而且还可能干扰电路的正常运行。

#### 4.3.4.1 瞬态电压抑制器（TVS）

当感应电压超过雪崩击穿电位时，瞬态电压抑制器会转移过载电流。这种钳位器件可以抑制超过击穿电压的过电压。作为典型的钳位器件，TVS在电压恢复正常时会自动复位。该电路保护装置用于系统中的暂态电压抑制时必须提供以下特性：

- 极快速的响应时间，范围为10–100 ns。
- 低钳位电压和工作电压。
- 能够处理高峰值ESD电流。
- 受到反复的ESD冲击后能够保持完好无损。
- 尺寸极小。
- 反向漏电流极小。

TVS可用于电源上，置于去耦电容和大容量电容附近。

### 4.3.4.2 金属氧化物变阻器 (MOV)

变阻器是一种电子元件，其电流—电压特性类似于二极管。变阻器主要是用来防止电路遭受过载瞬态电压。将变阻器集成在电路中，触发时，它们会对高压产生的电流进行分流，使其远离敏感元件。变阻器又称为压敏电阻 (VDR)。当施加高电压时，变阻器能承受显著增加的电流。当端电压低于钳位电压时，变阻器在正常工作中相当于一个分流模式的器件，保持无传导性。因此，变阻器通常用于抑制线路中的电压浪涌。但是，压敏电阻可能无法有效地限制某个事件产生的超大浪涌电压，例如雷击，这时涉及的电能比其能力范围大几个数量级。在电能表的应用中，压敏器件用于输入电力线。

## 5 结语

如果本应用笔记中的所有设计注意事项均得以采纳，则计量系统的性能将会增强。这些技术可在基于MKM34的单相和三相电能表参考设计中实现，生成的稳健系统可通过所有已知的型式试验和篡改试验。

## 6 参考文档

可从[freescale.com](http://freescale.com)获取以下参考文档：

1. *Effective Printed Circuit Board Design: Techniques to Improve Performance* (文档 AMF-ENT-T0040)
2. *电路板级的电磁兼容设计* (文档AN2321)

## 7 修订历史记录

修订编号	日期	变更说明
0	2014/06	初始版本



**How to Reach Us:**

**Home Page:**

[Freescale.com](http://Freescale.com)

**Web Support:**

[Freescale.com/support](http://Freescale.com/support)

本文档中的信息仅供系统和软件实施方使用 Freescale 产品。本文并未明示或者暗示授予利用本文档信息进行设计或者加工集成电路的版权许可。Freescale 保留对此处任何产品进行更改的权利，恕不另行通知。

Freescale 对其产品在任何特定用途方面的适用性不做任何担保、表示或保证，也不承担因为应用程序或者使用产品或电路所产生的任何责任，明确拒绝承担包括但不限于后果性的或附带性的损害在内的所有责任。Freescale 的数据表和/或规格中所提供的“典型”参数在不同应用中可能并且确实不同，实际性能会随时间而有所变化。所有运行参数，包括“经典值”在内，必须经由客户的技术专家对每个客户的应用程序进行验证。Freescale 未转让与其专利权及其他权利相关的许可。Freescale 销售产品时遵循以下网址中包含的标准销售条款和条件: [freescale.com/SalesTermsandConditions](http://freescale.com/SalesTermsandConditions)。

Freescale, the Freescale logo, and Kinetis are trademarks of Freescale Semiconductor, Inc., Reg. U.S. Pat. & Tm. Off. ARM is the registered trademark of ARM Limited. ARM Cortex-M0+ is the trademark of ARM Limited. All other product or service names are the property of their respective owners.

© 2014 Freescale Semiconductor, Inc.

© 2014 飞思卡尔半导体有限公司。

Document Number: AN4941  
Rev 0, 06/2014

