

## 1 介绍

本手册描述了基于 NXP JN5189 无线微控制器模块的硬件参考设计。NXP JN5189 模块体积小、功耗低、性价比高，是 JN5189 芯片的评估和开发板原型设计和演示。

JN5189 是一款超低功耗、高度集成的单芯片设备，它支持标准的 IEEE 802.15.4 射频连接，适用于便携式、极低功耗嵌入式系统。

JN5189 SoC 集成了一个在 2.4 GHz ISM 频段运行的无线电收发器，支持 O-QPSK 调制，内含一个 Arm Cortex-M4 处理器，高达 640 kB 闪存，152 kB SRAM 和 128 kB ROM，802.15.4 处理器硬件和外设以满足客户应用的需求。

本手册中提出的参考设计注意事项对于 JN5189 直接放置在产品 PCB 上的解决方案同样有效。

三种模块型号可选：

- JN5189-001-M10
- JN5189-001-M13
- JN5189-001-M16

表 1 描述了可用的模型。

为了成功地完成自己的 PCB 设计，必须尽可能严格地遵循本参考手册中描述的硬件指南。有关 JN5189 特性的进一步信息可在 JN5189 IEEE802.15.4 Wireless Microcontroller 数据表中获得。

JN5189-001-m10 模块已安装到夹层板（OM15077）上用于 JN5189 评估。该模块称为 JN5189-001-T10。

### 1.1 目标

本指南面向系统设计者。

### 1.2 监管批准

JN5189-001-M10 和 M13 符合：

- RED 2014/53/EU
- CFR 47 FCC part 15

高功率 JN5189-001-M16 在欧洲不允许被使用，其符合：

- CFR 47 FCC part 15

## 2 参考设计

参考设计包括每个模块的以下信息：

### 目录

<b>1</b>	<b>介绍</b> .....	<b>1</b>
1.1	目标.....	1
1.2	监管批准.....	1
<b>2</b>	<b>参考设计</b> .....	<b>1</b>
<b>3</b>	<b>框图</b> .....	<b>2</b>
<b>4</b>	<b>设计注意事项</b> .....	<b>3</b>
4.1	JN5189 封装.....	4
4.2	PCB 板层.....	4
4.3	RF 电路拓扑与匹配.....	5
4.4	传输线.....	6
4.5	组件.....	6
4.6	GND 层.....	7
4.7	完整层.....	7
4.8	DCDC 组件.....	8
4.9	参考振荡器.....	8
4.10	去耦.....	9
4.11	去耦电容.....	11
4.12	GPIO.....	11
4.13	屏蔽罩.....	11
<b>5</b>	<b>模块上 PCB 放置的最佳位置</b> .....	<b>12</b>
<b>6</b>	<b>制造注意事项</b> .....	<b>12</b>
<b>7</b>	<b>规章</b> .....	<b>14</b>
<b>8</b>	<b>示意图检查表</b> .....	<b>15</b>
<b>9</b>	<b>布局检查表</b> .....	<b>19</b>
<b>10</b>	<b>缩写</b> .....	<b>23</b>
<b>11</b>	<b>参考文献</b> .....	<b>23</b>
<b>12</b>	<b>修订记录</b> .....	<b>23</b>



- 参考手册: JN-RM-2078
- 原理图
- 布局
- 材料清单

完整的设计数据库包括原理图和布局源文件可再要求。

表 1 提供了 JN5189 模块参考设计的摘要, 该设计可从 [Wireless](#) 获得。

表 1. 模块参考

编号	描述	内容		参考手册
JN-RD-6054	JN5189 模块参考设计包	OM15069 标准功率 PCB 天线	JN5189-001-M10	JN-RM-2078
	JN5189 模块参考设计包	OM15069 标准功率 μFI 连接器	JN5189-001-M130	
	JN5189 模块参考设计包	OM15069 标准功率 天线多选 (PCB 天线和 μFI 连接器)	JN5189-001-M16	

注

这些参考设计允许的操作温度范围为 -40 °C 到 +125 °C。

### 3 框图

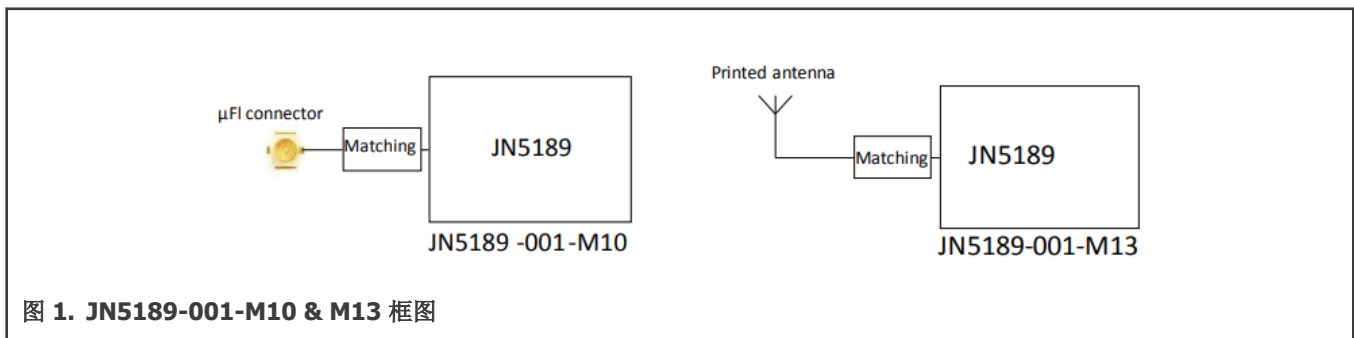


图 1. JN5189-001-M10 & M13 框图

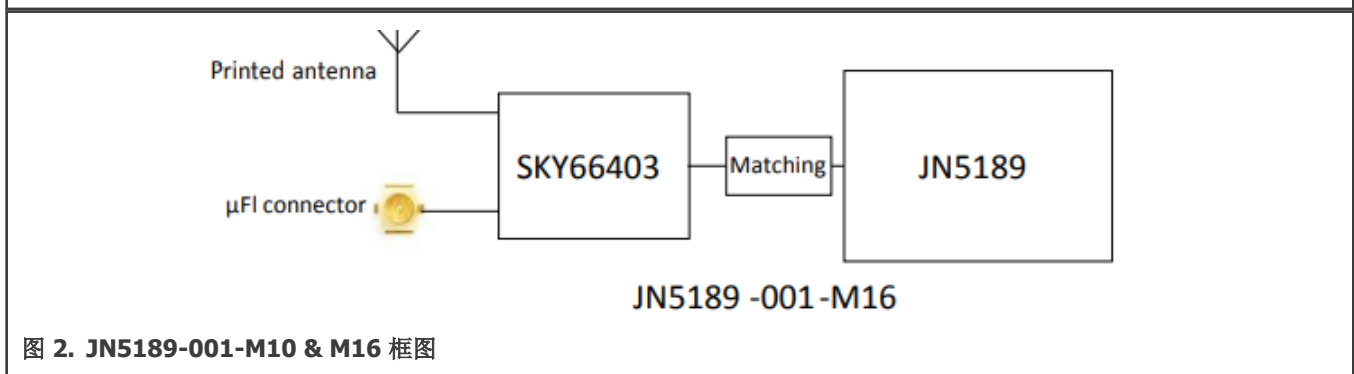


图 2. JN5189-001-M10 & M16 框图

## 4 设计注意事项

为了成功开发无线硬件，必须使其具备适当的封装设计、射频布局、电路匹配、天线设计和 RF 测量能力。RF 电路设计、布局和天线设计是需要有丰富的射频经验和专用的设计工具。有了 NXP 提供的硬件参考设计、RF 设计注意事项和本应用说明所包含的指导原则，硬件工程师可以成功地设计出具有良好性能水平的 IEEE 802.15.4 无线电路板。图 3 显示了 JN5189 M10 和 M13 参考模块。它们包含 JN5189 设备和所有必要的 I/O 连接。

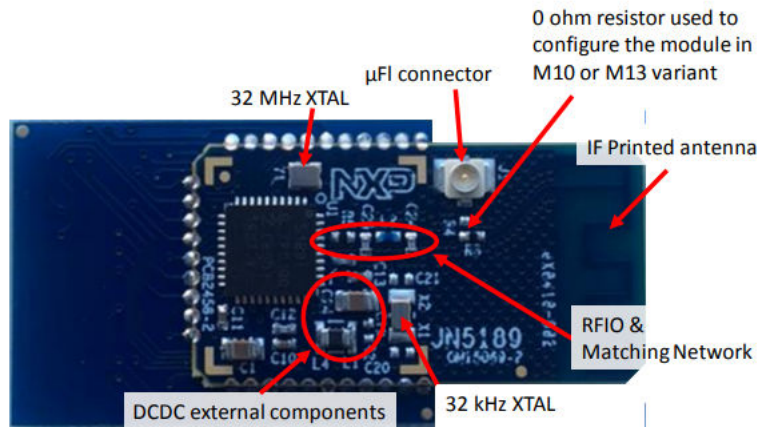


图 3. JN5189-001-M10 & M13

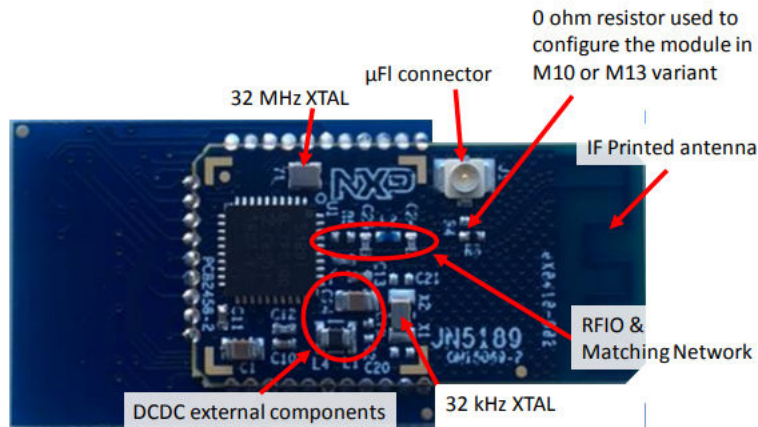


图 4. JN5189-001-M16

设备的封装设计和布局是至关重要的，如果设计不当，RF 性能将受到影响。由于这些原因，使用 NXP 推荐的 RF 硬件参考设计对于成功的电路板性能是重要的。此外，参考设计已经针对无线电性能进行了优化。元件位置的微小变化都可能使电路出错。如果使用参考设计，灵敏度、输出功率、谐波和杂散辐射和范围，则一次成功的可能性很高。

下面的小节描述了开发无线硬件设计时的重要考虑事项，从设备封装、PCB 板层、RF 电路实现和天线的选择。下图显示了一个典型的布局的例子，关键的 RF 部分，必须准确的复制以达到最佳无线电性能。允许在不降低无线电性能的情况下修改不太关键的布局区域。

### 注

这个文档中没有给出确切的尺寸，但是可以在 JN5189 模块的制造文件中找到。

## 4.1 JN5189 封装

无线连接的性能在很大程度上受到封装的影响。因此，创建一个封装需要格外注意，以便接收机灵敏度和输出功率性能的最大化。为了确保射频的匹配和使用最少数量的匹配器件，NXP 强烈推荐复制下列封装和管教设计，同时也包括通孔位置。这些参数的偏离会导致性能下降。

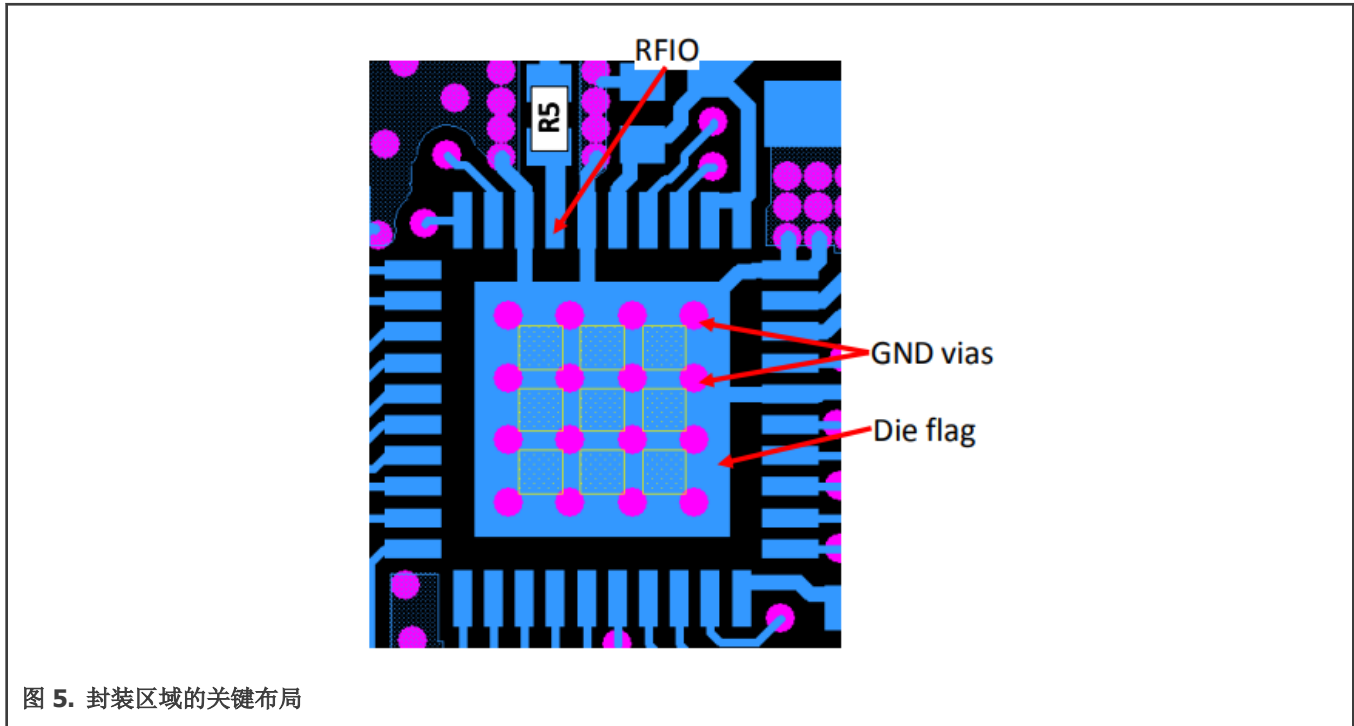


图 5. 封装区域的关键布局

图 5 显示了关键布局的区域：

- 接地，过孔的位置
- RF 线和 GND 布局
- 接地 PAD

## 4.2 PCB 板层

复杂性是决定应用板的设计是两层、四层还是更多层的主要因素。从 RF 的角度来看，四层 PCB 是首选。然而在一个非常简单的应用程序中，同样可以使用两层 PCB。

对于四层或两层板的设计，推荐的板层如下：

- 四层：
  - 顶层：RF 传输线
  - 第二层板：RF 参考接地
  - 第三层板：DC 电源
  - 底层：信号线
- 两层：
  - 顶层：传输线、信号线和 RF 走线
  - 底层：RF 参考接地、信号路和 GND

JN5789-001-M10、JN5189-001-M13 (OM15069) 和 JN5189-001-M16 (OM15062) 模块构建在标准的四层印刷电路板 (PCB) 上，各个层的组织如 图 6 所示。

Layer	Stack up	Description	Base Thickness	Finish Thickness	Mask Thickness	$\epsilon_r$	Impedance ID	Type	Notes-1
1		Soldermask			0.020	4.100		SolderMask	10
		Foil	0.012	0.035			1	Foil	0
		VT47-2116	0.120	0.120		4.150		PREPREG	
		VT47-2116	0.120	0.120		4.150		PREPREG	
2		VT-47	0.018	0.018					
		VT-47	0.991	0.991		4.400		Core	
		VT-47	0.018	0.018					
		VT47-2116	0.120	0.120		4.150		PREPREG	
		VT47-2116	0.120	0.120		4.150		PREPREG	
4		Foil	0.012	0.035				Foil	0
		Soldermask			0.020	4.100		SolderMask	10

图 6. PCB 板层

## 注

NXP PCB 布局使用了上面定义的层如 图 6。如果使用了不同的 PCB 板层，那么 NXP 不能保证性能。NXP 强烈建议使用上述堆栈。

如图 6 所示，对于传输线，重要的是不仅是要复制电路的物理布局，还包括要复制 PCB 板层。传输线下介质基板厚度的任何微小变化都会引起阻抗的显著变化；所有这些信息都可以在每个板设计的制作笔记上找到。举个例子，有一个  $50\ \Omega$  的微带轨迹，比 10 mil 宽的 FR4 宽了 18 mil。

如果 FR4 的厚度从 10 mil 改成了 6 mil，其阻抗只会有  $36\ \Omega$  左右。

在任何情况下，必须根据 PCB 特性重新计算 RF 线的宽度，以确保  $50\ \Omega$  的特性阻抗。

当顶层电介质变得太薄时，即使所有的尺寸都是正确的，这些层也不能作为正确的传输线。对于发生这种情况，业界并没有统一的协议，但 NXP 更倾向于使用不小于 8-10 mil 厚度的顶层介质。

PCB 生产商控制 PCB 线宽的最小宽度和介电层的最小厚度的能力也是有限的。 $\pm 1\ \text{mil}$  对 18 mil 的线宽和 10 mil 厚的介电层的影响要小于更窄的线宽和更薄的顶层的影响。

这可能是一个潜在的问题。在最初生产板数量有限的情况下，设计看起来是没问题，PCB 都是在同一个批次中制造的。然而当产品进入批量生产时，每批次的 PCB 制造可能会发生变化，这可能会降低性能。

使用正确的基板，如介电常数为 4.4 的 FR4，将有助于实现良好的 RF 设计。

虽然对板的设计没有特殊的措施，但建议使用 1 级公差。

### 4.3 RF 电路拓扑与匹配

NXP 总是建议设计者直接复制现有的 NXP 参考设计。这既适用于电路部分(原理图)的设计，也适用于 PCB 布局。对于所有的 RF 设计，特别是在 2.4 GHz 频率的设计，PCB 走线是设计本身的一部分。即使很短的走线也有少量的寄生(通常是电感)，这需要在电路的其余部分进行补偿。

布局上的一个小变化，或者在较低频率下可能是一个小的变化，实际上在 2.4 GHz 时可能是一个显著的变化。例如我们需要考虑 PCB 上的走线，比如 JN5189-001M1x 模块，大约是  $0.8\ \text{nH} / \text{mm}$ 。在较低频率下，这没有影响，但在 2.4 GHz 时，这对任何匹配电路都有很大影响。

NXP 参考设计中使用的电路都是在参考设计的实际布局上进行调整和优化的，这样最终的器件值有考虑到电路板走线的影响，以及 PCB 引入的其他寄生效应。这包括诸如元件间的寄生电容、间距和/或板铜层、间距和接地的电感、元件的非理想效应和附近的物理物体等问题。

基于 JN5189 模块的 RF 部分的布局关键。必须严格遵守参考设计，否则可能发生下列情况：

- RF 输出减少
- 过多的杂散输出导致 RF 认证问题
- 较差的通讯距离
- Rx 灵敏度降低

## 4.4 传输线

传输线有几种类型，如微带、共面波导和带状线。对于建立在 FR4 基片上的 802.15.4 应用，传输线的类型通常采用微带或共面波导（CPW）的形式。这两种结构由板材料的介电常数、走线的宽度和走线层与 GND 层之间的板厚决定的。

此外，对于 CPW，传输线由顶层线宽，线距和顶层与第二层板厚来决定阻抗参数。这些参数被用来定义传输线的阻抗特性，传输线用于在无线电和天线之间传 RF 能量。

JN5189 具有单端 RF 输出，由一个并联电容器、一个串联电感器和另一个并联电容器组成的三个元件匹配网络。此外有一颗  $0\ \Omega$  电阻放置在芯片的 RFIO 端口和第一颗电容器之间。这些元件将器件阻抗转换为  $50\ \Omega$ 。这些组件的作用可能会根据 PCB 板布局而变化。推荐的射频匹配网络如 图 7 所示。

应避免信号和电源走线靠近或平行于 RF 传输线或晶体信号。完整的 GND 对于阻抗特性至关重要。同时应保持 RF 轨迹尽可能短。

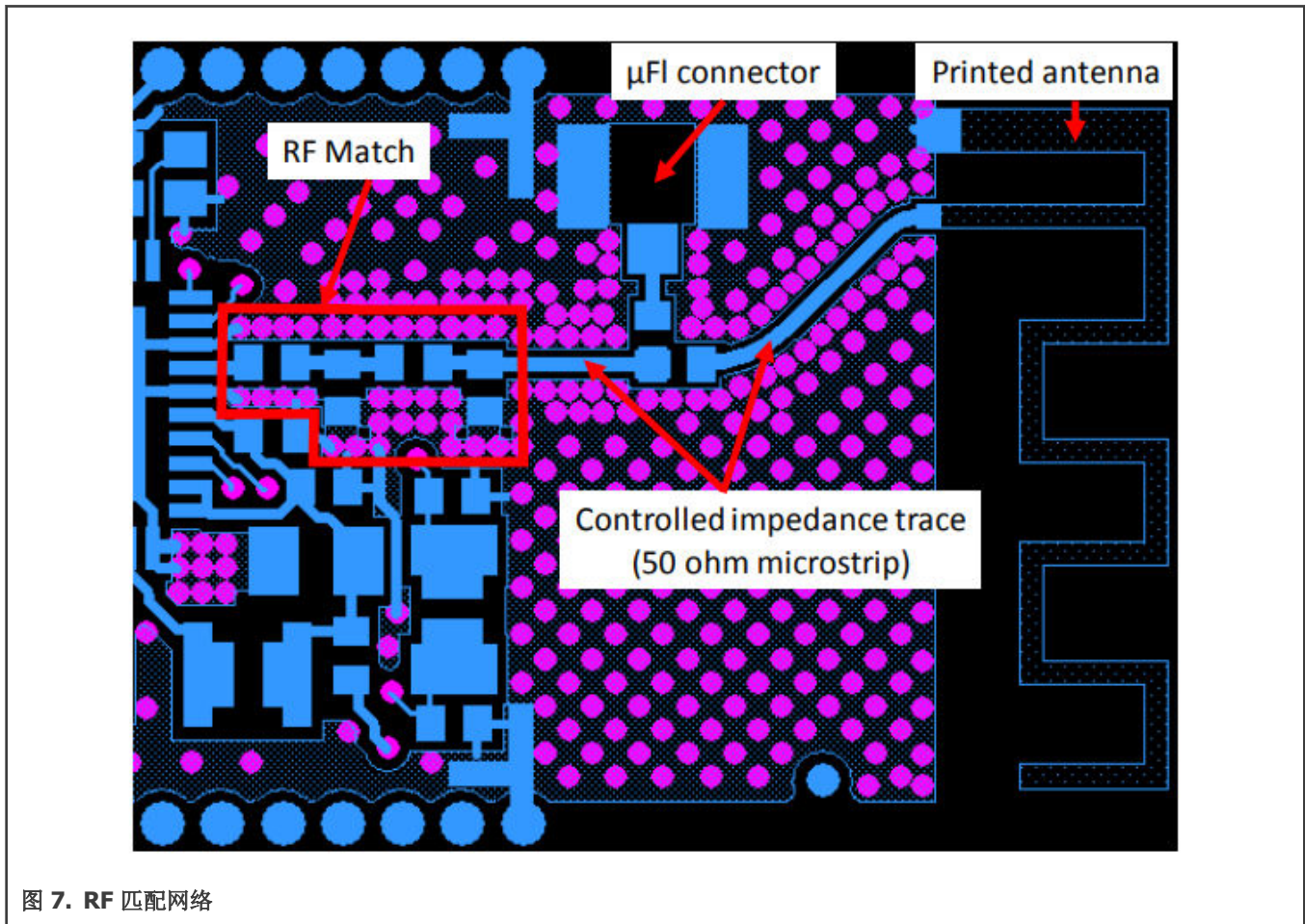


图 7. RF 匹配网络

## 4.5 组件

所有的电子元件都有寄生特性，如果以一种不理想的方式工作。通常随着操作频率的增加，这些影响会变得更糟。

对于大多数部件供应商来说，这种质量是通过自谐振频率（SRF）规范来表示的。例如，电容器有由元件的金属引线引入的寄生电感。随着频率的增加，在某一时刻，由于寄生电感的阻抗大于电容器的阻抗，并且在大于等于该频率时，元件不再作为电容器，而作为电感。当电感元件和电容元件的阻抗相同时，该元件将以 LC 并联谐振电路的形式产生共振，这称为自谐振频率。图 8 显示了一些典型的响应曲线。

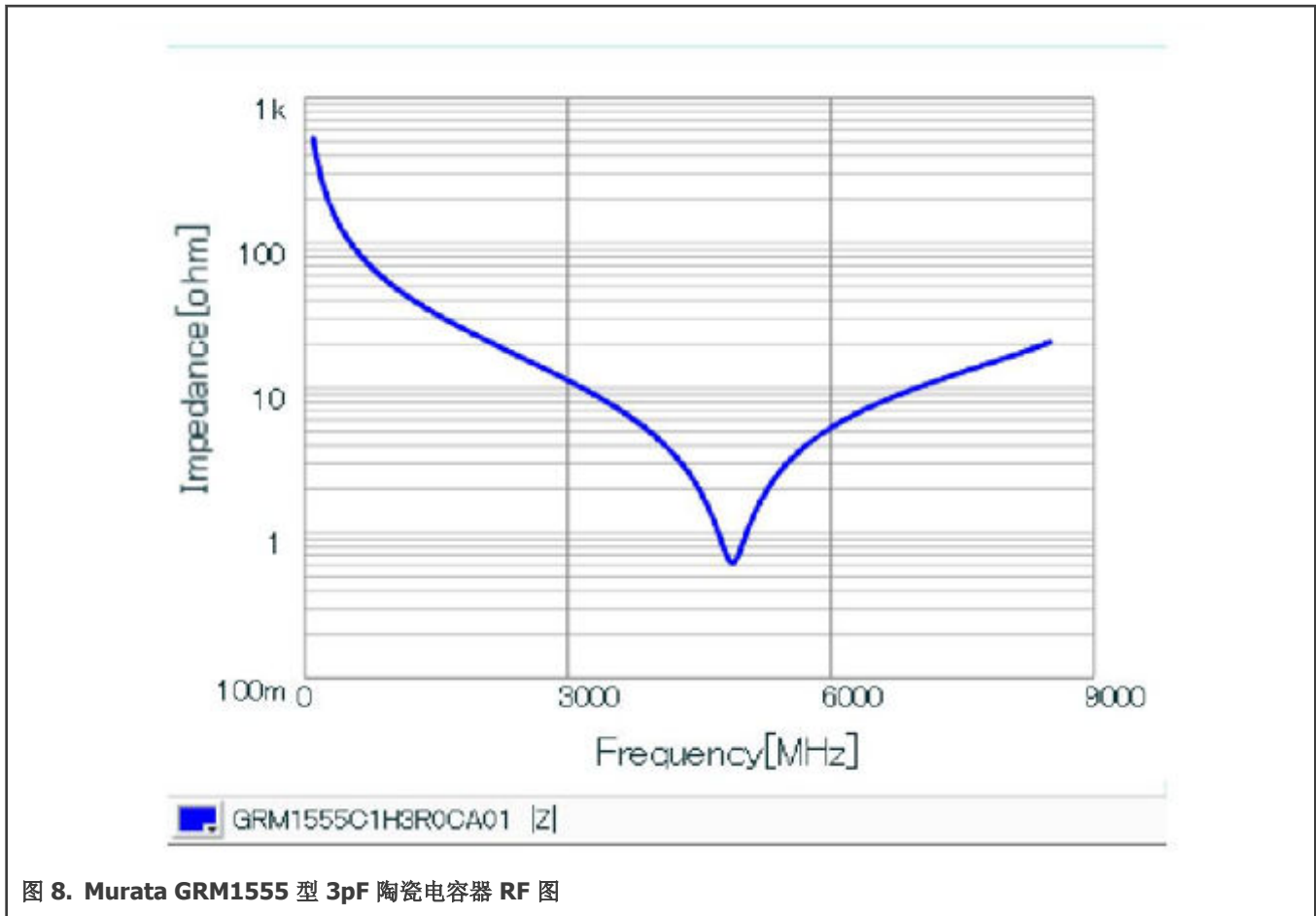


图 8. Murata GRM1555 型 3pF 陶瓷电容器 RF 图

电感器也是如此。电感器中存在寄生电容，主要是由于线圈之间的电容耦合。在频率的某一时刻，这个电容的阻抗将高于该部分的电感。器件电容器而不是作为电感器。

物料清单 (BOM) 可用于所有 NXP 参考设计。BOM 显示了 NXP 设计中使用的具体供应商和零件编号。当然可以替换其他厂商的零件，但这可能会影响电路的性能，因此，当使用来自其他厂商的零件时，可能需要使用不同的元件值。

如果在新设计上存在性能问题，并且在该设计上进行了部件替换，那么强烈建议将与 NXP 参考设计中使用的相同的组件放在新设计上，以进行测试。一旦设计与 NXP 所使用的相同组件正常工作，那么就有可能一次替换其他供应商的组件，并测试是否会对电路性能造成影响。

## 4.6 GND 层

建议在第二层上使用地，假设 RF 元件和传输线使用第一层（顶层）；避免该区域的断路或插槽。

尽量保持地面连续。这也适用于其他层。

用大量通孔将顶层的接地连接到下面的接地上。

地面倾斜或金手指会充当天线，无意间发生辐射。为了避免这种情况，在这个频率上相当于一颗。

## 4.7 完整层

通常情况下，对于一个 1.6 mm 厚的 PCB 材料，一个导通孔可以增加 1.2 nH 的电感和 0.5 pF 的电容，这取决于导通孔的尺寸和 PCB 的介电材料。

小心地将任何层的所有地面区域连接到 GND 层。

## 4.8 DCDC 组件

确保最小值的电容器 C12 和 C10 放置在靠近 VBAT Pin。

C10/C12 和 C19 之间的连接走线必须尽可能短，可以直接连接到芯片的 GND PAD（参见图 9 中的红色路径）。

DCDC 参考设计上的 R2 封装需要在其周围的 GND 上增加 via 到 GND 层。

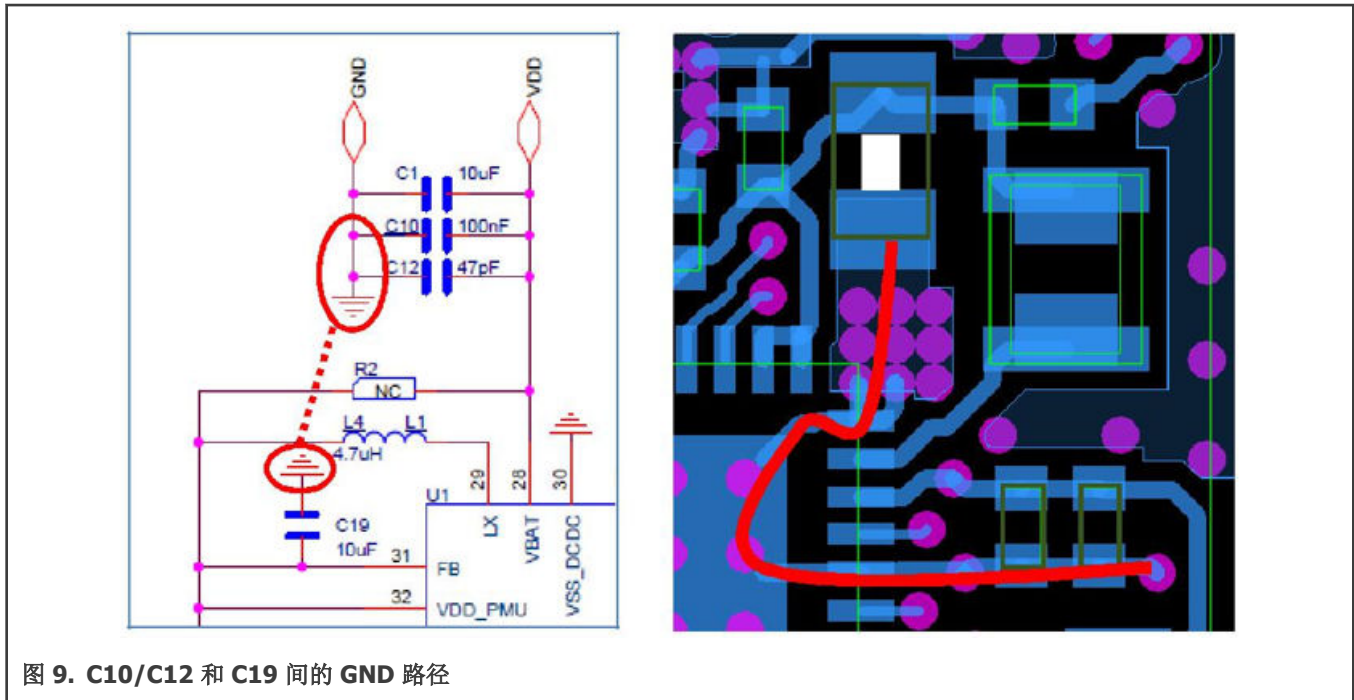


图 9. C10/C12 和 C19 间的 GND 路径

## 4.9 参考振荡器

NXP JN5189 内部包含必要的器件层与层之间的连接，只是一个选项，可以忽略。

不需要额外的电容器，因为 JN5189 包括一组可调整负载电容（CL）。

外部的晶体有很多用途，包括为 32 位 Arm 处理器、PHY 控制器、无线电合成器和模拟外设提供参考。此外，晶体提供了外部 I/O（例如，芯片上的 UART）和计时器计数器的时钟参考。因此正确确定晶体以确保系统正常运行是非常重要的。

晶体谐振腔的选择是重要的，原因如下：

- **谐振振荡器：**从芯片计时到无线电中心频率的许多参数，都直接从晶体的精度中得到。如元器件清单所示，我们建议使用小于  $\pm 25$  ppm 的总公差精度，因为 IEEE802.15.4 规定的最大允许偏差为  $\pm 40$  ppm。此外请注意，去匹配外部的振荡器，只需一个外部的 32 M 晶体振荡器。
- **谐振器负载电容：**JN5189 精度负载电容（CL）为 6 pF 的晶体谐振器设计的，该晶体谐振器为标准负载，该类谐振器广泛使用。

### 布局建议：

在温度和老化情况下同样需要保证频率的偏差。到 JN5189 XTAL 引脚的走线应尽可能短。通过减少外部寄生电容来提高振荡器的性能，寄生电容会引入频率误差。

XTAL 应该远离高频器件和走线，以减少 XTAL 引脚和 PCB 之间的电容耦合。

同时尽量保持其他数字信号线尽可能地远离晶体，特别是时钟线和频繁开关的信号线。

### 注

遵循 NXP 的建议将确保模块能够正常工作。不建议更换元件，因为这可能会导致振荡器启动和频率公差问题。



## 4.10 去耦

### 4.10.1 一般注意事项

尽量靠近 IC 的电源引脚。

确保每个去耦电容器都有自己的接地通路。在可能的情况下，使用两个通孔将电容器连接到 GND 层。

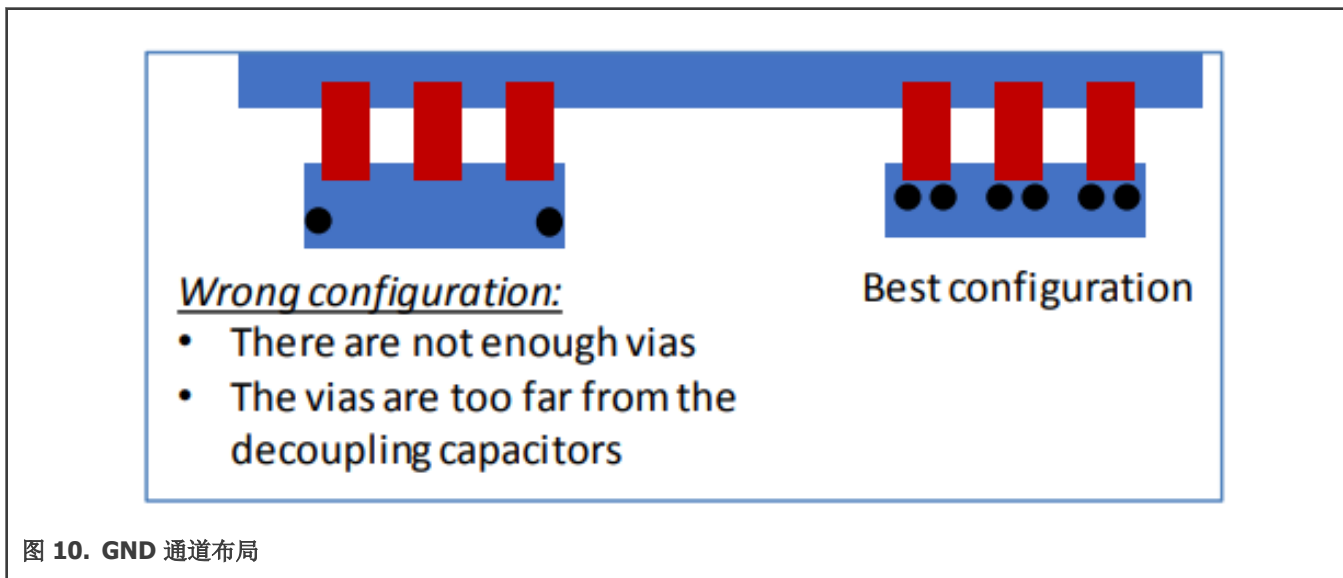


图 10. GND 通道布局

电容较小的电容必须放置在靠近 IC 的位置。

去耦电容必须放置在主供电线路和供电引脚之间，如 图 11 所示：

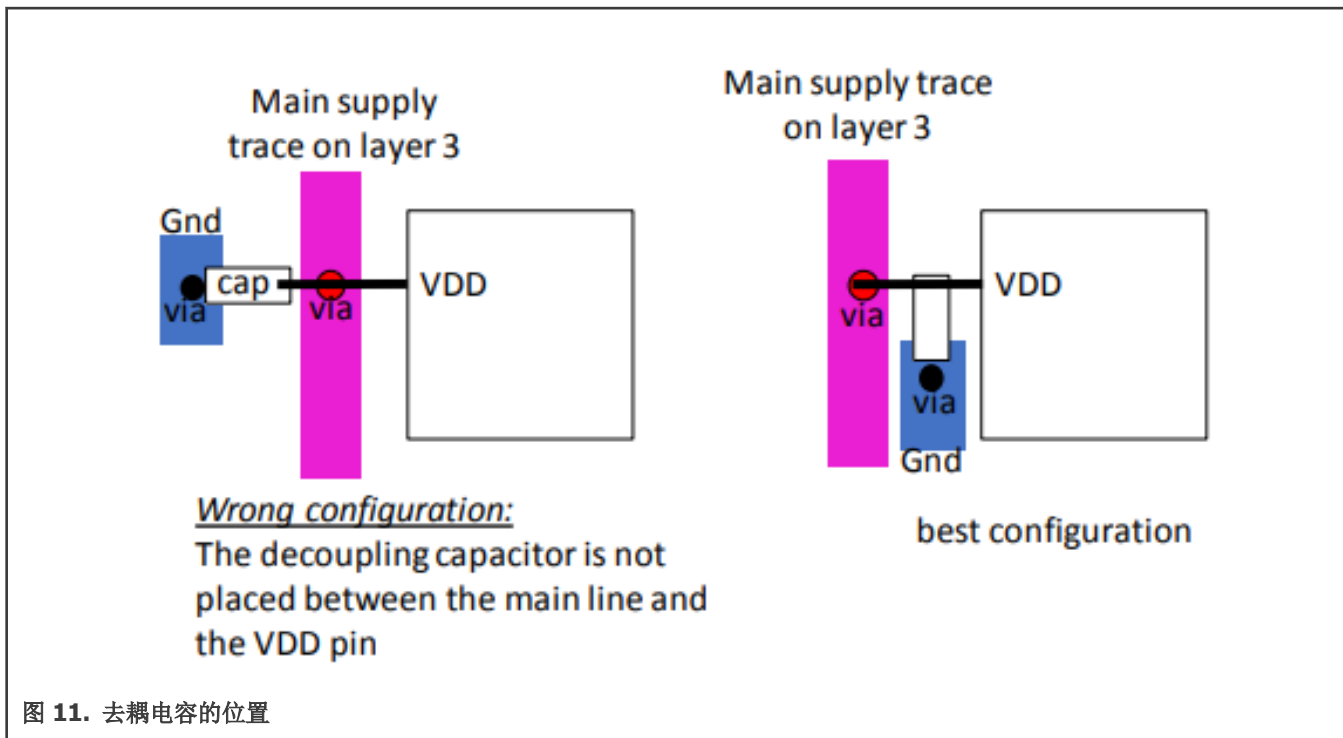


图 11. 去耦电容的位置

### 4.10.2 VDD(RADIO), FB, VDD\_PMU, VDDE 和 VBAT 的去耦

晶体引脚如下所示。

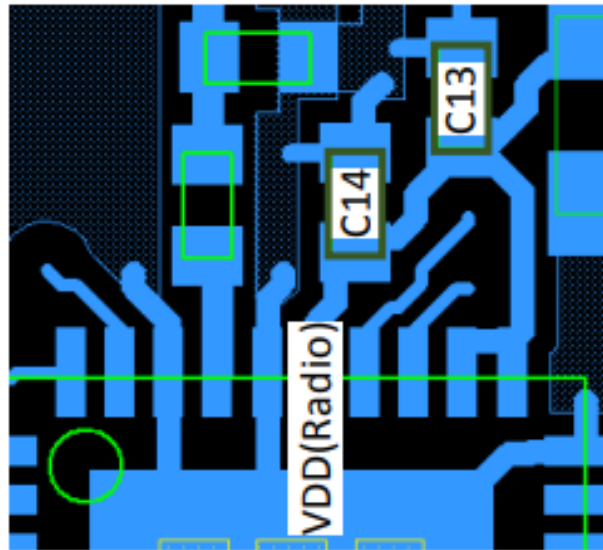


图 12. VDD(Radio) 去耦

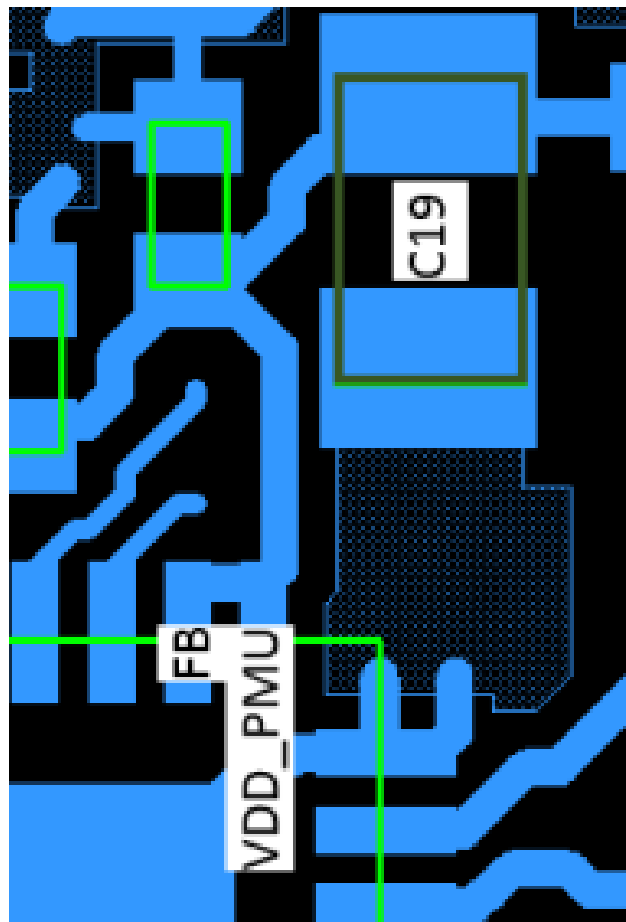


图 13. FB 和 VDD\_PMU 去耦

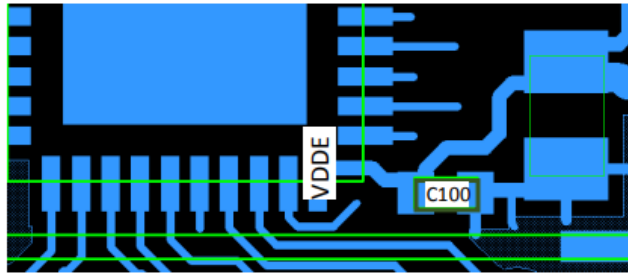


图 14. VDDDE 去耦

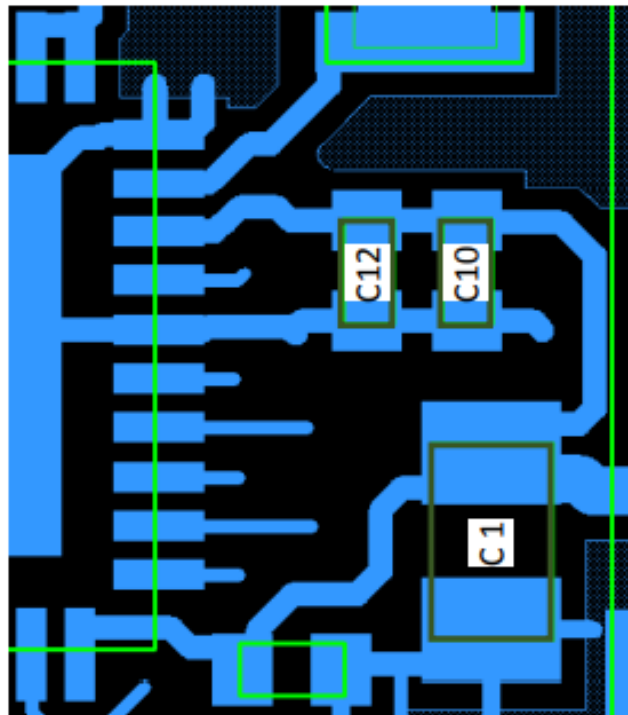


图 15. VBAT 去耦

#### 4.11 去耦电容

当两根走线接近时，它们可以通过这些走线产生的电容。

为了尽量减少这种寄生耦合的影响，避免敏感的走线区域（RF 轨迹、振荡器、电源线……），并将它们与任何有可能产生寄生的信号分开。

#### 4.12 GPIO

尽可能复制去耦电容放置的位置。

#### 4.13 屏蔽罩

JN5189 抗 EMC 干扰能力非常强大，因此原则上不需要屏蔽。不过在 NXP 模块上已经增加了一个屏蔽，NXP 也建议布线隔离。在非常特殊的情况下，如非常嘈杂的环境下，添加一个屏蔽罩是有帮助的。

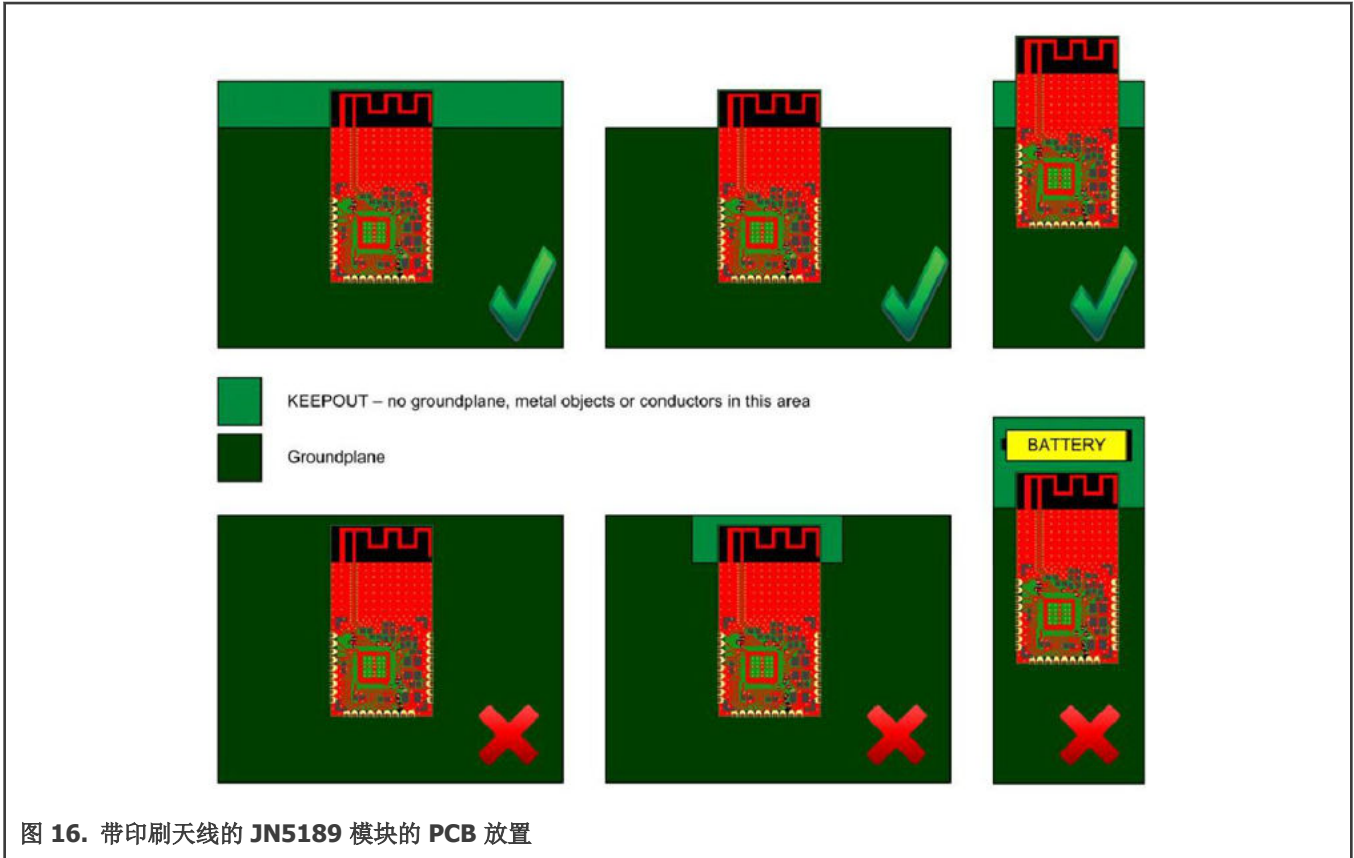
## 5 模块上 PCB 放置的最佳位置

如果 JN5189 安装在类似于 NXP JN5189-001- m10 的模块上，则在将该模块安装到另一个 PCB 上时必须注意。

天线周围的区域必须远离导体或其他金属物体，绝对不小于 20 毫米。这对 PCB 的所有层都是适用的，而不仅仅对于顶层。任何靠近天线的导电物体都会严重干扰天线的方向性。

图 16 显示了各种可能的场景。前三种情况是正确的；接地线可以放置在 JN5168-001-M00 模块的下方，接地线不能伸出模块 PCB 的顶层接地线的边缘。

下面三种情况是不正确的；左边的例子是因为在天线下面有接地板，中间的例子是因为在天线周围没有足够的间隙（最好在天线附近没有导体），最后右边的例子在隔离区域有一个电池。



## 6 制造注意事项

在使用回流焊技术时，必须仔细考虑 HVQFN 封装。包占用空间信息可以在 JN5189 数据表中找到。

贴纸如 图 17 所示。四周的 Pin 脚采用 0.25 mm × 1 mm，中间 Pin 采用 6.4 mm 的方形 PAD。

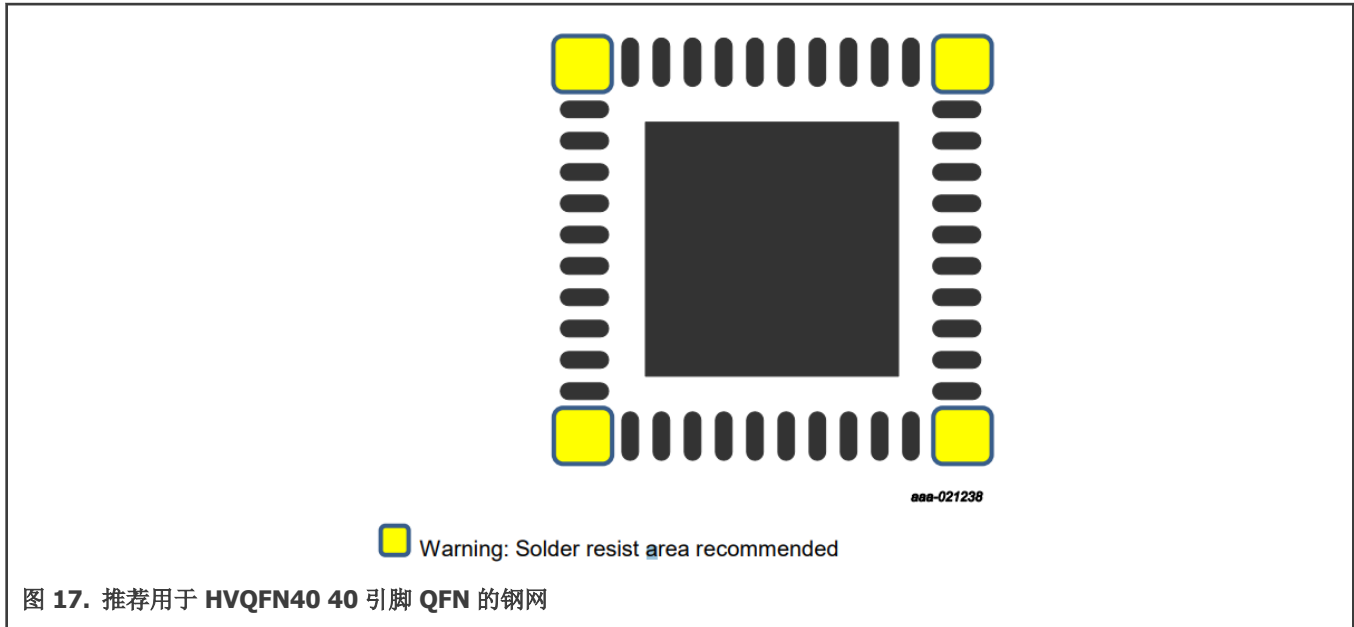


图 17. 推荐用于 HVQFN40 40 引脚 QFN 的钢网

所使用的焊料如所 图 19 示。对于四周的 PAD，垫块大小为 0.25 mm \* 1 mm，四个 1.6 mm 的方形垫块用于将膏体涂抹在钢网上。锡膏掩膜厚度为 6-thou (0.152 毫米)。如果膏体厚度偏离了 NXP 的推荐，那么可能需要改变膏体应用到的衬垫的数量。膏体的厚度可以由使用的附加组件决定。

当布局完成时，必须小心处理防焊区，NXP 生产线上使用的特定连接（见 图 18）。

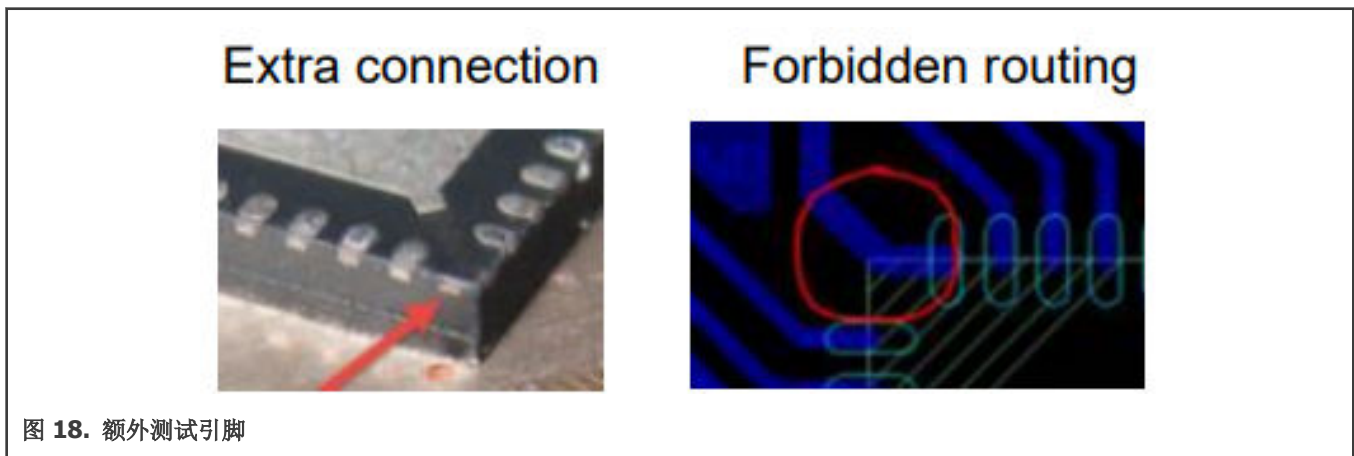


图 18. 额外测试引脚

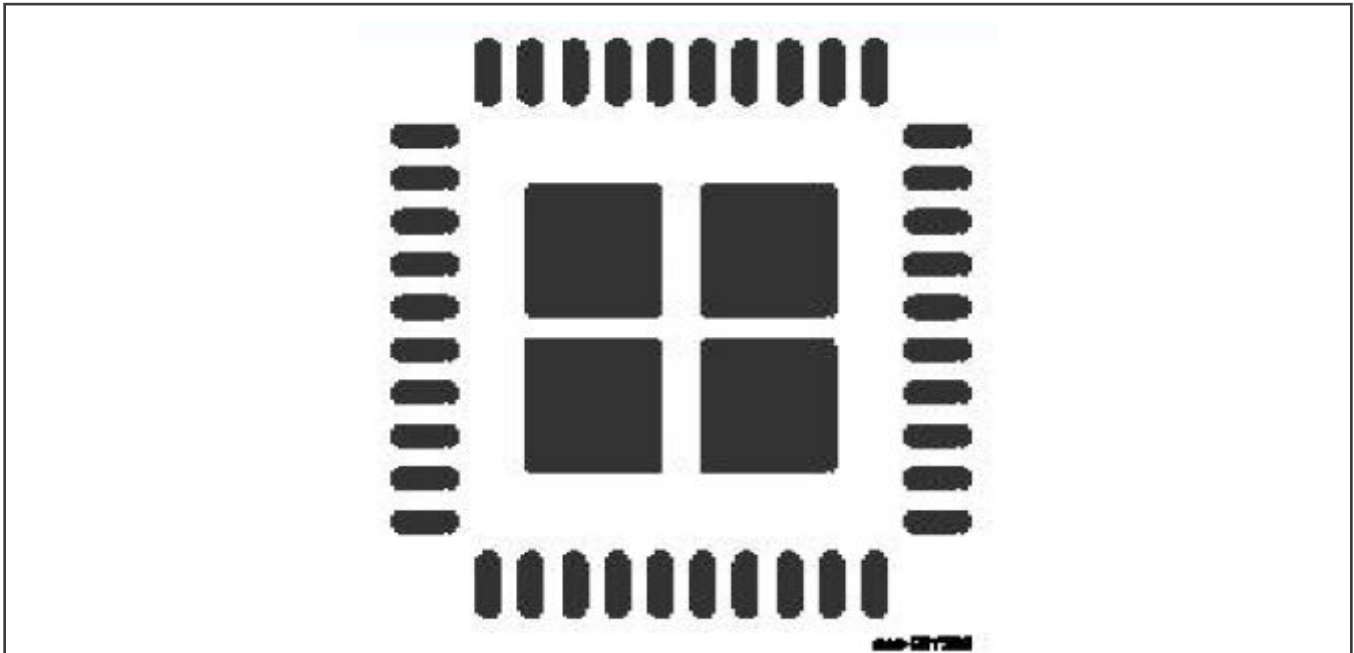


图 19. 用于 HVQFN40 40 引脚 QFN 的锡膏模具

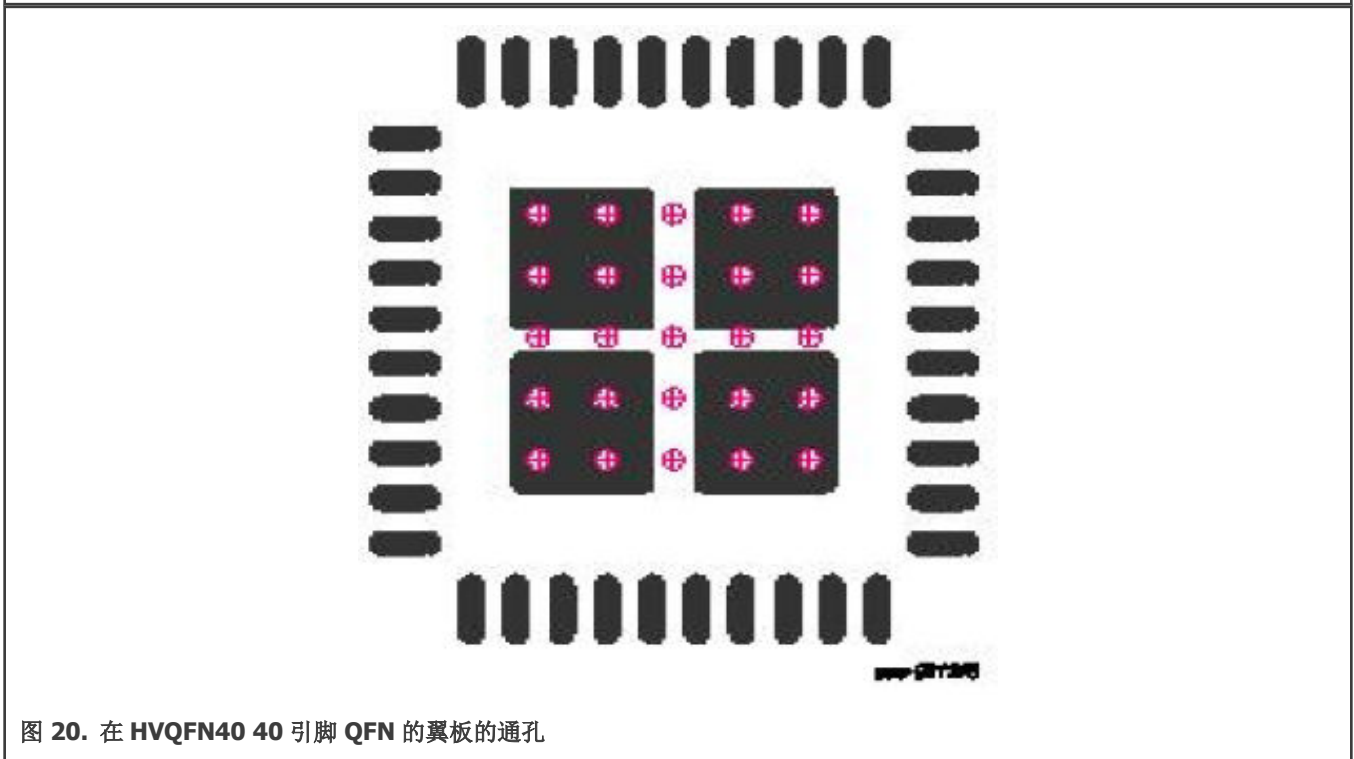


图 20. 在 HVQFN40 40 引脚 QFN 的翼板的通孔

钢网上装有 25 个孔。在 PCB 上增加屏蔽罩，目的是过量的锡膏和加热空气从设备排出，防止在焊接期间设备被抬起。此外这些通孔确保了低阻抗接地，这是得到最佳 RF 性能的关键。

## 7 规章

以下资料根据《Radio Equipment Directive 2014/53/EU》第 10.8 条提供：

1. 设备运行的频带。

2. 所发射的最大射频功率。

PN	RF 技术	频率范围 (EU)	最大发射功率
JN5189-001-T10	IEEE 802.15.4	2400 - 2483 MHz	11 dBm

### 欧洲一致性声明

(《Radio Equipment Directive 2014/53/EU》第 10.9 条简化 DoC 格式)

该设备, 即 JN5189-001-T10 模块, 符合 Radio Equipment Directive 2014/53/EU。

该仪器的欧盟合格声明全文可在 [JN5189-001-T10](#) 找到。

## 8 示意图检查表

表 2. 原理图设计检查表

检查序号	原理图设计检查表	Y/N/NA	客户的意见和/或行动	检查通过	NXP 反馈
1	整体				
1.1	是否与 NXP 参考图表和注释进行了核对?				
1.2	意向图是否被多人审阅?				
1.3	应用程序使用非标准组件吗? (例如, 以前未用于此类应用程序的组件)				
1.4	是否对非标准组件进行了认证, 以便它们可以在应用程序中使用?				
1.5	对于布局/形式因素的建议是否写在图纸上?				
1.6	组件的大小是否符合当前驱动器的要求?				
1.7	是否检查了 JN5189 符号钉扎, 它是否包括暴露的焊盘?				

下页继续...

表 2. 原理图设计检查表 (续上页)

检查序号	原理图设计检查表	Y/N/NA	客户的意见和/或行动	检查通过	NXP 反馈
2	RF IO				
2.1	RF_IO 输入/输出线的特性阻抗在全 RF 范围内为 50 Ω 吗?				
2.2	型号和正确值的组件是否已连接到 JN5189 的 RF 端口?				
2.3	对于外部 FEM 模块, 谐波抑制是否需要额外的滤波?				
3	32 MHz 晶体参考振荡器				
3.1	振荡器的外部配置是否符合应用说明?				
3.2	NXP 是否推荐 XTAL 型号?				
3.3	如果 XTAL 模型未被 NXP 推荐, 是否检查了所有参数以满足 NXP, 标准和应用要求 (负载电容, 拉伸灵敏度, 等效电阻, 频率公差, 温度范围, 频率漂移与温度, 老化)?				
4	32 kHz 晶体振荡器				
4.1	是否讨论了 32kHz XTAL 的需要?(Zigbee 的规格可以不需要外接 XTAL)?				

下页继续...



表 2. 原理图设计检查表 (续上页)

检查序号	原理图设计检查表	Y/N/NA	客户的意见和/或行动	检查通过	NXP 反馈
4.2	如果 32khz XTAL 振荡器已经应用 XTAL 模型, 其是否被 NXP 推荐?				
4.3	如果 XTAL 模型未被 NXP 推荐, 是否检查了所有参数以满足 NXP, 标准和应用要求 (负载电容, 拉伸灵敏度, 等效电阻, 频率公差, 温度范围, 频率漂移与温度, 老化)?				
5	供电				
5.1	所有的 VDD 引脚都按照 NXP 的建议连接好了吗?				
5.2	电源稳压器/电池的尺寸合适吗?				
5.3	电源调节器/电池输出的去耦是否已实现?				
5.4	集成电路的电源引脚是否已正确去耦(根据应用说明及参考设计原理图)?				
5.5	DCDC 转换器组件的数值及型号的建议是否已考虑?				
5.6	外露模垫是否连接到 GND?				
6	PIOs				

下页继续...

表 2. 原理图设计检查表 (续上页)

检查序号	原理图设计检查表	Y/N/NA	客户的意见和/或行动	检查通过	NXP 反馈
6.1	是否检查了逻辑级别与其他组件的兼容性?				
6.2	最大电流是否适合应用程序?				
7	ADC				
7.1	ADC 特性适合应用程序吗?				
8	编程和调试				
8.1	单片机上的 flash 编程连接器是否连接到正确的 I/O?				
8.2	是否添加了用于调试的连接器, 以允许微控制器进入编程模式? (RSTN 和 PIO5/ISP 引脚)				
8.3	重置引脚 RSTN 是否正确连接?				
8.4	在一个未使用的 DIO 增加一个测试点, 以便触发信号可以从灵敏度测量引脚输出				
8.5	对于印刷和芯片天线: 射频线的实现方式是否可以方便地修改 HW, 以便一方面进行测量, 另一方面测量天线特性? 例如, 一个 0 Ω 电阻可以用于连接 JN5189 射频				

下页继续...

表 2. 原理图设计检查表 (续上页)

检查序号	原理图设计检查表	Y/N/NA	客户的意见和/或行动	检查通过	NXP 反馈
	端口到天线的实际应用, 并可以添加一个 SMA 或 FL 连接器的足迹进行调试; SMA 或 FL 连接器将连接/断开 JN5189 RF 端口或带有 0 Ω 电阻的天线。				
8.6	如果使用 I2C, 是否会拉起 I2C 线?				
9	外部存储器				
9.1	如果使用了外部闪存, 是否使用了正确类型的内存以及它是否正确地连接到微控制器?				
9.2	是否检查了闪存符号固定?				

## 9 布局检查表

表 3. 布局设计检查表

检查序号	原理图设计检查表	Y/N/NA	客户的意见和/或行动	检查通过	NXP 反馈
1	总体				
1.1	板层的数量已经被清楚地讨论过了吗?				
1.2	布局与 NXP 参考板核对过了吗? (即 OM15069-2_JN5189_ANTENNA_MODULE)				
1.3	是否遵循了 JN-RM-2078				

下页继续...

表 3. 布局设计检查表 (续上页)

检查序号	原理图设计检查表	Y/N/NA	客户的意见和/或行动	检查通过	NXP 反馈
	参考手册中的 HW 建议?				
1.4	是否指定了正确的 PCB 材料?				
2	RF IO				
2.1	RF_IO 输入/输出线尺寸是否为 50 欧姆?线宽必须根据板厚和 PCB 材料来计算。				
2.2	RF 电线是否尽可能的短 (电线就像天线一样, 所以缩短它们有助于增加电磁干扰的免疫力)				
2.3	RF 线路中是否避免了通气孔?				
2.4	RFIO 匹配网络的位置是否严格从 NXP 参考模块复制?				
3	晶体参考振荡器				
3.1	32 MHz XTAL 是否被放置在 IC 附近?				
3.2	在在晶体附近有 GND VIA 吗?				
4	供电电源				
4.1	是否所有的 VDD 电容都尽可能靠近电源引脚和稳压器输出?				
4.2	当电源在多个层上传输时,				

下页继续...

表 3. 布局设计检查表 (续上页)

检查序号	原理图设计检查表	Y/N/NA	客户的意见和/或行动	检查通过	NXP 反馈
	是否在电源线上提供多个 VIA 做为通路。				
4.3	对于低电压应用接近 2.0 V 的, 请确保电源轨道的尺寸, 以避免 IR 下降而误触发断电。(IR 降是由于电源电流流入电源轨道电阻而产生的电压降)。				
4.4	VDD 线路是否已与潜在的干扰隔离?				
4.5	GND 平面在所有信号附近是否连续?				
4.6	GND PAD 与 GND 的连接是否正确?				
4.7	在 GND PAD 上是否实现了通孔?				
5	EMC 和 Misc				
5.1	如果使用超过 2 个层, 是否有一个层作为连续的地平面 (GND 参考平面)?				
5.2	在电容器、手指附近增加了许多 via 吗?				
5.3	去除小的 GND 区域和无法通过 via 连接到参考 GND 平面的孤立手指。				

下页继续...

表 3. 布局设计检查表 (续上页)

检查序号	原理图设计检查表	Y/N/NA	客户的意见和/或行动	检查通过	NXP 反馈
5.4	是否在丝屏罩上添加了相关信息? (组件 ref, logo, 板名...)				
5.5	填充板时, 所有的丝屏罩印刷的文字都是可读的吗?				
5.6	在有噪声或敏感的组件下面是否避免了走线?				
5.7	检查轨迹不必要地切断电源或地面。				
5.8	JN5189 的内存占用严格地与 NXP 参考相似吗				
5.9	如果使用超过 2 层, 则在 RF 组件和天线下面的内层必须是净空的。				
5.10	组件和 GND 之间的每个连接增加 VIA, 并有 VIA 连接到 GND 平面。				
5.11	焊接/非焊接区域是否被考虑? 在空白区域是否有防焊层检查?				
5.12	如果出售的单元是模块, 是否执行 CAN/shield?				

## 10 缩写

表 4. 缩写

缩略词	描述
EMC	电磁兼容性
ETSI	欧洲电信标准协会
FCC	联邦通信委员会
PAN	个人局域网
PCB	印刷电路板
RF	射频
SPI-bus	串行外围接口总线
TQFN	薄四边形平面无引线
WPAN	无限个人局域网

## 11 参考文献

JN5189 Datasheet - IEEE802.15.4 Wireless Microcontroller

## 12 修订记录

版本号	发布日期	说明
1.4	2019 年 11 月 26 日	为 mass market release 更新
1.3	2019 年 1 月 24 日	<ul style="list-style-type: none"> <li>• Design in checklist tab update</li> <li>• DCDC R2 comment</li> <li>• Solder resist area for extra test pin.</li> </ul>
1.2	2018 年 6 月 6 日	排版更正
1.1	2018 年 3 月 7 日	增加 JN5189-001-M16 模块图片
1.0	2018 年 2 月 1 日	初次发布

**How To Reach Us**

**Home Page:**

[nxp.com](http://nxp.com)

**Web Support:**

[nxp.com/support](http://nxp.com/support)

**Limited warranty and liability** — Information in this document is provided solely to enable system and software implementers to use NXP products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits based on the information in this document. NXP reserves the right to make changes without further notice to any products herein.

NXP makes no warranty, representation, or guarantee regarding the suitability of its products for any particular purpose, nor does NXP assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. “Typical” parameters that may be provided in NXP data sheets and/or specifications can and do vary in different applications, and actual performance may vary over time. All operating parameters, including “typicals,” must be validated for each customer application by customer's technical experts. NXP does not convey any license under its patent rights nor the rights of others. NXP sells products pursuant to standard terms and conditions of sale, which can be found at the following address: [nxp.com/SalesTermsandConditions](http://nxp.com/SalesTermsandConditions).

**Right to make changes** - NXP Semiconductors reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

**Security** — Customer understands that all NXP products may be subject to unidentified or documented vulnerabilities. Customer is responsible for the design and operation of its applications and products throughout their lifecycles to reduce the effect of these vulnerabilities on customer’ s applications and products. Customer’ s responsibility also extends to other open and/or proprietary technologies supported by NXP products for use in customer’ s applications. NXP accepts no liability for any vulnerability. Customer should regularly check security updates from NXP and follow up appropriately. Customer shall select products with security features that best meet rules, regulations, and standards of the intended application and make the ultimate design decisions regarding its products and is solely responsible for compliance with all legal, regulatory, and security related requirements concerning its products, regardless of any information or support that may be provided by NXP. NXP has a Product Security Incident Response Team (PSIRT) (reachable at [PSIRT@nxp.com](mailto:PSIRT@nxp.com)) that manages the investigation, reporting, and solution release to security vulnerabilities of NXP products.

NXP, the NXP logo, NXP SECURE CONNECTIONS FOR A SMARTER WORLD, COOLFLUX, EMBRACE, GREENCHIP, HITAG, ICODE, JCOP, LIFE, VIBES, MIFARE, MIFARE CLASSIC, MIFARE DESFire, MIFARE PLUS, MIFARE FLEX, MANTIS, MIFARE ULTRALIGHT, MIFARE4MOBILE, MIGLO, NTAG, ROADLINK, SMARTLX, SMARTMX, STARPLUG, TOPFET, TRENCHMOS, UCODE, Freescale, the Freescale logo, AltiVec, CodeWarrior, ColdFire, ColdFire+, the Energy Efficient Solutions logo, Kinetis, Layerscape, MagniV, mobileGT, PEG, PowerQUICC, Processor Expert, QorIQ, QorIQ Qonverge, SafeAssure, the SafeAssure logo, StarCore, Symphony, VortiQa, Vybrid, Airfast, BeeKit, BeeStack, CoreNet, Flexis, MXC, Platform in a Package, QUICC Engine, Tower, TurboLink, EdgeScale, EdgeLock, eIQ, and Immersive3D are trademarks of NXP B.V. All other product or service names are the property of their respective owners. AMBA, Arm, Arm7, Arm7TDMI, Arm9, Arm11, Artisan, big.LITTLE, Cordio, CoreLink, CoreSight, Cortex, DesignStart, DynamIQ, Jazelle, Keil, Mali, Mbed, Mbed Enabled, NEON, POP, RealView, SecurCore, Socrates, Thumb, TrustZone, ULINK, ULINK2, ULINK-ME, ULINK-PLUS, ULINKpro, µVision, Versatile are trademarks or registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere. The related technology may be protected by any or all of patents, copyrights, designs and trade secrets. All rights reserved. Oracle and Java are registered trademarks of Oracle and/or its affiliates. The Power Architecture and Power.org word marks and the Power and Power.org logos and related marks are trademarks and service marks licensed by Power.org. M, M Mobileye and other Mobileye trademarks or logos appearing herein are trademarks of Mobileye Vision Technologies Ltd. in the United States, the EU and/or other jurisdictions.

© NXP B.V. 2018-2021.

All rights reserved.

For more information, please visit: <http://www.nxp.com>

For sales office addresses, please send an email to: [salesaddresses@nxp.com](mailto:salesaddresses@nxp.com)

Date of release: 2019 年 11 月 26 日

Document identifier: JN-RM-2078

