

AN13033

LPC55(S)xx 微控制器硬件设计指南

Rev. 0 — 10/2020

应用笔记

原文链接：<https://www.nxp.com/docs/en/application-note/AN13033.pdf>

1 简介

本文档指导硬件工程师设计和测试基于 LPC55(S)xx 处理器的设计。该文档提供了有关电路板布局建议和设计检查的信息，以确保首次成功使用并避免电路板启动问题。

本指南与相关的特定器件的硬件文档一起发布，例如数据手册、参考手册和 nxp.com 上的应用笔记。

2 LPC55(S)xx 系列比较

所有 LPC55Sxx/LPC55xx 系列均基于 Arm® Cortex® -M33 内核，带有 PowerQuad 加速器和 CASPER 加速器。器件名称中间的 **S** 表示该器件提供更多安全功能，例如 TrustZone 信任区支持。

表 1. LPC55Sxx 系列核心特性

系列	核频率	双核	Power Quad	CASPER
LPC55S0x/LPC550x	96 MHz	—	—	YES
LPC55S1x/LPC551x	150 MHz	—	—	YES
LPC55S2x/LPC552x	150 MHz	YES	YES	YES
LPC55S6x/LPC556x	150 MHz	YES	YES	YES

表 2. LPC55Sxx/LPC55xx 外设

系列	Flexcomm	50 MHz HS-SPI	HS USB	FS USB	CAN FD	SDIO
LPC55S0x/LPC550x	8	1	—	—	1	—
LPC55S1x/LPC551x	8	1	1	1	1	—
LPC55S2x/LPC552x	8	1	1	1	—	1
LPC55S6x/LPC556x	8	1	1	1	—	1

目录

1	简介	1
2	LPC55(S)xx 系列比较	1
3	电源	2
3.2	大容量和去耦电容	5
4	时钟电路	6
4.1	简介	6
4.2	晶振	7
4.2.1	晶振印刷电路板设计指南	8
4.3	RTC 振荡器	8
4.3.1	RTC PCB 设计指南	9
4.4	振荡器电路 PCB 布局的常用建议	9
5	启动模式配置	10
5.1	启动模式选择	10
6	调试和编程接口	11
6.1	调试连接器引脚	13
7	通信模块	14
7.1	CAN 接口支持 CAN-FD	14
8	模拟	15
8.1	ADC 阻抗	15
9	有关建议	16
9.1	引脚说明	16
9.1.1	引脚的上拉/下拉和开漏	17
9.1.2	ADC 引脚	17
9.1.3	唤醒引脚	17
9.1.4	JTAG 功能引脚	17
9.2	未经使用的引脚	17
9.3	PCB	18
9.4	一般电路板布局指南	18
9.4.1	走线建议	18
9.4.2	接地	19
9.4.3	EMI/EMC 和 ESD 布局考虑	20
9.4.4	PCB 层堆栈	22
9.4.5	注入电流	22
10	参考文献	23



表 3. LPC55Sxx/LPC55xx 计时器

系列	CTimer	SCT	MRT	WWDT	Code WDT	RTC	OS-Timer
LPC55S0x/LPC550x	5	1	1	1	1	1	1
LPC55S1x/LPC551x	5	1	1	1	1	1	1
LPC55S2x/LPC552x	5	1	1	1	—	1	1
LPC55S6x/LPC556x	5	1	1	1	—	1	1

表 4. LPC55Sxx/LPC55xx 模拟外设

系列	16 bit ADC	比较器	12 bit DAC
LPC55S0x/LPC550x	1 (10ch)/2 Msps	1 (5 inputs)	—
LPC55S1x/LPC551x	1 (10ch)/2 Msps	1 (5 inputs)	—
LPC55S2x/LPC552x	1 (10ch)/1 Msps	1 (5 inputs)	—
LPC55S6x/LPC556x	1 (10ch)/1 Msps	1 (5 inputs)	—

表 5. LPC55Sxx/LPC55xx 包

系列	HVQFN 48	HVQFN 64	HTQFP 64	VFBGA 98	HLQFP 100	HLQFP 144	VBGA 196
LPC55S0x/LPC550x	/		/				
LPC55S1x/LPC551x			/	/	/		
LPC55S2x/LPC552x			/	/	/		
LPC55S6x/LPC556x			/	/	/		

有关详细信息，请参阅 www.nxp.com 上最新版本的数据表和用户手册。

3 电源

3.1 简介

LPC55Sxx 系列需要 1.8 至 3.6 V 的工作单电压电源。LPC55S0x/LPC550x、LPC55S1x/LPC551x、LPC55S2x/LPC552x 和 LPC55S6x/LPC556x 内部核电压由内部 DC/DC 稳压器提供，此 DC/DC 稳压器需要外部电感和两个或三个电容。有关详细信息，请参阅《使用 DCDC 功能》(文档 [AN12325](#))。

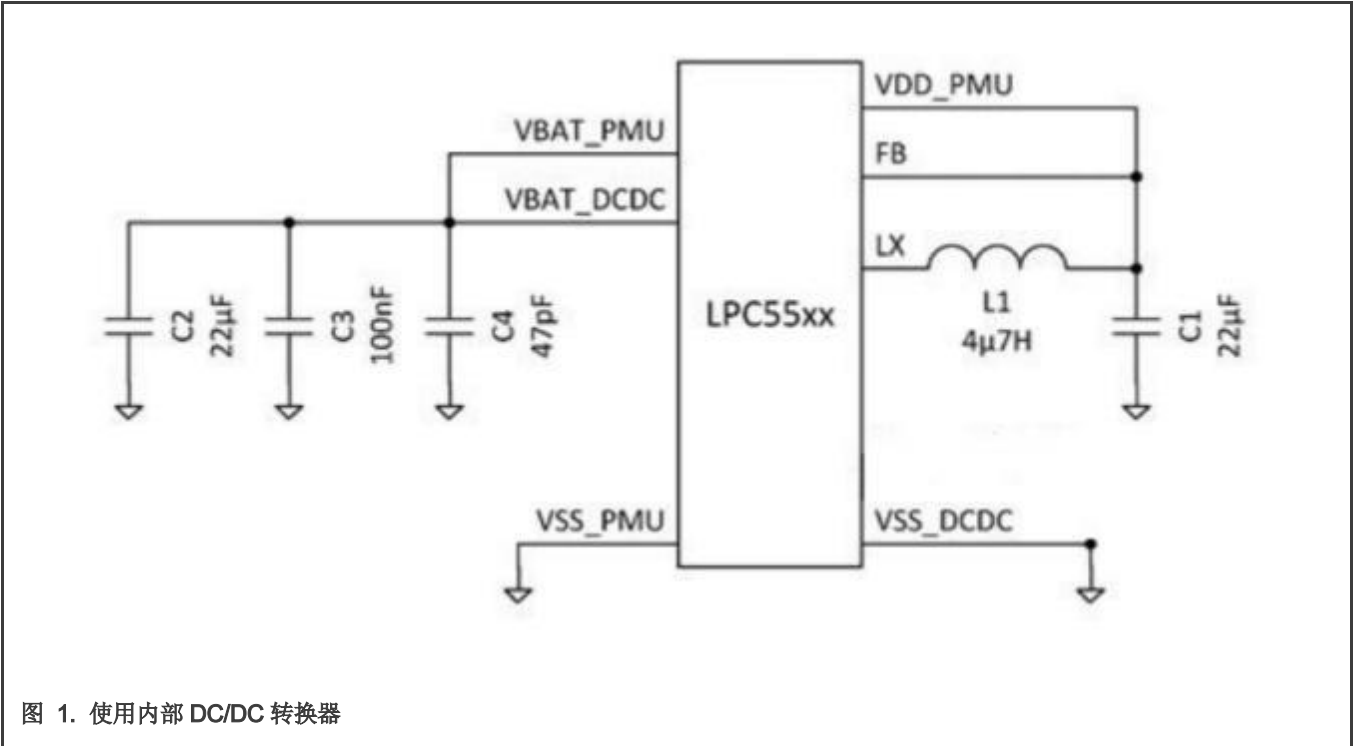


图 1. 使用内部 DC/DC 转换器

电源和接地引脚将在后续章节中介绍。

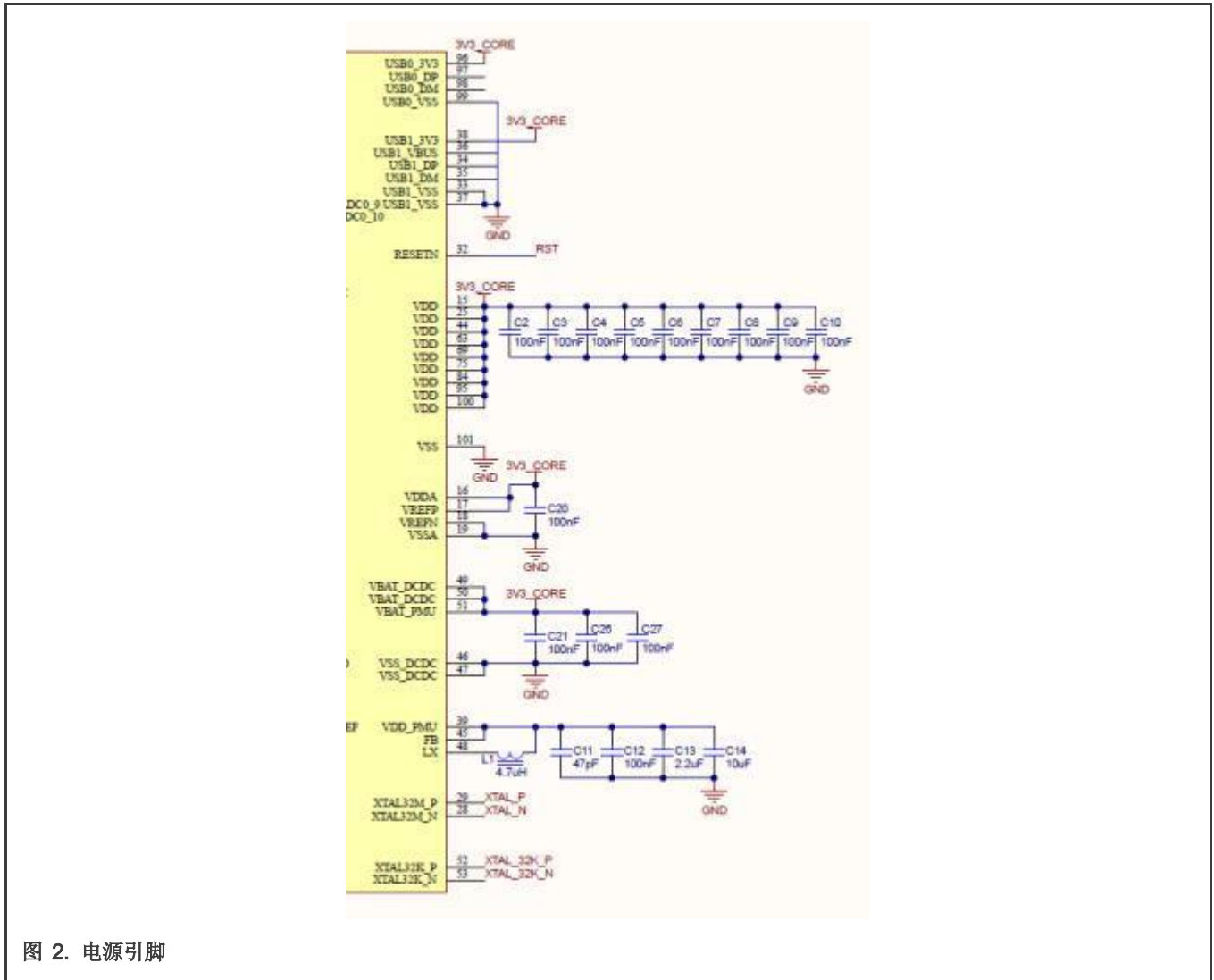


图 2. 电源引脚

NOTE

图 2 中的电容仅供参考

表 6. 电源域和去耦电容器

电源域	描述	电压	用于域的大容量/旁路电容			每个引脚的去耦电容	特点
			封装				
			HTQFP64	VFBGA98	HLFP100		
USB0_3V3	USB0 模拟 3.3V 电源	3.3 V	10 uF	10 uF	10 uF	0.1 uF	X7R陶瓷
USB1_3V3	USB1 模拟 3.3V 电源	3.3 V	10 uF	10 uF	10 uF	0.1 uF	X7R陶瓷
VDD	单电源为 I/O 供电	1.8 - 3.3 V	10 uF	10 uF	10 uF	0.1 uF	X7R陶瓷

表格在下一页继续...

表 6. 电源域和去耦电容器 (续)

电源域	描述	电压	用于域的大容量/旁路电容			每个引脚的去耦电容	特点
			封装				
			HTQFP64	VFBGA98	HLFP100		
VBAT_DCD C	DCDC输出供应	—	22 uF + 100 nF + 47 pF				X7R陶瓷
VBAT_PMU	核电压。对于使用DCDC转换器的应用，VDD_PMU和FB在PCB级别绑定。						
VDD_PMU	核供应						
VDDA	模拟电源电压	3.0 - 3.6 V	10 uF	10 uF	10 uF	0.1 uF	X7R陶瓷
VREFP	ADC 正参考	0.985 - VDDA	10 uF	10 uF	10 uF	0.1 uF	X7R陶瓷
VREFN	ADC 负参考						
USB0_VSS	USB0 模拟 3.3V 接地	GND	VSS、VSSA 和 VREFN 必须在封装级别短接到 GND。				
USB1_VSS	USB1 模拟 3.3V 接地						
VSS	接地						
VSS_DCDC	星形接地连接						
VSS_PMU	星形接地连接						
VSSA	模拟接地						
FB	反馈节点						
LX	DCDC 功率级输出						

3.2 大容量和去耦电容

大容量/旁路电容和去耦电容的有效性取决于最佳放置和连接类型。大容量电容用于电源引脚的本地电源，靠近去耦电容并尽可能靠近指定的参考电压引脚。去耦电容使电源、MCU 和参考地之间的电流环路尽可能短，以减少高频瞬变和噪声。因此，

- 所有去耦电容应尽可能放置在靠近各自电源引脚的位置。
- 去耦电容的接地侧应有一个通向焊盘的过孔，该过孔直接向下连接到内部接地层。

- 电容到电源平面的走线距离应尽可能短。

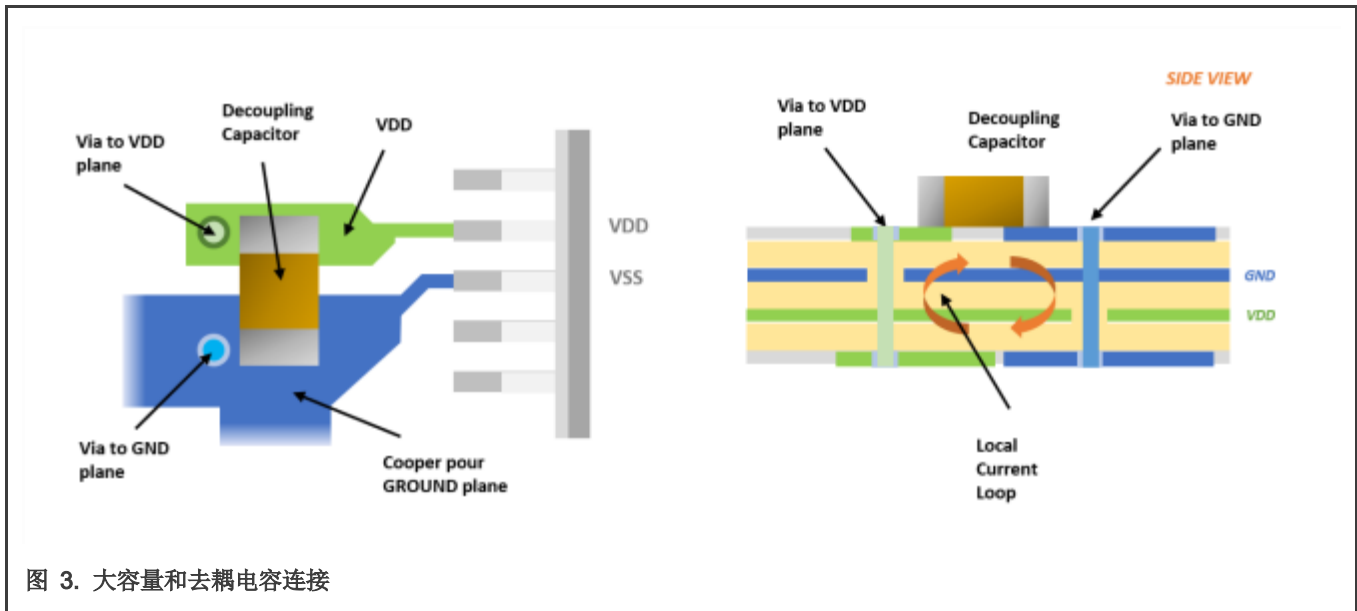


图 3. 大容量和去耦电容连接

4 时钟电路

4.1 简介

LPC55S1x/2x/6x 具有以下时钟源：

- 内部自由运行振荡器 (FRO)。该振荡器提供可选择的 96 MHz 输出和可用作系统时钟的 12 MHz 输出（从选定的较高频率分频）。在整个电压和温度范围内，FRO 的精度为 $\pm 2\%$ 。
- 32 kHz 内部自由运行振荡器 FRO。在整个电压和温度范围内，FRO 的精度为 $\pm 2\%$ 。
- 内部低功耗振荡器 (FOR 1 MHz) 在整个电压和温度范围内精度为 $\pm 15\%$ 。
- 晶振，工作频率为 16 MHz 或 32 MHz。可选择外部时钟输入（旁路模式），时钟频率高达 24 MHz。
- 工作频率为 32.768 kHz 的晶体振荡器。可选择外部时钟输入（旁路模式），时钟频率高达 100 kHz。
- PLL0 和 PLL1 允许 CPU 以最高 CPU 速率运行，而无需高频外部时钟。PLL0 和 PLL1 可以通过内部 FRO 12 MHz 输出、外部振荡器、内部 FRO 1 MHz 输出或 32.768 kHz RTC 振荡器运行。
- 带分频器的时钟输出功能，用于监控内部时钟。
- 频率测量单元，用于测量任何片上或片外时钟信号的频率。

备注：

对于外部晶体振荡器和 RTC 振荡器，LPC55Sxx 具有电容器组功能。这意味着稳定电容可以在 32 K 和 16 MHz XTAL 上拆焊。我们还建议用户将两个稳定电容保留为 DNP/请勿在 PCB 上安装。

4.2 晶振

在晶振电路中，XTAL32M_P 和 XTAL32M_N 引脚上只需要外接晶振 (XTAL) 和电容 CX1 和 CX2，如 图 4 所示。在旁路模式下，如果 XTAL32M_N 保持开路，外部时钟（最高频率可达 24 MHz）也可以连接到 XTAL32M_P。可以在 XTAL32M_P 引脚上施加 0 V 至 850 mV 的外部 [0 - VH] 方波信号。

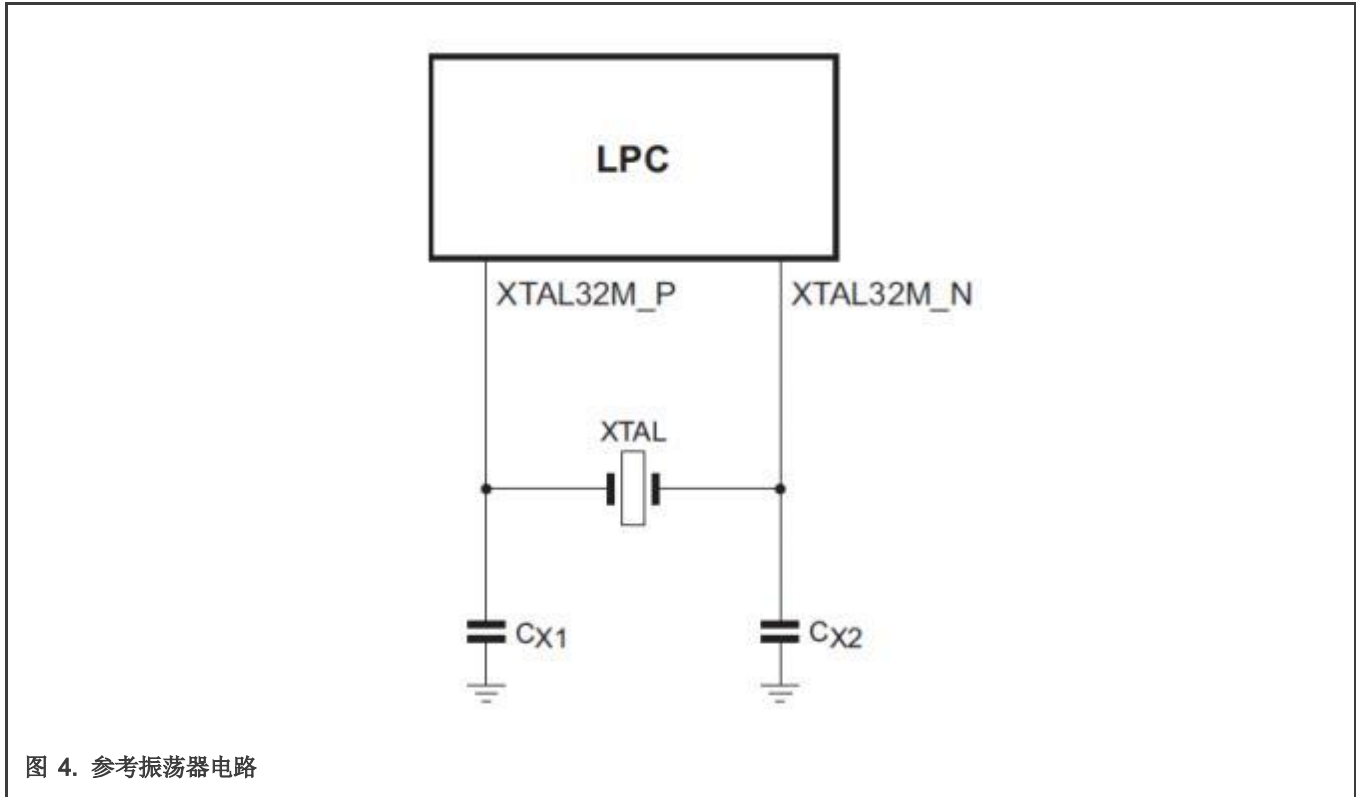


表 7. 振荡器电路的组成部分

符号	描述
XTAL	石英晶体/陶瓷谐振器
CX1	稳压电容
CX2	稳压电容

为获得最佳结果，为片上振荡器选择匹配的晶振非常关键。负载电容 (CL)、串联电阻 (RS) 和驱动电平 (DL) 是选择晶振时要考虑的重要参数。选择合适的晶振后，外部负载电容 CX1 和 CX2 的值一般也可以由下式确定：

$$CX1 = CX2 = 2CL \square (C_{Pad} + C_{Parasitic})$$

其中：

- CL: 晶体负载电容
- C_{Pad}: XTAL32M_P 和 XTAL32M_N 引脚的焊盘电容 (~3 pF)
- C_{Parasitic}: 外部电路的寄生或杂散电容

虽然 $C_{\text{Parasitic}}$ 通常可以忽略，但实际电路板布局和外部元件的放置会影响外部负载电容的最佳值。因此，建议在实际硬件板上，微调外部负载电容的值以获得准确的时钟频率。对于微调，将 RTC 时钟输出到 GPIO 之一，并优化外部负载电容的值以获得最小频率偏差。负载电容取决于晶振的规格和电路板电容。建议让晶振制造商对 PCB 上的晶振进行评估。

4.2.1 晶振印刷电路板 (PCB) 设计指南

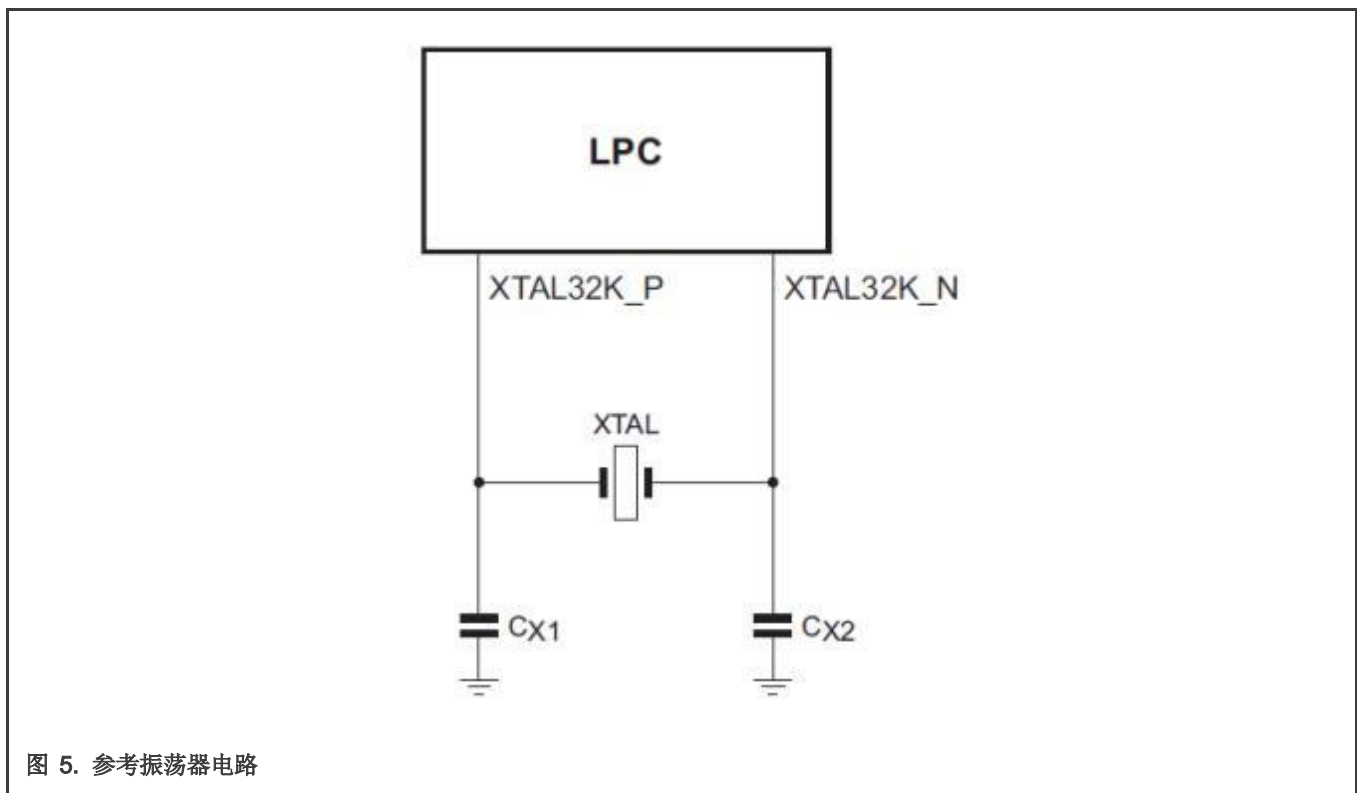
- 将 PCB 上的晶振和外部负载电容尽可能连接到靠近芯片振荡器输入和输出引脚的位置。
- 振荡电路中的走线长度应尽可能短，不得与其他信号线交叉。
- 确保负载电容 CX1 和 CX2（在使用第三泛音晶体时）具有公共接地层。
- 环路必须尽可能小，最大限度地减少通过 PCB 耦合形成的噪声，并保持尽可能小的寄生效应。
- 在晶振单元下进行接地 (GND)。
- 多层 PCB 的晶振电路下不要布置其他信号线。

4.3 RTC振荡器

在 RTC 振荡器电路中，XTAL32K_P 和 XTAL32K_N 上只需外接 32.768 kHz 晶振 (XTAL) 和电容 CX1 和 CX2，如图 5 所示。

在旁路模式下，如果 XTAL32K_N 保持开路，外部时钟（最高频率可达 100 kHz）也可以连接到 XTAL32K_P。外部 [0 - VH] 方波信号可以施加在 XTAL32K_P 引脚上，电压为 1.1 V +/-10%。

无法施加低于 1.0 V 或高于 1.2 V 的外部信号。



为获得最佳结果，为片上振荡器选择匹配的晶振非常关键。负载电容 (CL)、串联电阻 (RS) 和驱动电平 (DL) 是选择晶振时要考虑的重要参数。选择合适的晶振后，外部负载电容 CX1 和 CX2 的值一般也可以由下式确定：

$$Cx1 = Cx2 = 2CL \square (C_{Pad} + C_{Parasitic})$$

其中：

- **CL**: 晶体负载电容
- **C_{Pad}**: XTAL32K_P 和 XTAL32K_N 引脚的焊盘电容 (~3 pF)
- **C_{Parasitic}**: 外部电路的寄生或杂散电容

虽然 **C_{Parasitic}** 一般可以忽略，但实际电路板布局和外部元件的放置会影响外部负载电容的最佳值。

因此，建议在实际硬件板上，微调外部负载电容的值以获得准确的时钟频率。对于微调，将 RTC 时钟输出到 GPIO 之一，并优化外部负载电容的值以获得最小频率偏差。

4.3.1 RTC PCB 设计指南

- 将 PCB 上的晶振和外部负载电容尽可能连接到靠近芯片振荡器输入和输出引脚的位置。
- 振荡电路中的走线长度应尽可能短，不得与其他信号线交叉。
- 确保负载电容器 **CX1**、**CX2** 和 **CX3**（在使用第三泛音晶体时）具有公共接地层。
- 环路必须尽可能小，最大限度地减少通过 PCB 耦合形成的噪声，并保持尽可能小的寄生效应。
- 在晶振单元下连接到 **GND**。
- 多层 PCB 的晶振单元下不要布置其他信号线。

4.4 振荡器电路PCB布局的常用建议

晶振是模拟电路，必须根据模拟电路板布局规则仔细设计：

- 建议将 PCB 发送给晶振制造商，以确定负振荡裕度以及 **CXTAL** 和 **CEXTAL** 电容的最佳值。数据表包括对槽路电容 **CXTAL** 和 **CEXTAL** 的建议。这些值与预期的 PCB、引脚等杂散电容值一起用作初始点。
- 晶振或谐振振荡器对杂散电容和来自其他信号的噪声很敏感。它应该远离高频设备和走线，以避免和减少 **XTAL** 和 **EXTAL** 引脚与其 PCB 走线之间的电容耦合。
- 主振荡回路电流在晶振和负载电容之间流动。该信号路径（振荡器到 **CEXTAL** 到 **CXTAL** 到振荡器）应尽可能短且对称走线。因此，应使用铜浇注接地层将电容的接地端直接连接到最近的 **VSS** 引脚，并且必须有几个连接到 PCB 内部接地层的过孔。
- **EXTAL** 和 **XTAL** 引脚应仅连接到所需的振荡器组件，不得连接到任何其他器件。

图 6 展示了振荡器的推荐布局和布线。

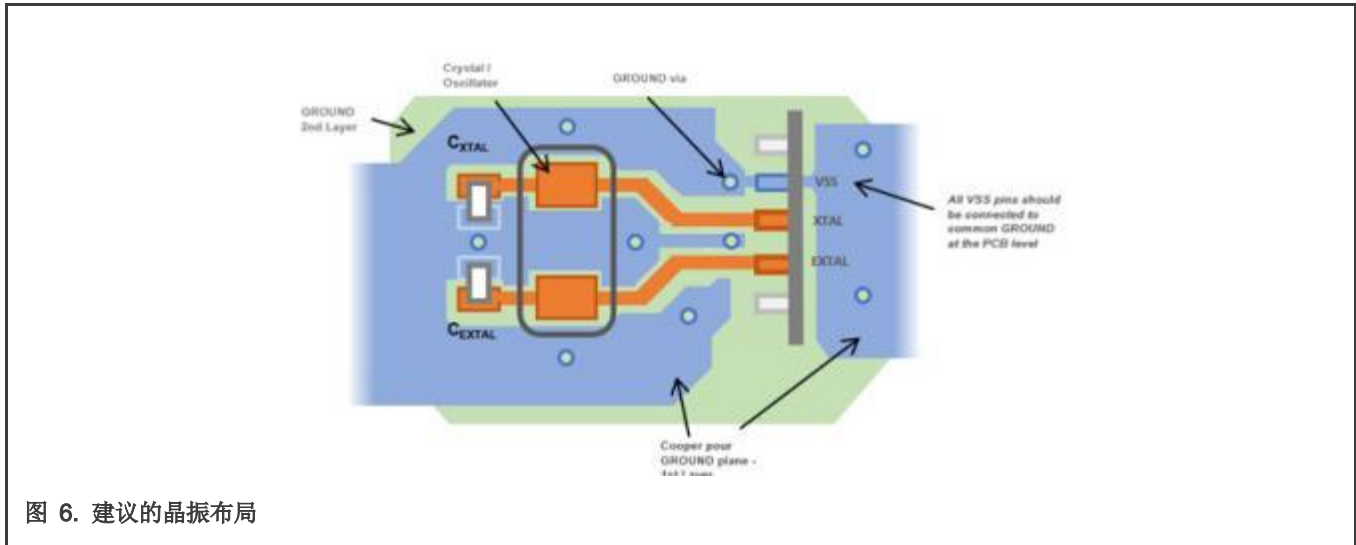


图 6. 建议的晶振布局

5 启动模式配置

5.1 启动模式选择

内部 ROM 存储器用于存储启动代码。复位后，Arm 处理器从该存储器中执行代码。每次器件上电、复位或在低功耗模式下从深度掉电中唤醒时，都会执行启动加载程序代码。

根据 CMPA 位、ISP 引脚和镜像头文件类型定义的值，启动加载程序会决定是从内部闪存启动还是进入 ISP 模式。请参阅 LPC55S6x/LPC55S2x/LPC552x 用户手册中的第 6.5 节 FFR 区域的定义(文档 UM11126)。

复位时，端口引脚 PIO0_5 的状态决定了器件的启动源或处理程序是否被调用。

LPC55S6x/LPC55S2x/LPC552x/55S1x 将读取 ISP 引脚的状态以确定启动源，如表 8 所示。

表 8. 基于 ISP 引脚的启动模式和 ISP 下载模式

启动模式	ISP0 (PIO0_5 pin)	描述
被动启动	HIGH	LPC55S6x/LPC55S2x/LPC552x 将在内部闪存中寻找有效镜像，如果找不到有效镜像，LPC55S6x/LPC55S2x/LPC552x 将根据表 9 中定义的 DEFAULT_ISP_MODE 位进入 ISP 启动模式。
ISP 启动	LOW	其中一个串行接口 (UART0、I2C1、SPI3、HS_SPI、USB0、USB1) 用于将镜像从主机下载到内部闪存中。USART、I2C、SPI 或 USB 上的第一个有效探测消息会锁定在该接口中。

表 9 展示了 ISP 引脚分配，是 ROM 代码使用的默认引脚分配，无法更改。

表 9. ISP 引脚分配

ISP 引脚	端口引脚分配
ISP0	PIO0_5
USART_ISP 模式	

表格在下一页继续...

表 9. ISP 引脚分配 (续)

ISP 引脚	端口引脚分配
FC0_TXD	PIO0_30
FC0_RXD	PIO0_29
I2C_ISP 模式	
FC1_SDA	PIO0_13
FC1_SCL	PIO0_14
SPI ISP 模式	
FC3_SCK	PIO0_6
FC3_SSEL0	PIO0_4
FC3_MISO	PIO0_2
FC3_MOSI	PIO0_3
HS_SPI_SCK	PIO1_2
HS_SPI_MISO	PIO1_3
HS_SPI_MOSI	PIO0_26
USB0 ISP 模式	
USB0_VBUS	PIO0_22
USB0_DP	每个封装的专用引脚
USB0_DM	每个封装的专用引脚
USB1 ISP 模式	
USB1_VBUS	每个封装的专用引脚
USB1_DP	每个封装的专用引脚
USB1_DM	每个封装的专用引脚

6 调试和编程接口

本节介绍了一些常用的调试连接器。大多数 Arm 开发工具都使用这些引脚。

开发 ARM 电路板时，建议使用标准调试信号序列，以便更轻松地连接到调试器。

当部件处于边界扫描模式时，JTAG 功能 TRST、TCK、TMS、TDI 和 TDO 由硬件在引脚 PIO0_2 至 PIO0_6 上选择。

JTAG 功能不能用于调试模式。

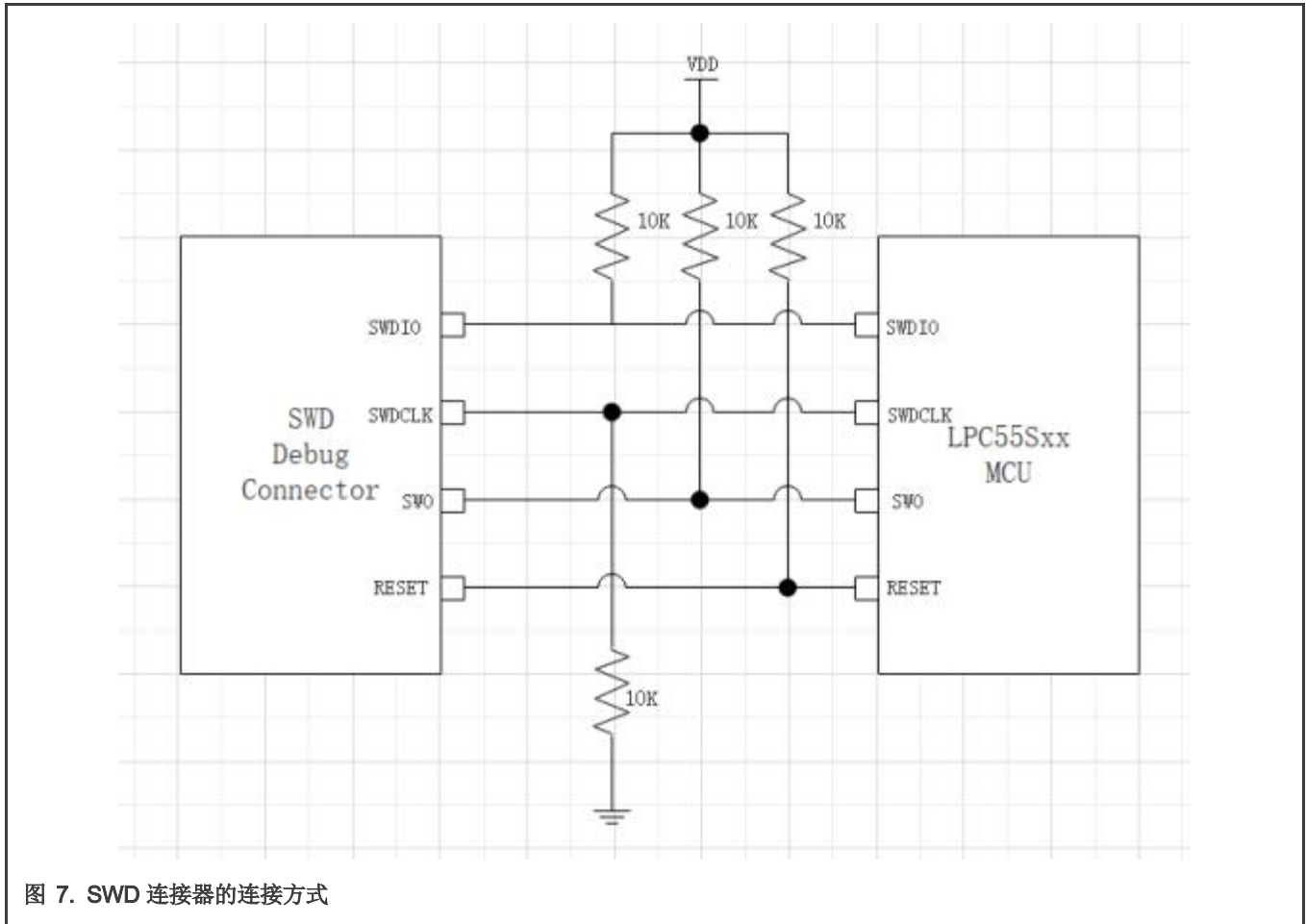
SWD/SWV 引脚重叠在 JTAG 引脚的顶部，如 表 10 所示。

表 10. JTAG 和 SWD 信号说明

JTAG 模式	SWD 模式	描述	MCU 端口	建议
TRST	—	JTAG 测试复位	PIO0_2	Pull-Down
TCK	—	JTAG时钟进入核	PIO0_3	Z
TMS	—	JTAG 测试模式选择	PIO0_4	Z
TDI	—	JTAG 测试数据输入	PIO0_5	Pull-Down
TDO	—	JTAG 测试数据输出	PIO0_6	Z
—	SWO	串行线路调试走线输出	PIO0_8	Output, Z
—	SWCLK	串行线路调试时钟	PIO0_11	Input, Pull-Down
—	SWDIO	串行线调试 I/O	PIO0_12	Input, Pull-Up
RESET	RESET	复位 MCU	专用引脚	Pull-Up
GND	GND	接地	专用引脚	—

备注：

可以为 JTAG 信号添加外部上拉/下拉电阻，以提高调试器连接的稳健性。



6.1 调试连接器引脚

由于 LPC55Sxx 的 JTAG 仅用于 BSDL 扫描，可以使用更小的 0.05" 10-pin 连接器 (Samtec FTSH-105) 进行调试。类似于 20-pin Cortex Debug D ETM 连接器，在 10-pin 中都支持 JTAG 和串行线调试协议。

备注：

当器件处于边界扫描模式时，JTAG 功能 TRST、TCK、TMS、TDI 和 TDO 由硬件在引脚 PIO0_2 到 PIO0_6 上选择。JTAG 功能不能用于调试模式。

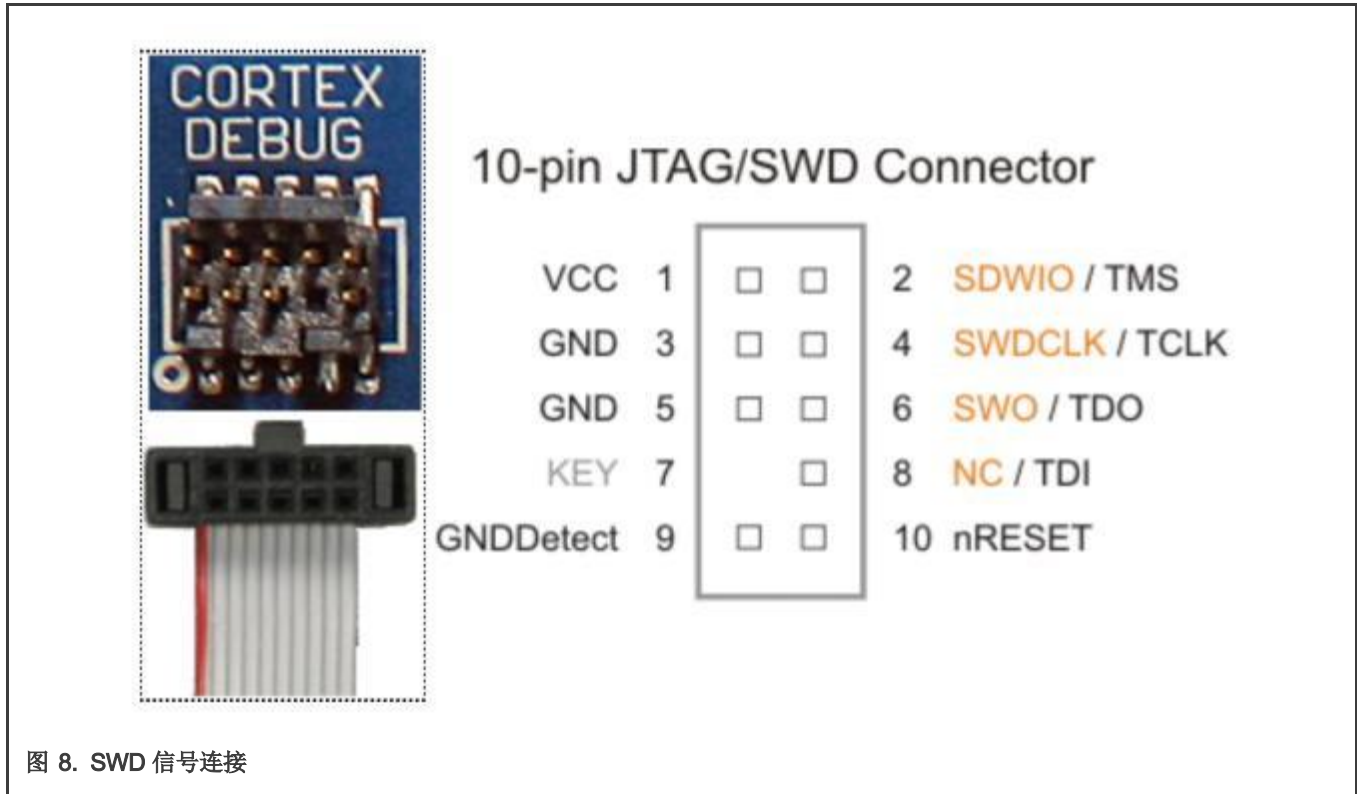


图 8. SWD 信号连接

7 通信模块

7.1 CAN接口支持 CAN-FD

LPC55S1x 具有 CAN-FD 接口，在 ISO-11898-2 中规定了 CAN 的物理层特性。该标准规定使用由标称阻抗为 120 Ω （最小为 95 Ω ，最大为 140 Ω ）的平行线组成的电缆。由于电磁兼容性 (EMC)，通常需要使用屏蔽双绞线电缆，尽管 ISO-11898-2 也允许使用非屏蔽电缆。CAN 规定的最大线路长度为 40 米，数据速率为 1 Mbps。然而，在较低的数据速率下，可能需要更长的线路。ISO-11898-2 规定了一种线型拓扑，各个节点使用短线连接。

虽然并非专门用于汽车应用，但 CAN 协议旨在满足车辆串行数据总线的特定要求：实时处理、车辆在 EMI 环境中的可靠运行、成本效益和所需的带宽。每个 CAN 站都通过收发器设备物理连接到 CAN 总线。该收发器能够驱动 CAN 总线所需的大电流，并具有针对故障 CAN 或故障状态的电流保护。图 9 展示了带有 LPC55(S)0x / LPC55(S)1x 微控制器的典型 CAN 系统。

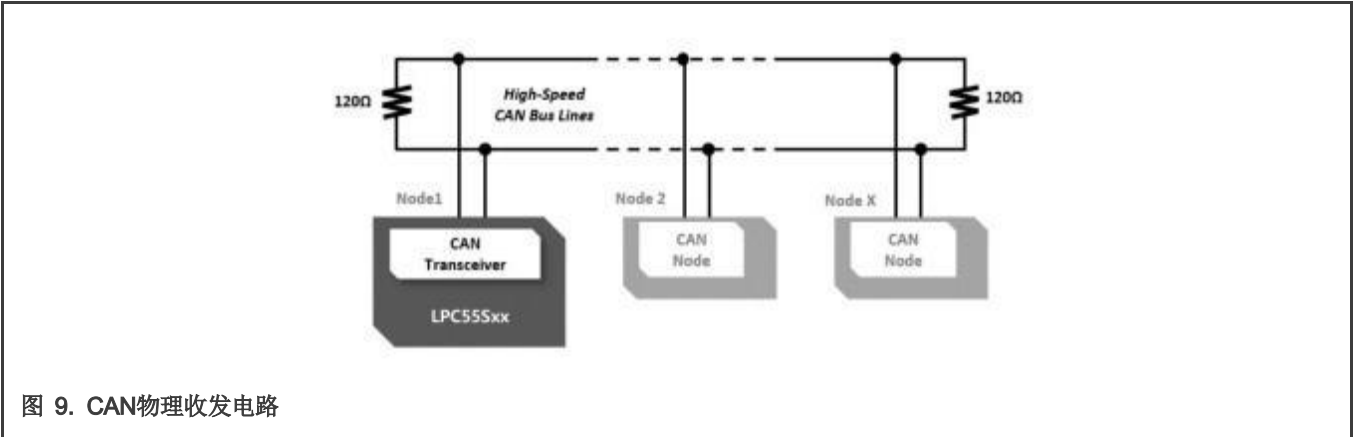


图 9. CAN物理收发电路

LPC55Sxx CAN-FD 模块是 CAN 协议、具有灵活数据速率的 CAN (CAN FD) 协议和 CAN 2.0 B 版协议的完整实现，支持标准和扩展消息帧以及长达 64 字节的长有效载荷，以高达 8 Mbps 的更快速率传输。与大多数其他 CAN 物理收发器一样，CANH 和 CANL 可供设计人员根据应用匹配总线。图 9 和图 10 展示了 CAN 节点终端的示例。

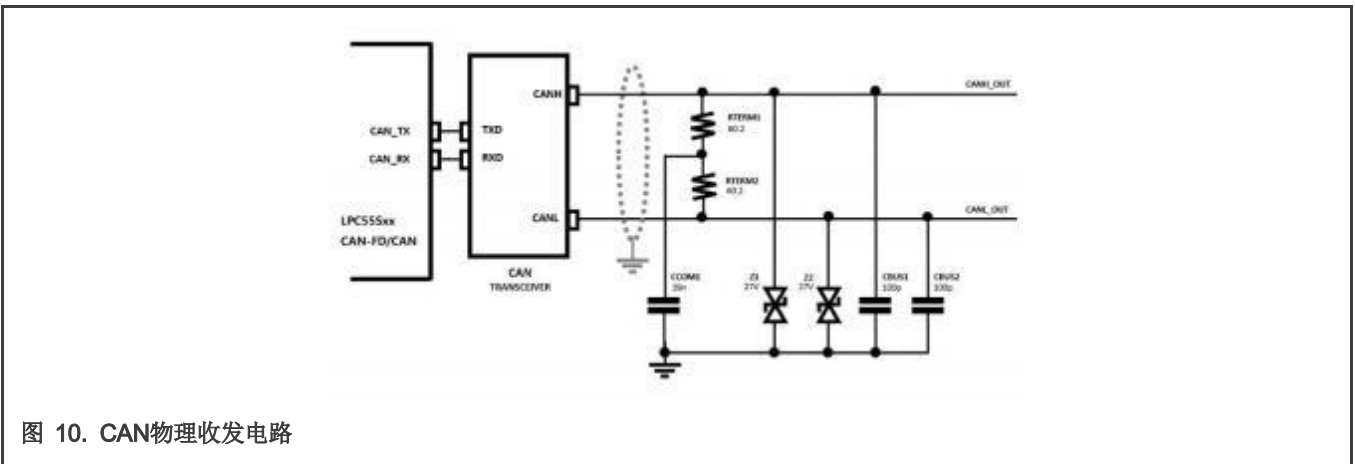


图 10. CAN物理收发电路

8 模拟

8.1 ADC阻抗

图 11 展示了 LPC55Sxx 的 ADC 框图。

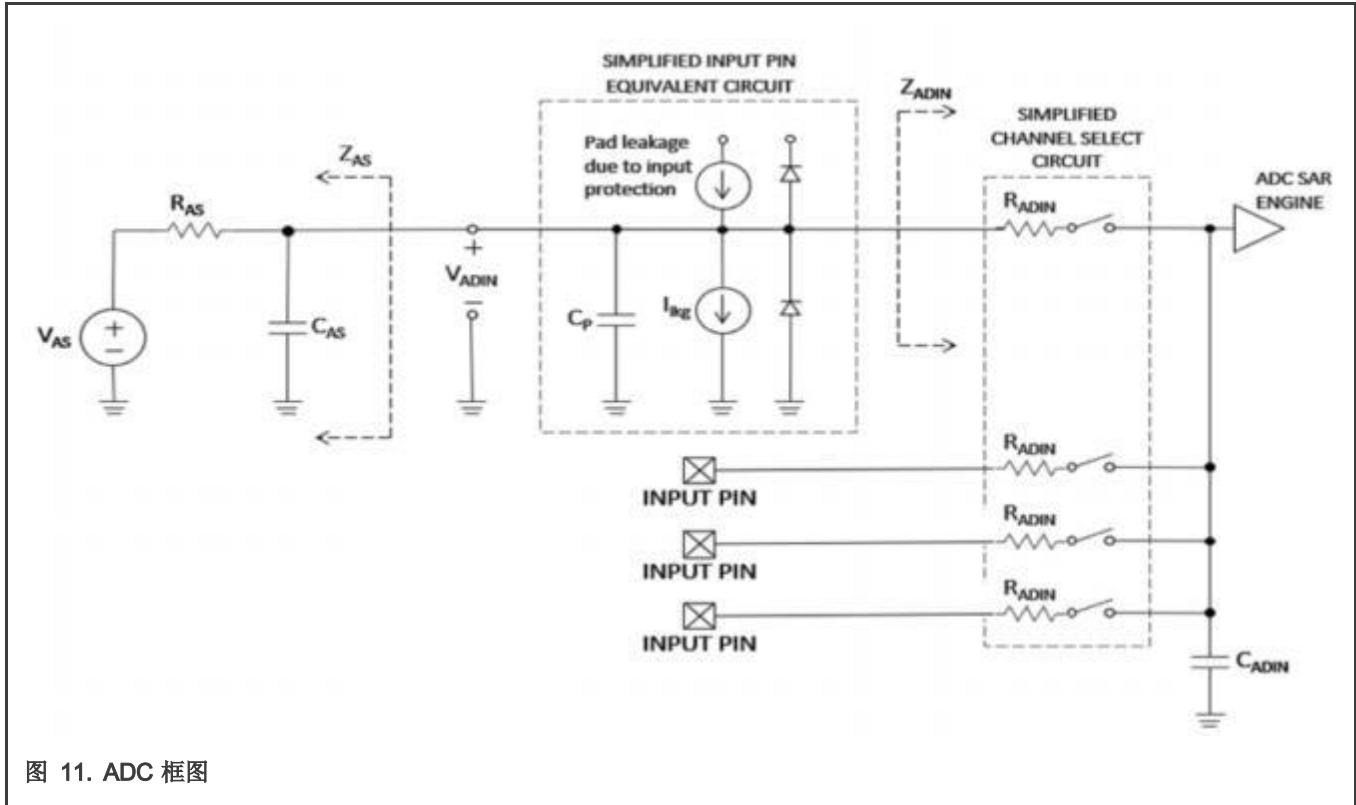


图 11. ADC 框图

数据表仅共享 RADIN 值，如表 11 所示。

表 11. ADC 输入电阻

		Min.	Typical	Max.	Unit
Ri	输入电阻				
	快速输入通道				
	PIO0_16/PIO0_23	—	1	2	kΩ
	PIO0_11/PIO0_10	—	1	2	kΩ
	PIO0_12/PIO0_15	—	1	2	kΩ
	PIO1_0/PIO0_31	—	1	2	kΩ
	标准输入通道				
	PIO1_9/PIO1_8	—	1.4	3.6	kΩ

9 有关建议

9.1 引脚说明

9.1.1 引脚的上拉/下拉和开漏

除了 PIO0_2, PIO0_5, PIO0_11, PIO0_12, PIO0_13 和 PIO0_14 引脚之外, 所有引脚的上拉、下拉和输入都在复位时关闭。这可以防止在软件配置之前通过引脚造成功率损耗。由于特殊的引脚功能, 一些引脚具有不同的复位配置。PIO0_5 和 PIO0_12 引脚默认启用内部上拉, PIO0_2 和 PIO0_11 默认启用内部下拉。PIO0_13 和 PIO0_14 是真正的开漏引脚。

9.1.2 ADC 引脚

某些功能, 例如 ADC 或比较器输入, 仅在禁用数字功能的特定引脚上可用。默认情况下, GPIO 功能被选中, 除了引脚 PIO0_11 和 PIO0_12, 因为它们是串行线路调试引脚。这允许通过复位进行调试。

9.1.3 唤醒引脚

外部复位引脚或三个唤醒引脚可以从深度掉电模式触发唤醒。对于唤醒引脚, 如果在深度掉电模式时用作唤醒输入, 则不要为此引脚分配任何功能。如果未处于深度掉电模式, 则可以为该引脚分配一个功能。如果该引脚用于唤醒, 则在进入深度掉电模式之前应从外部将其拉高。一个 50 ns 的低脉冲可以使芯片退出深度掉电模式并唤醒器件。

9.1.4 JTAG 功能引脚

备注:

当器件处于边界扫描模式时, JTAG 功能 TRST、TCK、TMS、TDI 和 TDO 由硬件从引脚 PIO0_2 到 PIO0_6 上选择。JTAG 功能不能用于调试模式。

9.2 未经使用的引脚

表 12 展示了如何端接应用中未使用的引脚。在许多情况下, 未使用的引脚应从外部连接或通过软件正确配置, 最大限度地降低部件的整体功耗。

具有 GPIO 功能的未使用引脚应配置为: 输出设置为 **LOW** 并禁用其内部上拉。要将 GPIO 引脚配置为输出并将其驱动为低电平, 请在 **IOCON** 寄存器中选择 GPIO 功能, 在 **GPIO DIR** 寄存器中选择输出, 然后将 0 写入该引脚的 **GPIO PORT** 寄存器。禁用 **IOCON** 寄存器中引脚的上拉。

此外, 建议将所有未绑定到较小封装上的 GPIO 引脚配置为: 输出驱动为低电平并禁用其内部上拉。

表 12. 未经使用引脚的终端

引脚	默认状态	未使用引脚的端接推荐
RESET 复位	输入, 上拉	如果应用程序不使用它, 则可以保持未连接状态。
所以 PION_m (不是开漏)	输入, 上拉	如果驱动为低电平并配置为 GPIO 输出, 且软件禁用了上拉或下拉, 则可以保持未连接状态。
PION_m (I2C 开漏)	非活跃状态 没有上拉或下拉	如果驱动为低电平并由软件配置为 GPIO 输出, 则可以保持未连接状态。
XTAL32K_P	—	接地。接地时, RTC 振荡器被禁用。
XTAL32K_N	—	可以不连接。
VREFP	—	绑定到 VBAT_DCDC

表格在下一页继续...

表 12. 未经使用引脚的终端（续）

引脚	默认状态	未使用引脚的端接推荐
VREFN	—	绑定到 VSS
VDDA	—	绑定到 VBAT_DCDC
VSSA	—	绑定到 VSS
USBn_DP	F	可以不连接。
USBn_DM	F	可以不连接。
USBn_3V3	F	绑定到 VBAT_DCDC。
USB1_VBUS	F	绑定到 VBAT_DCDC。
USBn_VSS	F	绑定到 VSS

9.3 PCB

出于技术原因，最好使用多层 PCB，其中一层专用于接地 (VSS)，另一层专用于 VDD 电源。这提供了良好的去耦和良好的屏蔽效果。对于许多应用，由于经济原因无法使用这种类型的电路板。在这种情况下，主要要求是要确保良好的接地和电源结构。

9.4 一般电路板布局指南

9.4.1 走线建议

走线中的直角会导致更多辐射。拐角区域的电容增加，特性阻抗发生变化。这种阻抗变化会引起反射。避免走线中的直角转弯，并尝试使用至少两个 45° 角布线。为了最大限度地减少任何阻抗变化，最好的布线是圆形弯曲，如 图 12 所示。

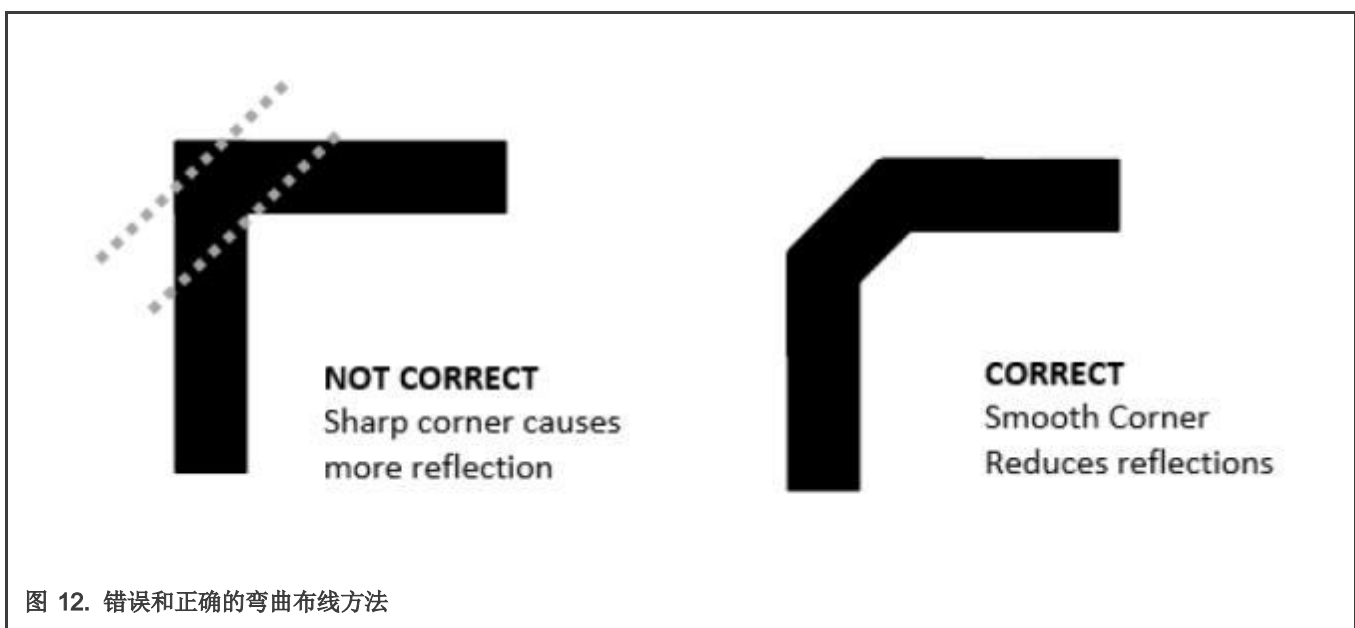


图 12. 错误和正确的弯曲布线方法

为了最大限度地减少串扰，不仅在同一层的两个信号之间，而且在相邻层之间，将它们彼此成 90°布线。复杂的电路板在布线时需要使用过孔；使用它们时必须小心。这些过孔会增加额外的电容和电感，并且由于特征阻抗的变化而发生反射。过孔还会增加走线长度。使用差分信号时，同时在两条走线上使用过孔，或在另一条走线上进行延迟补偿。

9.4.2 接地

接地技术适用于多层和单层 PCB。接地技术的目标是 minimized 接地阻抗，从而降低从电路到电源的接地回路的电位。

- 将高速信号路由到坚实且完整的接地平面。
- 不要将接地平面分成单独的平面用于模拟、数字和电源引脚。建议使用单一且连续的接地层。
- 靠近微控制器引脚的任何区域附近不应有任何类型的浮动金属/形状。在信号层未使用的区域填充铜，并通过过孔将这些铜连接到接地层。

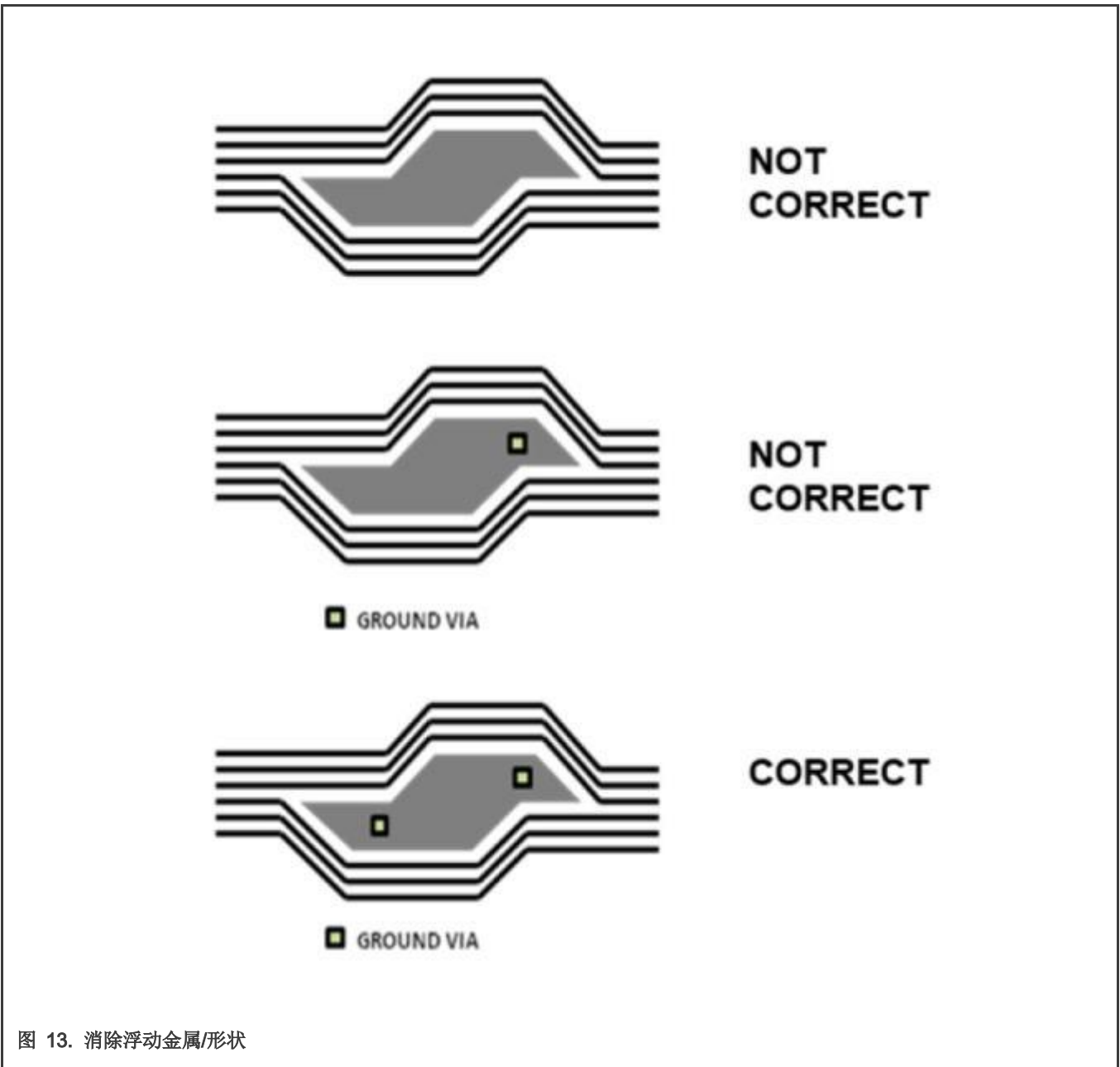


图 13. 消除浮动金属/形状

9.4.3 EMI/EMC 和 ESD 布局考虑

这些注意事项对于所有系统和电路板设计都很重要。尽管这背后的理论有了很好的解释，但每个板和系统对此都有各自的体现。其中涉及很多与PCB和元件相关的因素。

本应用笔记不涉及电磁理论或解释使用不同技术对抗不良效应，但它考虑了不良效应，以及推荐用于 CMOS 电路的解决方案。EMI 是干扰电子器件运行的射频能量。这种射频能量可以由设备本身或附近的其他器件产生。为您的系统成功运行并抵消来自其周围器件和系统外电磁干扰影响的能力。电磁噪声或干扰通过两种介质传播：传导和辐射。

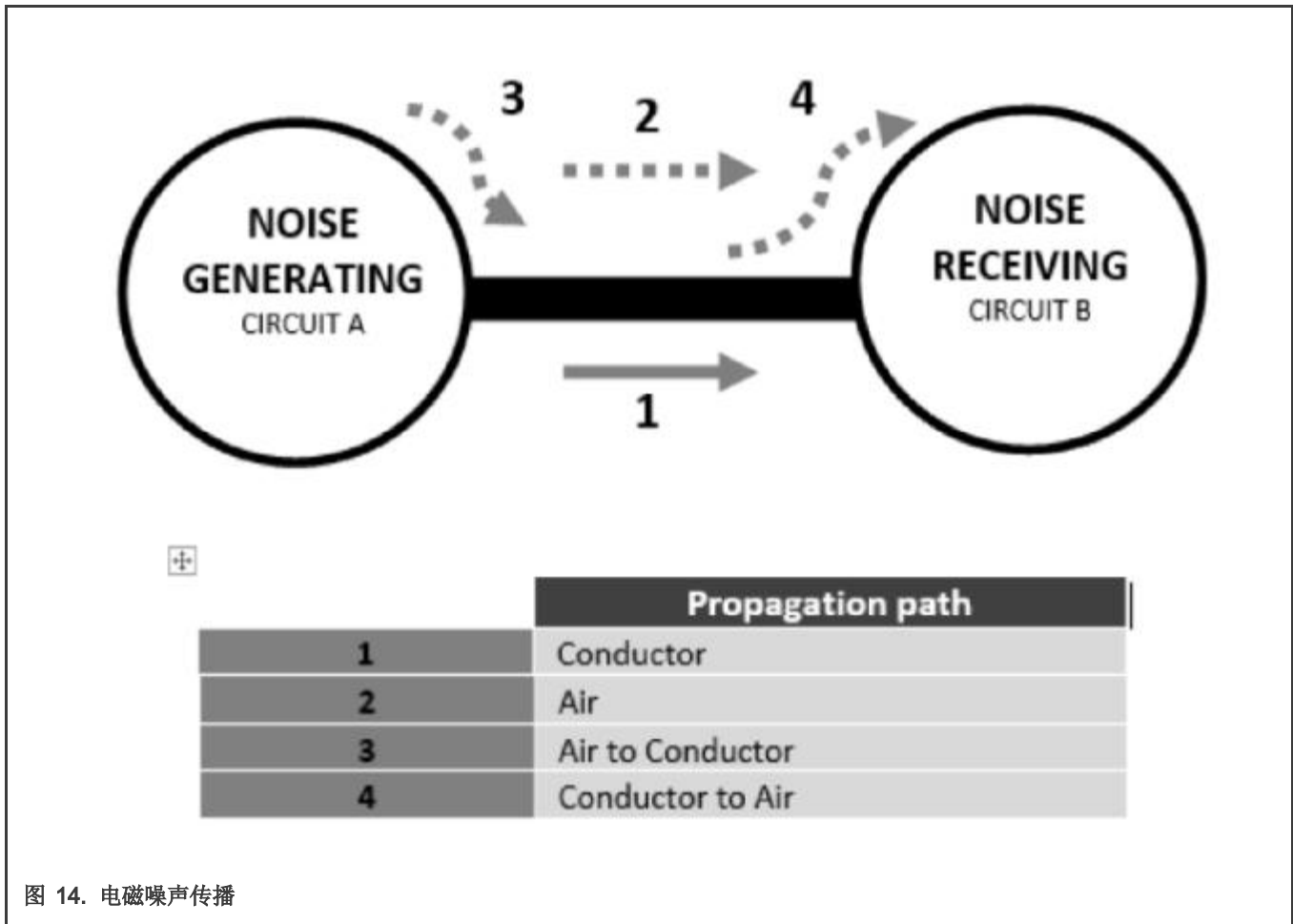


图 14. 电磁噪声传播

设计应考虑到：

- 电路板辐射和传导的 EMI 应低于所遵循标准允许的水平。
- 电路板能够成功地抵消来自周围其他系统的辐射和传导的电磁能 (EMC)。

系统的 EMI 源由多个组件构成，例如 PCB、连接器、电缆等。PCB 在辐射高频噪声方面起着主要作用。在更高的频率和快速切换的电流和电压下，PCB 走线成为辐射电磁能的有效天线；例如，大环路信号和相应的接地。五个主要的辐射源是：在走线上传播的数字信号、电流回路区域、电源滤波或去耦不足、传输线效应以及缺乏电源和接地层。快速开关时钟、外部总线和 PWM 信号用作控制输出和开关电源。电源是造成 EMI 的另一个主要因素。RF 信号可以从电路板的一部分传播到另一个形成 EMI 的部分。开关电源会辐射无法通过 EMI 测试的能量。这是课题，有许多书籍、文章和白皮书详细介绍了其背后的理论以及对抗其影响的设计标准。

就 EMI/EMC 和 ESD 问题而言，每个电路板或系统都不同，需要有解决方案。但是，减少产生不必要的电

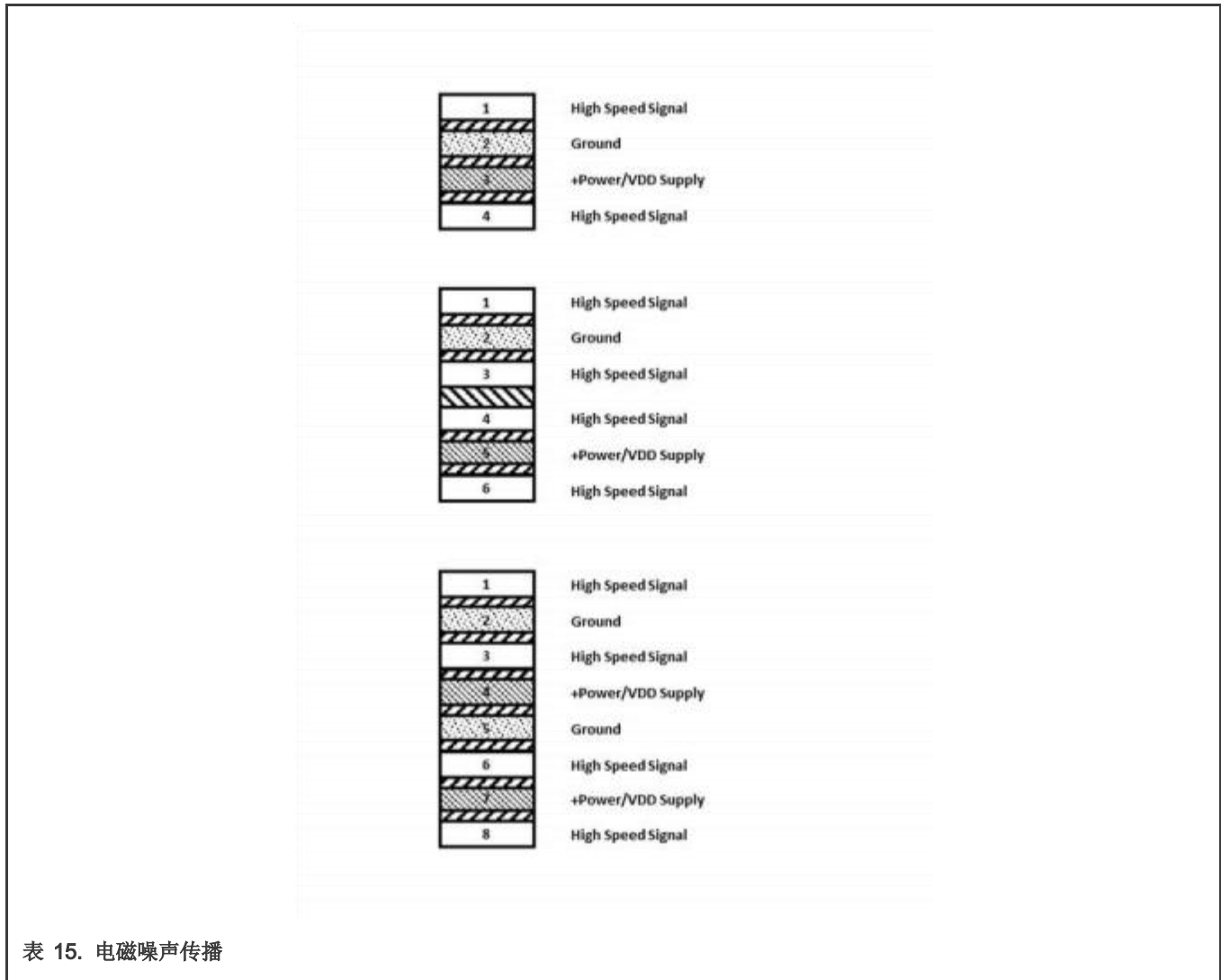
磁能的通用准则如下所示：

- 确保电源符合应用的额定值并使用去耦电容进行优化。
- 在电源上提供足够的滤波电容。大容量/旁路和去耦电容应具有低等效串联电感 (ESL)。
- 如果布线层上有可用空间，则创建接地层。通过过孔将这些接地区域连接到接地层。

- 保持电流回路尽可能小。添加尽可能多的去耦电容。应用电流回流规则以减少循环区域。
- 使高速信号远离其他信号，尤其是远离输入和输出端口或连接器。

9.4.4 PCB层堆栈

为了达到信号完整性和性能要求，建议使用四层 PCB 来实现以太网应用和系统。对于四层、六层和八层板，建议使用以下层堆栈，也可以使用其他选项。



9.4.5 注入电流

所有引脚都具有保护二极管，以防止静电放电 (ESD)。在许多情况下，数字和模拟引脚连接的电压都需要高于器件引脚工作电压。

微控制器的内部 ESD 二极管仅设计用于短放电脉冲，并且这些二极管不会时刻保持恒定电流。因此，在直流电气参数中，规定了它们能下降到的最大连续电压，且最大高输入电压不应高于 $VDD + 0.5 V$ ，并且电流注入也应按照器件数据手册中的规定进行限制。换句话说，输入信号的电压和电流必须在允许的电气参数范围内。超出这些规范会导致 MCU 出现意外故障、操作异常或重大损坏。

10 参考文献

1. Hardware Design Guidelines for S32K1xx Microcontrollers (document [AN5426](#))
2. LPC55S1x User manual (document [UM11295](#))
3. LPC55S2x/LPC552x/LPC55S6x/LPC556x User manual (document [UM11126](#))

How To Reach Us

Home Page:

nxp.com

Web Support:

nxp.com/support

Information in this document is provided solely to enable system and software implementers to use NXP products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits based on the information in this document. NXP reserves the right to make changes without further notice to any products herein.

NXP makes no warranty, representation, or guarantee regarding the suitability of its products for any particular purpose, nor does NXP assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters that may be provided in NXP data sheets and/or specifications can and do vary in different applications, and actual performance may vary over time. All operating parameters, including "typicals," must be validated for each customer application by customer's technical experts. NXP does not convey any license under its patent rights nor the rights of others. NXP sells products pursuant to standard terms and conditions of sale, which can be found at the following address: nxp.com/SalesTermsandConditions.

While NXP has implemented advanced security features, all products may be subject to unidentified vulnerabilities. Customers are responsible for the design and operation of their applications and products to reduce the effect of these vulnerabilities on customer's applications and products, and NXP accepts no liability for any vulnerability that is discovered. Customers should implement appropriate design and operating safeguards to minimize the risks associated with their applications and products.

NXP, the NXP logo, NXP SECURE CONNECTIONS FOR A SMARTER WORLD, COOLFLUX, EMBRACE, GREENCHIP, HITAG, ICODE, JCOP, LIFE VIBES, MIFARE, MIFARE CLASSIC, MIFARE DESFire, MIFARE PLUS, MIFARE FLEX, MANTIS, MIFARE ULTRALIGHT, MIFARE4MOBILE, MIGLO, NTAG, ROADLINK, SMARTLX, SMARTMX, STARPLUG, TOPFET, TRENCHMOS, UCODE, Freescale, the Freescale logo, Altivec, CodeWarrior, ColdFire, ColdFire+, the Energy Efficient Solutions logo, Kinetis, Layerscape, MagniV, mobileGT, PEG, PowerQUICC, Processor Expert, QorIQ, QorIQ Qonverge, SafeAssure, the SafeAssure logo, StarCore, Symphony, VortiQa, Vybrid, Airfast, BeeKit, BeeStack, CoreNet, Flexis, MXC, Platform in a Package, QUICC Engine, Tower, TurboLink, EdgeScale, EdgeLock, eIQ, and Immersive3D are trademarks of NXP B.V. All other product or service names are the property of their respective owners. AMBA, Arm, Arm7, Arm7TDMI, Arm9, Arm11, Artisan, big.LITTLE, Cordio, CoreLink, CoreSight, Cortex, DesignStart, DynamIQ, Jazelle, Keil, Mali, Mbed, Mbed Enabled, NEON, POP, RealView, SecurCore, Socrates, Thumb, TrustZone, ULINK, ULINK2, ULINK-ME, ULINK-PLUS, ULINKpro, µVision, Versatile are trademarks or registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere. The related technology may be protected by any or all of patents, copyrights, designs and trade secrets. All rights reserved. Oracle and Java are registered trademarks of Oracle and/or its affiliates. The Power Architecture and Power.org word marks and the Power and Power.org logos and related marks are trademarks and service marks licensed by Power.org.

© NXP B.V. 2020.

All rights reserved.

For more information, please visit: <http://www.nxp.com>

For sales office addresses, please send an email to: salesaddresses@nxp.com

Date of release: 10/2020

Document identifier: AN13033

