

Kinetis KLx6/KL34到Kinetis KL43/KL33/KL27/KL17移植指南

作者: Rastislav Pavlanin, 应用工程师, Freescale Roznov, 捷克共和国

1 简介

本文档对从Kinetis KLx6/KL34向Kinetis KL43/KL33/KL27/KL17MCU的移植做了详细说明。在同一系列中的两款器件之间移植可能需要对硬件和/或软件进行一定的修改。本文档描述了可能需要的一些修改。请注意，KLx6名称中的“x”不包括最低系列器件KL06和KL03。

目录

1. 简介	1
2. 部件编号和掩膜组信息	2
3. 关于本文档	2
4. 新模块及其特性	3
4.1. MCG Lite模块	3
4.2. VREFV1模块	6
4.3. FlexIO模块	6
4.4. LPUART模块	7
4.5. 启动选项和具有Kinetis引导加载程序的ROM	9
5. 模块特性的更新与差异	11
5.1. NVIC中断向量差异	11
5.2. AWIC唤醒源差异	11
5.3. LLWU唤醒源差异	12
5.4. 系统集成模块 (SIM)	12
5.5. RCM更新	16
5.6. DMA MUX差异	17
5.7. DAC模块更新	18
5.8. UART模块的更新和差异	18
5.9. I ² C模块更新	20
5.10. USB模块	21
5.11. SLCD模块差异	23
6. 删除的模块	23
6.1. TSI模块	23
7. 附录	24
7.1. 引脚复用	24
8. 参考文献	27

2 部件编号和掩膜组信息

表 1列出了在编写本文档时已生产的所有KLx6掩膜组。表 2显示了将作为移植源器件的器件掩膜组和一个部件编号示例。

表 1. KLx6/KL34掩膜组

版本	掩膜组	部件编号示例
1.0	0N40H	MKL46Z256VLH4

表 2. KL43/KL33/KL27/KL17掩膜组

版本	掩膜组	部件编号示例
1.1	1N71K	MKL43Z256VLH4

本文档主要介绍同一Kinetis系列中从KLx6/KL34器件向KL17/KL27/KL33/KL43器件的移植。例如，如果您要从MKL46Z256VLH4移植到MKL43Z256VLH4，则本文档可以提供帮助。然而，本文档不会重点说明Kinetis L系列之间（如MKL17Z128VLH4和MKL33Z128VLH4之间）的功能变化。

3 关于本文档

本文档说明了Kinetis KLx6/KL34到Kinetis KL43/KL33/KL27/KL17器件的移植（KL06和KL03系列除外），分为四个主要部分：

- 新模块/特性
- 更新模块
- 具有额外实例化的模块
- 删除的模块

“新模块/特性”部分将快速介绍用于KL43/KL33/KL27/KL17器件的全新模块。KLx6/KL34微控制器中不包含相同功能的模块。如果您的应用中要使用这些新模块，需要修改软件。

“更新模块”部分概述了使用新版本的更新模块。这些模块的总体功能类似，不过需要修改软件。可能需要修改硬件以使用新特性。

“具有额外实例化的模块”部分描述了那些本身没有变化的模块，但是在微控制器中包含了更多该模块的实例。

“删除的模块”部分简要说明了不包含在KL43/KL33/KL27/KL17器件中的模块。

颜色说明	
绿色	指示新增内容
黄色	指示修改内容
红色	指示删除内容

4 新模块及其特性

Kinetis KL43/KL33/KL27/KL17 MCU新增了以下特性：

- 精简版多功能时钟生成器模块（MCG Lite）
- 参考电压模块（VREFV1）
- 灵活I/O模块（FlexIO）
- 低功耗UART模块（LPUART）

KL43/KL33/KL27/KL17 MCU还包括实现了Kinetis引导加载程序的ROM存储器。KLx6/KL34 MCU则不具有这些模块与特性。以下章节将对这些模块的特性进行概述。要使用这些新模块，需要对软件进行修改，在某些情况下还需要修改硬件才能使用这些新功能。

附注

这些模块的可用性取决于您所使用的具体Kinetis器件。如需了解可用性，请参见您所使用的Kinetis器件的参考手册。

4.1 MCG Lite模块

该模块不是KLx6/KL34上MCG模块的更新——它完全不同——不过它确实共用了一些配置寄存器。主要区别在于MCG Lite模块不包括FLL和PLL。因此，没有与FLL和PLL配置相关的寄存器，如MCG_C3至MCG_C8。MCG Lite模块包含一个高频内部参考时钟（48 MHz HIRC）和若干低频内部参考时钟（2 MHz和8 MHz LIRC）。

可用的最大频率时钟源为48 MHz HIRC。它支持多种调节功能，精度最高可达到1.5%。HIRC大大缩短了时钟稳定延时（小于3 μ s，而锁相环时钟稳定延时需要1 ms）。HIRC不支持低功耗模式。MCG Lite模块允许HIRC以全速USB工作，称为USB时钟恢复模式（仅在全速USB设备模式下可用）。USB模块会监视HIRC时钟，并基于默认值进行微调。在此基础上，可以实现优于1.5%的时钟精度。

LIRC（2 MHz和8 MHz）可配置为用于VLPR模式的时钟源，还可工作在除低漏电模式以外的所有低功耗模式下（如MCGIRCLK）。MCG Lite在所有低漏电模式（LLS和VLLSx）下会掉电。必须注意的是，该模块不支持在2 MHz和8 MHz LIRC模式之间直接切换，因为它们共用相同的逻辑电路。模块需要先切换到另一个时钟模式（HIRC或EXT模式），然后再切换到合适的LIRC模式（在VLPR模式下运行时不允许这么做）。

通过以下时钟源可以选择四种不同的时钟模式（见图 1）。

- HIRC模式 — 高频（48 MHz）内部参考时钟，称为HIRC48（具有USB恢复特性，大大降低抖动）
- LIRC 8 MHz模式（复位后的默认模式）低频8 MHz内部参考时钟
- LIRC 2 MHz模式 — 低频2 MHz内部参考时钟
- EXT模式 — 外部时钟源（在KLx6/KL34上也可用）：
 - 低频（1–32.768 kHz）
 - 高频模式1（1–8 MHz），KLx6/KL34使用3–8 MHz
 - 高频模式2（8–32 MHz用于晶振，最高48 MHz用于外部方波时钟）

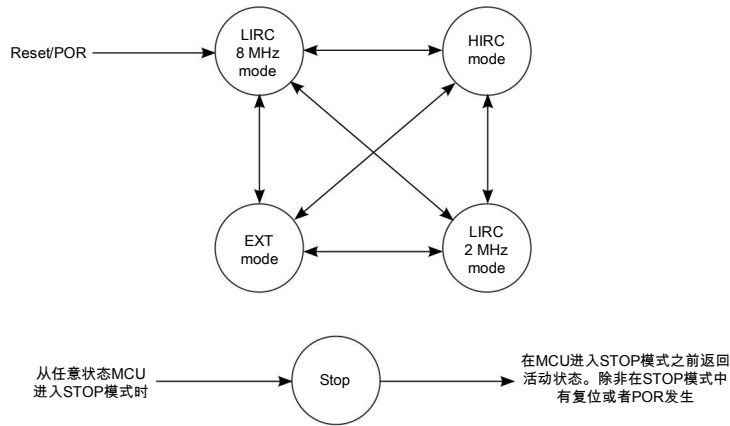


图 1. MCG Lite时钟模式切换图解

在MCG Lite中采用的一些寄存器与MCG模块共用相同的字段。下面的各图中用不同的颜色标出了选定寄存器的某些字段（第三章中对颜色代表的含义进行了解释）。与FLL和PLL相关的所有特性均已被删除（红色）。

图 2中显示了MCG_C1寄存器。时钟源选择字段与MCG模块中基本相同。与MCG（KLx6/KL34）相比，在IRCLKEN位中存在微小差异。该字段控制低频（2-8 MHz）内部参考时钟（LIRC）的使能。在MCG模块中，该字段表示作为MCGIRCLK使用的内部参考时钟的使能。IREFSTEN字段表示相同的功能。它在STOP模式下使能内部时钟。

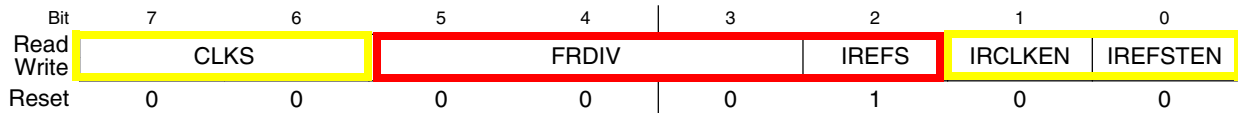


图 2. MCG_C1寄存器差异

控制和状态寄存器MCG_C2、MCG_S和MCG_SC与MCG（KLx6/KL34）共用相同的字段，除了已被删除的有关PLL和FLL的区域以外，其他区域具有相同的功能（见下图）。

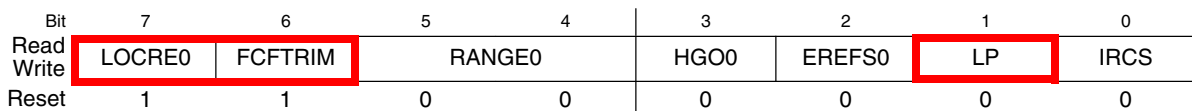


图 3. MCG_C2寄存器差异

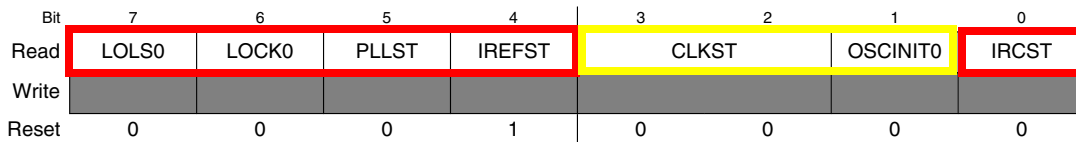


图 4. MCG_S 寄存器差异

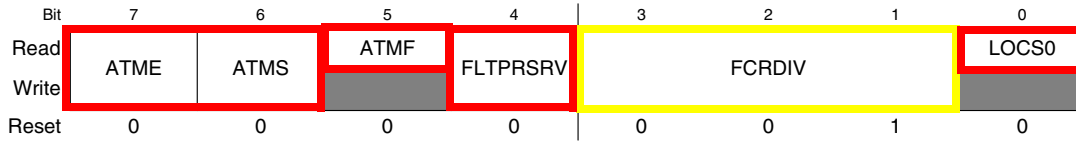


图 5. MCG_SC 寄存器差异

MCG的多种控制寄存器在MCG Lite模块中表示为全新的寄存器。它包含两个字段。HIRCEN字段使能HIRC。LIRC_DIV2表示第二个LIRC分频器，只能用于对MCGIRCLK输出上的时钟进行分频。



图 6. 新寄存器 MCG_MC

4.1.1 软件影响

当从KLx6/KL34软件移植到KL43/KL33/KL27/KL17时，只有EXT模式不受影响。其他时钟模式则完全不同，且需要软件开销。如果在KLx6/KL34 MCU上使用FLL或PLL，那就有必要迁移到MCG Lite上合适的时钟模式（见表 3）。

表 3. MCG到MCG Lite时钟模式等效

KLx6/KL34 MCG模式	KLx3 等效的MCG Lite模式
FEI	HIRC / 8 MHz LIRC / 2 MHz LIRC
FBI	HIRC / 8 MHz LIRC / 2 MHz LIRC
BLPI	LIRC（分频至4 MHz或更低）
FEE	EXT模式
FBE	EXT模式
BLPE	EXT模式（比4 MHz更低）
PBE	EXT模式
PEE	EXT模式

4.1.2 硬件影响

无硬件影响。

4.2 VREFV1模块

KL43/KL33/KL27/KL17器件还带有参考电压，可用于内部ADC、CMP或DAC模块，并且还可用于外部器件。可通过每次0.5mV的步长得到1.2V的参考电压可编程（见器件数据手册中的最小和最大电压范围规范）。高功耗模式的最大输出电流为1 mA。在构建硬件时需小心谨慎，并始终牢记参考电压输出（VREF_OUT）与VREFH共用一个引脚。若电压参考模块处于使能状态，则必须向VREFH（VREF_OUT）引脚连接一个100 nF的电容。

4.2.1 软件影响

当使用VREFV1模块时，没有软件影响。

4.2.2 硬件影响

VREFH与VREF_OUT共用一个引脚。若VREF模块处于使能状态，则必须向该引脚连接一个100 nF的电容。如果VREFH使用外部参考源且VREF处于使能状态，可能引起硬件冲突。

4.3 FlexIO模块

FlexIO对于Kinetis L系列而言是一种全新的模块，具有复杂的结构以及高度的可配置性。它主要针对执行串行/并行通信协议仿真，如UART、I²C、I²S和SPI（使用一个模块）。然而，FlexIO模块不局限于通信。它还可用作PWM信号发生器、LCD RGB，或完全可编程的数字逻辑块，以及其他更多选项。

FlexIO包含四个主要特性：

- 四个32位双缓冲移位寄存器，具有发送、接收和数据匹配模式。每个移位寄存器还支持读/写能力，以及位-字节交换、字节交换和位交换
- 四个8或16位（取决于所选择的模式）定时器，具有高度灵活地配置
- 8个I/O引脚（用于移位器/定时器输入/输出，具有极性选择）
- 16个触发器（外部或内部移位器、定时器或引脚，具有极性选择）

FlexIO模块支持在调试模式下工作，以及在停止模式下的同步操作（低漏电模式除外）。支持IRQ、DMA或单纯轮询操作。

4.3.1 软件影响

当使用FlexIO模块时，没有软件影响。

4.3.2 硬件影响

当使用FlexIO模块时，没有硬件影响。

4.4 LPUART模块

在KL43/KL33/KL27/KL17 MCU（LPUART0和LPUART1）上可用的LPUART模块是一种新模块。它与KLx6/KL34 MCU上的UART0模块具有相似特性。主要区别在于寄存器访问。LPUART模块（KL43/KL33/KL27/KL17）使用32位寄存器，UART0（KLx6/KL34）使用8位寄存器。LPUART还具有一些新特性：

- 匹配特性扩展：
 - 匹配配置（MATCFG）
 - 地址匹配唤醒（KLx6/KL34 MCU的UART0默认具有该特性）
 - 空闲匹配唤醒
 - 匹配打开和匹配关闭
 - 数据匹配时使能RWU，匹配打开/关闭用于发送器CTS输入
 - 在接收到数据匹配事件时产生IRQ（MAxIE和MAxF）
 - 匹配地址从8位长度扩展到10位长度
- 根据接收到的空闲字符数来配置IDLE标志的产生（IDLECFG）
- 9位和10位数据传输的状态标志 — NOISY、PARITYE、FRETSC、RXEMPT和IDLINE

图 7 显示了KLx6/KL34 MCU上的UART0模块和KL43/KL33/KL27/KL17 MCU上的LPUARTx模块之间的所有差异。图中的蓝色文字表示在32位LPUART模块寄存器中的8位字段，这些字段与UART0寄存器中的一致。只有LPUARTx_BDH寄存器例外。它包括一个8位字段，内容与UART0_C5类似，但是具有与匹配配置相关的新特性。图中的绿色文字表示LPUART上的所有新特性。

附注

即使是具有某些相同特性的LPUART寄存器，其在存储器中的位置可能具有完全不同的地址偏移量（见图 7）。

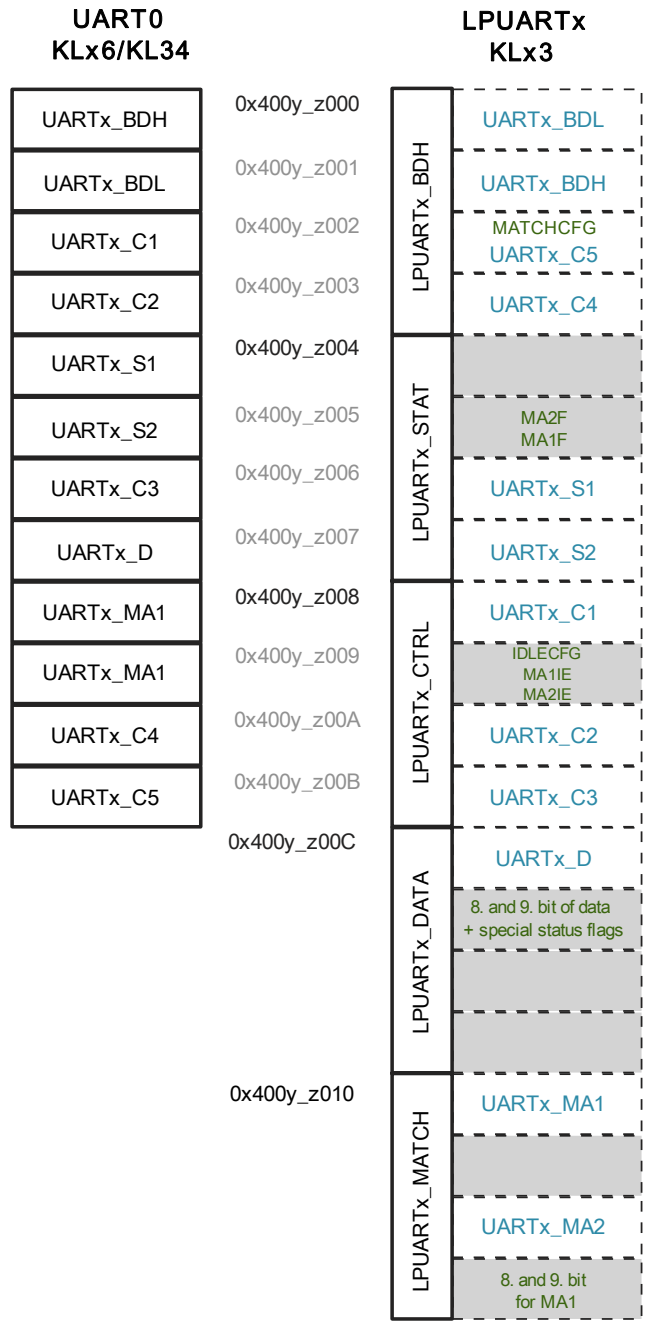


图 7. UART0 (KLx6/KL34) 和LPUART (KL43/KL33/KL27/KL17) 之间的主要差异

4.4.1 软件影响

在从KLx6/KL34移植到KL43/KL33/KL27/KL17 MCU时，必须考虑之前讨论的所有差异。如果头文件使用新的8位分配寄存器偏移量且不使用新寄存器字段，则软件是兼容的。

4.4.2 硬件影响

当使用FlexIO模块时，没有硬件影响。

4.5 启动选项和具有Kinetis引导加载程序的ROM

16 KB ROM存储器具有内置Kinetis引导加载程序（Kibble），这是KL43/KL33/KL27/KL17 MCU上的另一个新特性。启动时存在硬件逻辑，用于选择从flash存储器（位于地址0x0000 0000）开始执行，还是从ROM（位于地址0x1C00 0000）的Kibble开始执行。启动选项可通过位于flash程序存储器（位于地址0x40D）中flash配置字段的flash非易失性选项字节进行选择，也可通过位于外设存储器区域（位于地址0x4002 0003）中的flash选项寄存器FTFA_FOPT进行读取。下表显示了在KL43/KL33/KL27/KL17 MCU上实现的新的启动特性。一般从ROM或从flash存储器启动有两种选项：

- 通过BOOTCFG0引脚（BOOTCFG0与NMI共用一个引脚）使用外部引脚配置。使能NMI，同时，BOOTPIN_OPT为0，然后：
 - 当BOOTCFG0为低电平时，从ROM位置启动。
 - 当BOOTCFG0为高电平时，从flash存储器位置启动。
- 通过flash选项字段中的BOOTSRC_SEL字段使用内部配置。当外部引脚配置功能禁用时选择该选项，这意味着BOOTPIN_OPT = 1。此时，BOOTSRC_SEL字段选择启动源。

在默认模式下，启动选项设为ROM，因为FOPT字段中的所有位设为逻辑1。之前提到的选项均可用，并且在每次上电后复位。还有另一种启动选项，可以通过特定配置（外部引脚或启动源选择，或两者都有）强制在任意系统复位（POR除外）后从ROM启动。这个选项可以通过复位控制模块使用，具体如下。

内置引导加载程序（Kibble）简化了对flash存储器进行编程的工作复杂度。所有可用的flash存储器编程API均可从ROM运行并直接写入flash存储器。Kibble支持多种接口，例如USB、UART、I²C或SPI（取决于采用的Kinetis系列）。

两个MCU系列之间的另一个区别是低功耗启动选项（图 8中的黄色区域）。KL43/KL33/KL27/KL17 MCU支持启动进入低功耗运行模式（VLPR），可以在复位发生（例如，来自低漏电模式的唤醒事件）后快速降低电流峰值。

附注

当MCU运行在VLPR模式下时，不支持写入内部flash存储器。例如，当器件配置为启动到VLPR模式且用户需要写入flash存储器时，必需先切换到普通运行模式再写入flash存储器。

位编号	字段	值	定义
7-6	BOOTSRC_SEL	启动源选择：如果启动引脚选择位BOOTPIN_OPT = 1，则这些位用于选择启动源	
		00	从Flash启动
		01	保留
		10	从ROM启动
		11	从ROM启动
5	FAST_INIT	选择在上电复位模式、超低漏电停止模式(VLLSx)和任何系统复位模式的初始化速度。	
		0	慢速初始化：flash将以慢速初始化，其优点是降低了初始化期间的平均电流恢复时长由LPBOOT设置决定的时钟分频器选择控制。
		1	快速初始化：flash能以较快速度恢复，其代价是在初始化期间的电流较大。
3	RESET_PIN_CFG	RESET 引脚的使能/禁用控制。	
		0	RESET 引脚在上电复位(POR)后禁用，不能作为复位功能使能。若选择了该选项，则在POR上电阶段可能会有一小段争用期，此时器件会先将引脚驱动为低电平，然后再确定该选项设置并释放引脚上的复位功能。 在系统复位和低功耗模式下保留该位。当禁止 RESET 引脚功能时，该位不能作为低功耗模式的唤醒源使用。 注： 当禁用复位引脚且通过FSEC寄存器使能了安全性时，只有通过同时设置MDM-AP寄存器中的“批量擦除”和“系统复位请求”字段，才能进行批量擦除。
		1	RESET_b 引脚为专用引脚。端口配置为上拉使能、漏极开路和無源滤波器使能。
2	NMI_DIS	NMI功能的使能/禁用控制。	
		0	NMI中断总是被阻止。相关引脚继续默认为具有内部上拉使能的NMI引脚控制。当禁止NMI引脚功能时，该位不能作为低功耗模式的唤醒源使用。
		1	NMI_b 引脚/中断复位默认为使能。
1	BOOTPIN_OPT	外部引脚选择启动选项	
		0	如果BOOTCFG0有效，则强制从ROM启动，其中BOOTCFG0是与NMI引脚复用的启动配置功能。当选择该选项时，必须使能RESET引脚。
		1	启动源由FOPT[7:6] (BOOTSRC_SEL) 的各个位进行配置
4,0	LPBOOT	控制SIM_CLKDIV1寄存器中的OUTDIV1值的复位值，以及SMC_PMCTRL中RUNM寄存器的状态。选择较大的分频值可以在POR、VLLSx恢复和复位时序期间以及复位退出后产生较低的平均功耗。如果未选择FAST_INIT选项，还会延长恢复时间。	
		00	内核和系统时钟分频器 (OUTDIV1) 为0x7 (8分频)。在从复位退出时，器件配置为VLPR模式。
		01	内核和系统时钟分频器 (OUTDIV1) 为0x3 (4分频)。在从复位退出时，器件配置为VLPR模式。
		10	内核和系统时钟分频器 (OUTDIV1) 为0x1 (2分频)。在从复位退出时，器件配置为RUN模式。
		11	内核和系统时钟分频器 (OUTDIV1) 为0x0 (1分频)。在从复位退出时，器件配置为RUN模式。

图 8. KL43/KL33/KL27/KL17 MCU上新增和变更的启动选项（绿色区域）— 位于Flash存储器非易失性选项字节中

4.5.1 软件影响

在使用启动选项和具有Kinetis引导加载程序的ROM时，不存在软件影响。

附注

KL43/KL33/KL27/KL17上的默认启动源为ROM。因此，与默认启动源为flash存储器的KLx6/KL34 MCU相比，可以预见到ROM代码执行会存在一定的延时。

4.5.2 硬件影响

在使用启动选项和具有Kinetis引导加载程序的ROM时，不存在硬件影响。

5 模块\特性的更新与差异

5.1 NVIC中断向量差异

在NVIC中存在一些与中断向量相关的变化。表 4中列出了所有预期的差异。

表 4. NVIC中断向量更新

地址	向量	IRQ	KLx6/KL34		KL43/KL33/KL27/KL17	
			源模块	源描述	源模块	源描述
0x0000_0070	28	12	UART0	状态和错误	LPUART0	LPUART0状态和错误
0x0000_0074	29	13	UART1	状态和错误	LPUART1	LPUART1状态和错误
0x0000_0078	30	14	UART2	状态和错误	UART2或FLEXIO	UART2状态和错误，或者所有集成的FlexIO标志
0x0000_00A0	40	24	USB0	USB0中断 (OTG)	USB	USB中断 (FS设备)
0x0000_00A2	42	26	TSI0	TSI中断		保留
0x0000_00A3	43	27	MCG	外部时钟丢失 + 失锁		保留

5.1.1 软件影响

在检查UART2和FlexIO共用向量的中断标志时，要在中断服务程序 (ISR) 中调用合适的回调函数。必须在ISR中识别UART2中断 (KLx6/KL34)。否则，程序流程将不正确。不使用所有未定义的 (特别是TSI和MCG) 与中断向量相关的服务程序。使用不同的名称会导致额外的软件开销。

5.1.2 硬件影响

在考虑NVIC中断向量差异时不存在硬件影响。

5.2 AWIC唤醒源差异

用于退出停止模式 (低漏电停止模式除外) 的AWIC唤醒源也存在一定的差异。这与在NVIC中断向量章节中提到的类似外设有关，并在表 5中重点标出。

表 5. AWIC唤醒源更新

KLx6/KL34		KLx3	
唤醒源	说明	唤醒源	说明
UART0	任何中断, 若时钟保持使能状态	LPUART0和LPUART1	只要此模块仍受控于时钟, 任何使能的中断均可用作唤醒源
UART1, UART2	RXD上的有效边沿	UART2	RXD上的有效边沿
TSI	任何中断		
		FlexIO	只要此模块仍受控于时钟, 任何使能的中断均可用作唤醒源

5.2.1 软件影响

当使用KL43/KL33/KL27/KL17 MCU时, 不需要考虑与TSI模块相关的所有软件开销。

5.2.2 硬件影响

当使用TSI模块时, 可能会出现硬件冲突。

5.3 LLWU唤醒源差异

在KL43/KL33/KL27/KL17 MCU上, LLWU唤醒源只存在一个差异。因为未采用TSI模块, 内部外设标志LLWU_M4IF在KL43/KL33/KL27/KL17上不起作用。

5.3.1 软件影响

当使用KL43/KL33/KL27/KL17 MCU时, 不需要考虑与TSI模块相关的所有软件开销。

5.3.2 硬件影响

当使用TSI模块时, 可能会出现硬件冲突。

5.4 系统集成模块 (SIM)

这里将讨论KL43/KL33/KL27/KL17 SIM模块中包含的变更。由于SIM模块与大多数外设模块均有交互 (对于一些外设, 时钟门控等, 需要一些可选设置), 因此也含有一些与新模块相关的新特性。

KL43/KL33/KL27/KL17 MCU上中的可用的特性是PTE0和PTE20引脚可配置为32k振荡器时钟输出。该特性通过系统选项SIM_SOPT1寄存器实现 (见图 9)。

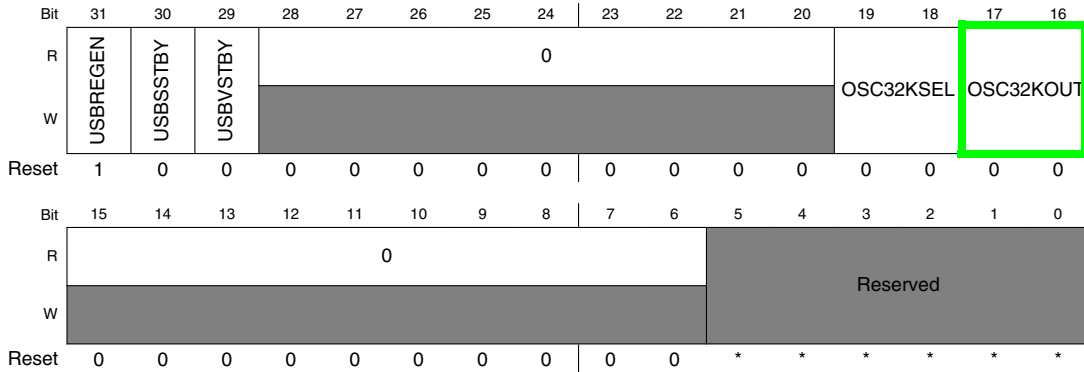


图 9. SIM_SOPT1寄存器的新增字段

系统选项SIM_SOPT2包含与LPUART1和FlexIO模块相关的新特性。这些是KL43/KL33/KL27/KL17 MCU上的全新特性。两个模块在停止模式下均保持功能性（低漏电停止模式除外），由于需要使用LPUART0或TPM（这两个模块在KLx6/KL34 MCU上可用），因此他们需要异步时钟能力。在SIM_SOPT2寄存器中可对两个模块进行时钟源选择（见图 10）。它们使用新字段名LPUART1SRC和FLEXIOSRC，以及重命名的LPUART0SRC（取代UART0SRC）。

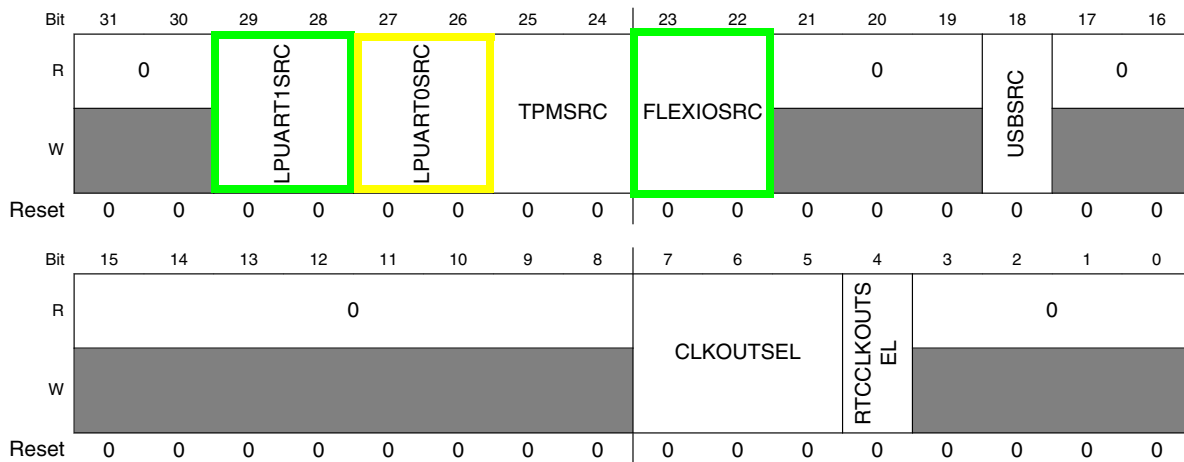


图 10. SIM_SOPT2寄存器的新增字段

系统选项寄存器5 SIM_SOPT5中存在类似差异。所有寄存器字段根据低功耗特性（LP）进行了重命名。

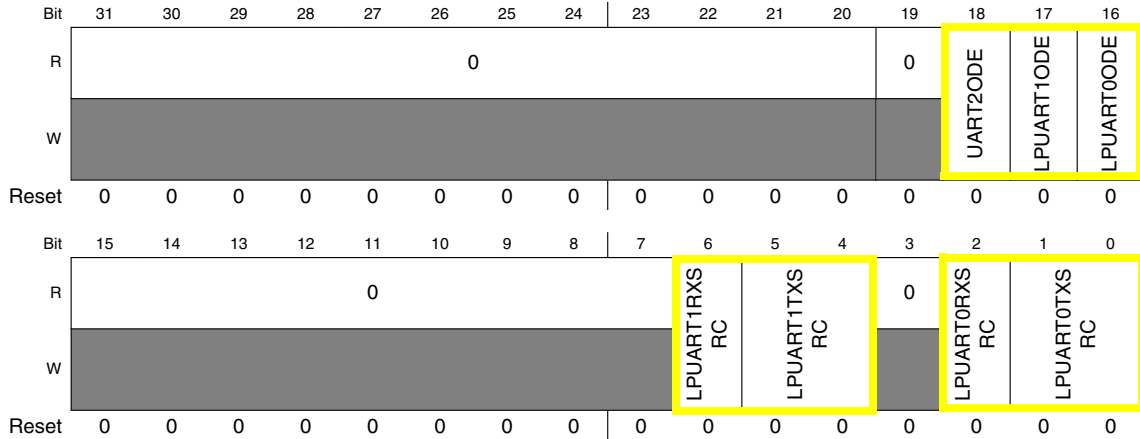


图 11. 11 SIM_SOPT5寄存器的新增字段

KL43/KL33/KL27/KL17 MCU上的所有新模块均需要时钟门控。因此，在SIM模块的系统时钟门控寄存器中对其进行了定义。VREF模块的时钟门控在SIM_SCGC4寄存器中进行定义（见图 11）。USB时钟门控在SIM_SCGC4寄存器字段中的位，使用了新的名称。在KLx6/KL34 MCU上使用的USBOTG（on-the-go）位在KL43/KL33/KL27/KL17 MCU上重命名为USBFS，仅支持设备类。新增模块FLEXIO、LPUART0和LPUART1的时钟门控在SIM_SCGC5寄存器中定义。

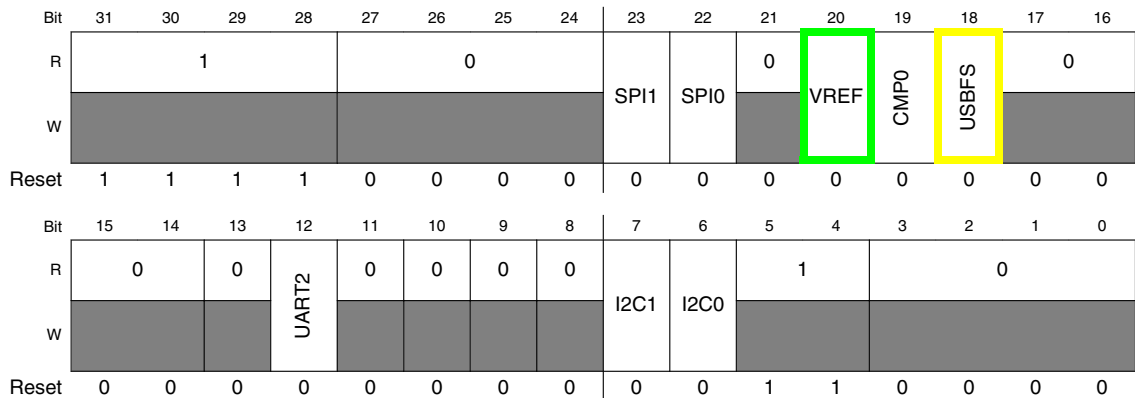


图 12. SIM_SCGC4寄存器 — 新增和更新的字段

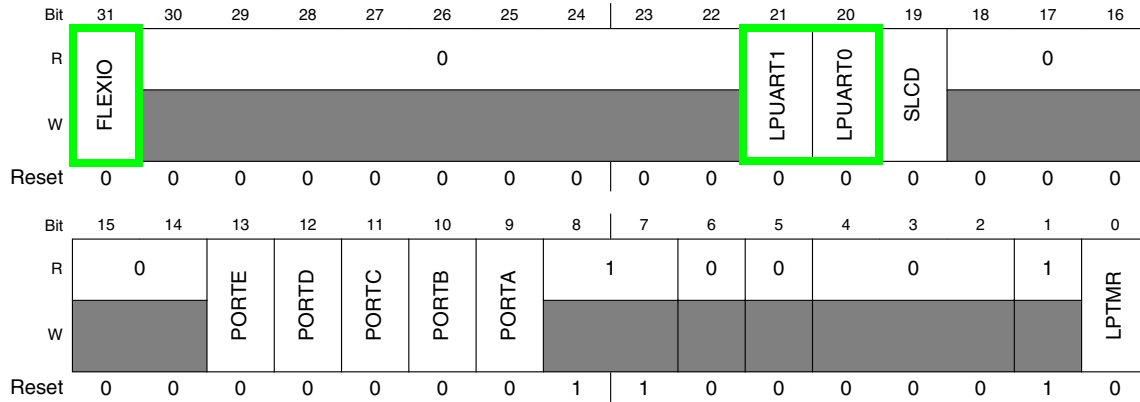


图 13. SIM_SCGC5寄存器 — 新字段

KL43/KL33/KL27/KL17 MCU中包含对COP看门狗的一些变更。COP的更新是在SIM_COPC中新增了三个字段（见图 14）。主要差异在于COP看门狗的时钟源选择。除了LPO和BUSCLK（在KL43/KL33/KL27/KL17/KL34 MCU上也可用），还可以选择另外两个时钟源：MCGIRCLK和OSCERCLK。

在超时选择方面也存在微小差异。增加了每个时钟源可选的周期数选项。短超时选项可选择25、28和210个周期（在KLx6/KL34上，只有当LPO为时钟源时该选项才有效）。长超时选项可选择213、216和218个周期（在KLx6/KL34上，只有当BUSCLK为时钟源时该选项才有效）。KL43/KL33/KL27/KL17 MCU还有一个新特性是使能了在线调试和停止模式下工作的功能。

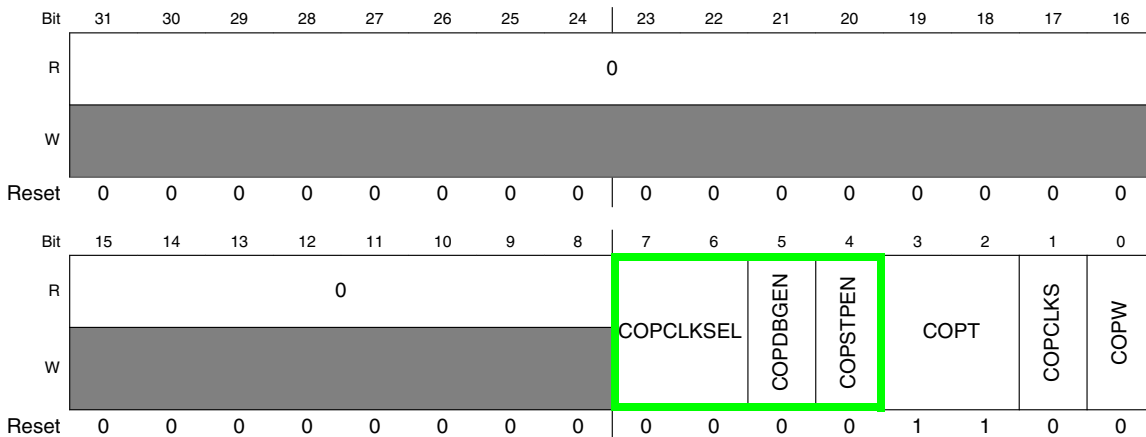


图 14. COP控制寄存器SIM_COPC寄存器更新

5.4.1 软件影响

使用SIM时的软件开销可在不同的位字段名称中找到，这些位字段由两个MCU系列共用。

5.4.2 硬件影响

当使用SIM时，没有硬件影响。

5.5 RCM更新

KL43/KL33/KL27/KL17 MCU上的复位控制模块RCM增加了两个新特性：

- 启动源强制和启动源标识
- 粘滞系统复位状态

除了flash选项FOPT提供的启动选项外，还可以通过在强制模式寄存器RCM_FM中设置适当位来强制启动（使用强制ROM启动配置字段FORCEROM — 见图 15）。具有FORCEROM选项的RCM_FM可以通过在启动源模式寄存器RCM_MR中进行特定设置来强制从ROM启动。在所有后续系统复位后，将发生强制启动选项。



图 15. 新增的RCM_FM强制模式寄存器

最后一个启动源可由图 16所示的RCM_MR寄存器中的启动ROM配置状态来标识（如果之前未被软件清零）。四个启动源是：

- 从flash存储器启动
- 从ROM启动，可以由下述进行配置：
 - 外部BOOTCFG0引脚
 - 启动源选择 BOOTSRC_SEL
 - BOOTCFG0和 BOOTSRC_SEL

之前提到的强制ROM启动设定也对RCM_MR存在一定的影响。该寄存器为读一次，写一次。

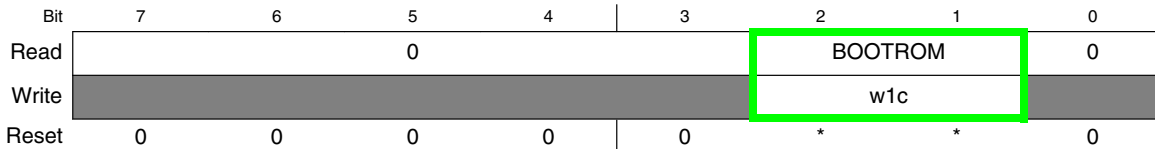


图 16. 新增的RCM_MR模式寄存器

粘滞复位状态标志是在KL43/KL33/KL27/KL17 MCU上实现的新特性。粘滞复位状态标志通过粘滞系统状态寄存器RCM_SRS0/1获得。这些状态寄存器可用于标识自上次POR、LVD或VLLS唤醒后产生的所有复位源（如果之前未被软件清零）。这些状态标志的实现形式与RCM_SRS0/1寄存器中的系统复位状态标志相同，并具有8字节偏移量。



图 17. 新增的RCM_SRS0 粘滞系统复位状态寄存器0

Bit	7	6	5	4	3	2	1	0
Read	0	0	SSACKERR	0	SMDM_AP	SSW	SLOCKUP	0
Write			w1c		w1c	w1c	w1c	
Reset	0	0	0	0	0	0	0	0

图 18. 新增的RCM_SSRS1 粘滞系统复位状态寄存器1

5.5.1 软件影响

当使用更新的复位控制模块时，没有软件影响。

5.5.2 硬件影响

当使用更新的复位控制模块时，没有硬件影响。

5.6 DMA MUX差异

下表给出了KL43/KL33/KL27/KL17和KL46/34 MCU在DMA请求源方面的主要差异。可以看出，LPUART1的在表中的4号源和5号源处有更新。当处于停止模式（VLPS和普通STOP）时，DMA源还支持异步请求。新模块FlexIO具有四个新源：10-13。该源还支持异步DMA请求。最后一个差异是关于TSI源，KL43/KL33/KL27/KL17 MCU上不包含这个源。

表 6. AWIC唤醒源更新

源编号	KLx6/KL34			KLx3		
	DMA请求源	源描述	支持异步DMA	DMA请求源	源描述	支持异步DMA
2	UART0	接收	是	LPUART0	接收	是
3	UART0	发送	是	LPUART0	发送	是
4	UART1	接收	否	LPUART1	接收	是
5	UART1	发送	否	LPUART1	发送	是
10	保留			Flex_IO	FlexIO_Ch0	是
11	保留			Flex_IO	FlexIO_Ch1	是
12	保留			Flex_IO	FlexIO_Ch2	是
13	保留			Flex_IO	FlexIO_Ch3	是
57	TSI		是			

5.6.1 软件影响

基于TSI模块的DMA请求将无效。应删除与该特性有关的软件。

5.6.2 硬件影响

TSI模块在KL43/KL33/KL27/KL17 MCU上不可用。

5.7 DAC模块更新

KL43/KL33/KL27/KL17 MCU上DAC模块的新特性是FIFO缓冲区工作模式，可通过DAC控制寄存器（DAC0_C1和DACBFMD字段）进行选择。在该模式下，DAC缓冲区（数据寄存器DAC0_DATx）按照FIFO方式进行组织。向DAC数据寄存器的任何有效写入（参考手册中给出了数据访问限制）将使写指针递增，并将数据变为FIFO格式。

5.7.1 软件影响

当使用更新的DAC模块时，没有软件影响。

5.7.2 硬件影响

当使用更新的DAC模块时，没有硬件影响。

5.8 UART模块的更新和差异

KL43/KL33/KL27/KL17 MCU上的UART2模块包含KLx6/KL34 MCU上的UART0/UART1/UART2模块的基本特性。此外，KL43/KL33/KL27/KL17 MCU上的UART2模块还包含以下特性：

- 地址匹配唤醒特性（KLx6/KL34的UART0也具有该特性，而UART1/UART2则没有）
- ISO 7816协议支持

下一章节讨论了UART2模块（KL43/KL33/KL27/KL17）和UART0/UART1/UART2模块（KLx6/KL34）之间的差异。UART2模块不支持LIN断开检测和两个停止位的数据字符。因此，这两个特性也从寄存器中删除，特别是波特率高字节寄存器UARTx_BDH（见图 19）和状态寄存器UARTx_S2（见图 22）。

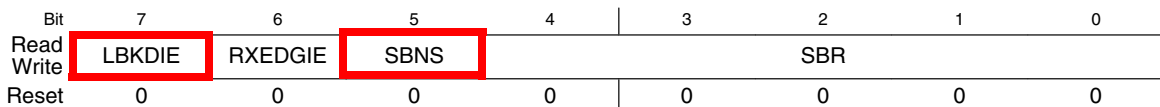


图 19. UARTx_BDH 寄存器差异

UART2模块（KL43/KL33/KL27/KL17）在WAIT模式下不支持模块控制。因此，从UART2控制寄存器UARTx_C1中删除了等待模式使能（见图 20）。

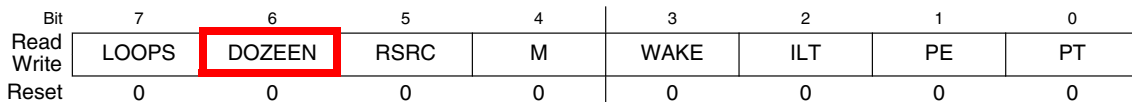


图 20. UARTx_C1寄存器差异

状态寄存器UARTx_S1中的这些标志位都不能通过写入1清零（见图 21）。关于标志清零机制的详细说明，请查看相应的参考手册。

Bit	7	6	5	4	3	2	1	0
Read	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
Write				w1c	w1c	w1c	w1c	w1c
Reset	1	1	0	0	0	0	0	0

图 21. UARTx_S1寄存器差异

Bit	7	6	5	4	3	2	1	0
Read	LBKDIF	RXEDGIF	MSBF	RXINV	RWUID	BRK13	LBKDE	RAF
Write								
Reset	0	0	0	0	0	0	0	0

图 22. UARTx_S2寄存器差异

UART2模块（KL43/KL33/KL27/KL17）不支持10位数据模式，这与KLx6/KL34 MCU中的UART0相同。仅9位数据模式可用。第9位接收数据可从控制寄存器UARTx_C3的第7位读取。对于9位传输，第9位数据必须写入UARTx_C3控制寄存器的第6位。UART（KL43/KL33/KL27/KL17）的控制寄存器UARTx_C3与UART1/UART2（KLx6/KL34）中的对应寄存器相同。

Bit	7	6	5	4	3	2	1	0
Read	R8T9	R9T8	TXDIR	TXINV	ORIE	NEIE	FEIE	PEIE
Write								
Reset	0	0	0	0	0	0	0	0

图 23. UARTx_C3寄存器的差异（与KLx6/KL34上的UART0_C3相比）

如上所述，UART2模块（KL43/KL33/KL27/KL17）不支持10位数据模式，这与UART0模块（KLx6/KL34）相同。控制寄存器UARTx_C4中的M10字段表示奇偶校验位的位置。当置位时，奇偶校验位由串行传输中的第10位表示。在UART2模块（KL43/KL33/KL27/KL17）中使用的波特率发生器与UART0/UART1/UART2（KLx6/KL34）中使用的略有不同。它包含5个微调位（小数段码BRFD = 32/BRFA），在控制寄存器UARTx_C4的BRFA字段提供。图 24显示了KL43/KL33/KL27/KL17上的UART2模块和KLx6/KL34上的UART0/UART1/UART2模块之间关于波特率计算的差异。

KLx6/KL34		KL43/KL33/KL27/KL17
UART0	UART1/UART2	UART2
$baud\ rate = \frac{UART\ clock}{((OSR + 1) \times SBR[12:0])}$		$baud\ rate = \frac{UART\ clock}{(16 \times SBR[12:0])}$
		$baud\ rate = \frac{UART\ clock}{(16 \times (SBR[12:0] + BRFA/32))}$

图 24. UART_C4寄存器差异

附注

KLx6/KL34 MCU上的UART1/UART2模块具有控制寄存器UARTx_C4，相当于KL43/KL33/KL27/KL17 MCU上UART模块中的控制寄存器UARTx_C5。

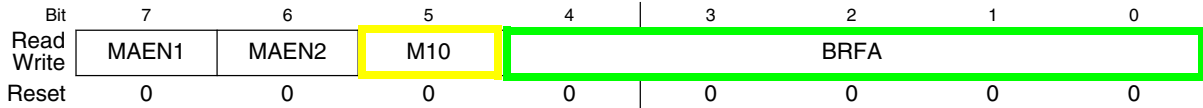


图 25. UARTx_C4寄存器差异

UART2模块（KL43/KL33/KL27/KL17）不支持接收器采样的上升沿和下降沿，在数据字接收期间也不支持重新同步控制。因此，删除了该特性，如图 26中所示。

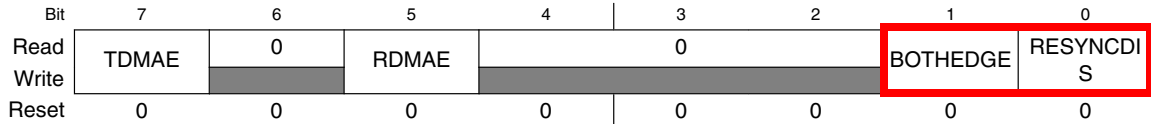


图 26. UARTx_C5寄存器差异

所有其他差异均与KL43/KL33/KL27/KL17的UART2模块具有的新特性相关，如ISO7816，并且不影响从KLx46/KL34的移植。

5.8.1 软件影响

在从KLx6/KL34 MCU移植到KL43/KL33/KL27/KL17 MCU时，必须考虑之前所述的所有差异。

5.8.2 硬件影响

当使用更新的UART模块时，没有硬件影响。

5.9 I²C模块更新

KL43/KL33/KL27/KL17 MCU上I²C模块的主要变化是其更高的通信速率以支持双缓冲（KLx6/KL34 MCU不支持）。接口的工作速率设计达到400 kbps，而在KLx6/KL34 MCU上最大为100 kbps。

首先，可以发现状态寄存器存在差异。KL43/KL33/KL27/KL17上的I²C模块扩展了状态标志的数量，提供两个状态寄存器：I2Cx_S1和I2Cx_S2。状态寄存器I2Cx_S1与在KLx6/KL34 MCU上实现的状态寄存器I2Cx_S一致（具有相同的地址偏移量）。状态寄存器I2Cx_S2（见 图 27）包含与双缓冲特性相关的状态标志，设置了缓冲区为空状态（EMPTY）和缓冲区读/写错误（ERROR）标志。

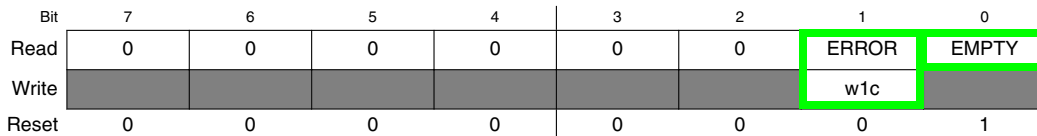


图 27. 新增I2Cx_S2寄存器

KL43/KL33/KL27/KL17 MCU上的I²C模块支持共用中断控制的开始和停止标志检测。KLx6/KL34 MCU不支持开始标志检测。因此，KL43/KL33/KL27/KL17的这一特性更新了输入毛刺滤波器寄存器（见图 28）。然而，该特性减少了滤波器系数可用的位数。因此，最多只能为毛刺宽度配置15个模块时钟周期，而KLx6/KL34 MCU上可多达32个总线周期。

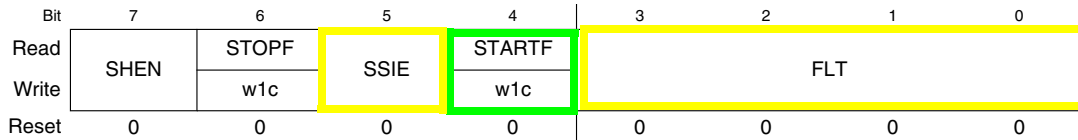


图 28. I2Cx_FLT寄存器更新

表 7. I²C模块时钟（KL43/KL33/KL27/KL17与KLx6/KL34的引脚分配）

模块	KLx6/KL34	KLx3
	时钟	时钟
I ² C0	总线时钟	系统时钟
I ² C1	系统时钟	系统时钟

附注

KL43/KL33/KL27/KL17 MCU上的I²C1模块不支持I²C1焊盘的高驱动能力。

5.9.1 软件影响

当使用更新的I²C模块时，没有软件影响。

5.9.2 硬件影响

无硬件影响。

5.10 USB模块

KL43/KL33/KL27/KL17 MCU上的USB模块仅支持全速（FS）设备。删除了KLx6/KL34 MCU支持的所有与主机（OTG）相关的特性（见图 29-34）。

KL43/KL33/KL27/KL17 MCU上的USB模块的最大优点是其时钟恢复特性可用于无晶振解决方案，这些特性可通过USB时钟恢复寄存器进行配置：

- 控制寄存器 USBx_CLK_RECOVER_CTRL
- 使能寄存器 USBx_CLK_RECOVER_IRC_EN
- 中断使能寄存器 USBx_CLK_RECOVER_INT_EN
- 中断状态寄存器 USBx_CLK_RECOVER_INT_STATUS

模块允许FS USB控制器工作在HIRC 48 MHz时钟下，该时钟在出厂校准后的精度为±1.5%。KLx6/KL34 MCU不支持该特性。

附注

只有当USB工作在全速设备模式下，时钟恢复特性才可用。

另一个仅在KL43/KL33/KL27/KL17 MCU上可用的新特性是保持有效模式（Keep Alive）。该特性允许USB模块在STOP/VLPS模式下处于活动状态。因此在退出低功耗模式时无需重新枚举。可通过两个寄存器配置该特性：

- 保持有效模式控制寄存器 USBx_KEEP_ALIVE_CTRL
- 唤醒控制寄存器 USBx_KEEP_ALIVE_WKCTRL

Bit	7	6	5	4	3	2	1	0
Read	DPHIGH	0	DPLow	DMLow	0	OTGEN	0	
Write								
Reset	0	0	0	0	0	0	0	0

图 29. 控制寄存器中删除的位字段（USBx_CTL0与USBx_OTGCTL比较）

Bit	7	6	5	4
Read	JSTATE	SE0	TXSUSPENDTOKENB	RESET
Write			USY	
Reset	0	0	0	0

Bit	3	2	1	0
Read	HOSTMODEEN	RESUME	ODDRST	USBENSOFEN
Write				
Reset	0	0	0	0

图 30. 控制寄存器中删除的位字段（USBx_CTL1与USBx_CTL比较）

Bit	7	6	5	4	3	2	1	0
Read	LSEN	ADDR						
Write								
Reset	0	0	0	0	0	0	0	0

图 31. 地址寄存器中删除的位字段（USBx_ADDR）

Bit	7	6	5	4	3	2	1	0
Read	HOSTWOH	RETRYDIS	0	EPCTLDIS	EPRXEN	EPTXEN	EPSTALL	EPHSK
Write	UB							
Reset	0	0	0	0	0	0	0	0

图 32. 端点控制寄存器中删除的位字段（USBx_ENDPTn）

Bit	7	6	5	4	3	2	1	0
Read	STALL	ATTACH	RESUME	SLEEP	TOKDNE	SOFTOK	ERROR	USBRST
Write	w1c	w1c	w1c	w1c	w1c	w1c	w1c	w1c
Reset	0	0	0	0	0	0	0	0

图 33. 中断状态寄存器中删除的位字段（USBx_ISTAT）

Bit	7	6	5	4	3	2	1	0
Read	STALLEN	ATTACHEN	RESUMEEN	SLEEPEN	TOKDNEEN	SOFTOKEN	ERROREN	USBRSTEN
Write								
Reset	0	0	0	0	0	0	0	0

图 34. 中断使能寄存器中删除的位字段（USBx_INTEN）

5.10.1 软件影响

必须考虑前文提到的所有特性。KL43/KL33/KL27/KL17 MCU不支持USB主机。USB设备对软件的影响最小，因为已包含与设备相关的所有特性。

5.10.2 硬件影响

当使用USB模块时，没有硬件影响。

5.11 SLCD模块差异

KL43/KL33/KL27/KL17 MCU支持小型段式SLCD。只能生成8个背板信号和47个前板信号。KLx6/KL34 MCU包含8个背板信号和63个前板信号。

5.11.1 软件影响

在移植软件时，必须考虑前文提到的特性。当使用的SLCD板高达 8×37 时，没有软件影响。然而，在KLx6/KL34 MCU上使用的段式显示大于 8×47 (4×51)时，需要彻底地重新配置模块。考虑到KL43/KL33/KL27/KL17 MCU 64LQFP (BGA) 可用的最大封装尺寸，没有软件影响。

5.11.2 硬件影响

当使用更大容量的段式显示屏时，则需要恰当地处理器件上不可用的引脚相关面板。考虑到KL43/KL33/KL27/KL17 MCU 64LQFP (BGA) 可用的最大封装尺寸，应该没有硬件影响。

6 删除的模块

6.1 TSI模块

KL43/KL33/KL27/KL17 MCU上删除了TSI模块。因此，应使用基于通用IO及其他的软件触摸传感方法（TSS或Freescale Touch FT）。

6.1.1 软件影响

应删除与TSI模块有关的所有软件。如果之前在KLx6/KL34 MCU上使用了TSS (FT) 库，则可通过KL43/KL33/KL27/KL17上的通用IO方法取代TSI模块。

6.1.2 硬件影响

如果使用了基于TSS (FT) 的GPIO方法，则硬件影响要小得多。然而，仍然需要考虑与GPIO方法原理相关的变化。

7 附录

7.1 引脚复用

下表显示了在相同的64LQFP封装下，KL43和KL46之间存在的引脚复用差异。本章节重点在于使两种MCU之间的硬件重用变得更简单。

本表格使用以下约定：

颜色说明	
绿色	指示新增内容
红色	指示删除内容

表 8. KL43与KL46的引脚分配

64 LQFP	引脚名称	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7
1	PTE0	禁用	LCD_P48	PTE0/CLK OUT32K	SPI1_MISO	UART1_TX	RTC_CLKOUT	CMP0_OUT	I2C1_SDA	LCD_P48
2	PTE1	禁用	LCD_P49	PTE1	SPI1_MOSI	UART1_RX		SPI1_MISO	I2C1_SCL	LCD_P49
3	VDD	VDD	VDD							
4	VSS	VSS	VSS							
5	USB0_DP	USB0_DP	USB0_DP							
6	USB0_DM	USB0_DM	USB0_DM							
7	VOOUT33	VOOUT33	VOOUT33							
8	VREGIN	VREGIN	VREGIN							
9	PTE20	ADC0_DP0/ ADC0_SE0	LCD_P59/A DC0_DP0/A DC0_SE0	PTE20		TPM1_C H0	UART0_TX		FXIO0_D4	LCD_P59
10	PTE21	ADC0_DM 0/ADC0_S E4a	LCD_P60/A DC0_DM0/A DC0_SE4a	PTE21		TPM1_C H1	UART0_RX		FXIO0_D5	LCD_P60
11	PTE22	ADC0_DP3/ ADC0_SE3	ADC0_DP3/ ADC0_SE3	PTE22		TPM2_C H0	UART2_TX		FXIO0_D6	
12	PTE23	ADC0_DM 3/ADC0_S E7a	ADC0_DM3/ ADC0_SE7a	PTE23		TPM2_C H1	UART2_RX		FXIO0_D7	
13	VDDA	VDDA	VDDA							
14	VREFH	VREFH/VR EF_OUT	VREFH/VRE F_OUT							
15	VREFL	VREFL	VREFL							
16	VSSA	VSSA	VSSA							

表 8. KL43与KL46的引脚分配 (续)

17	PTE29	CMP0_IN5/A DC0_SE4b	CMP0_IN5/A DC0_SE4b	PTE29		TPM0_C H2	TPM_CLKI N0	
18	PTE30	DAC0_OUT/ADC0_S E23/CMP0 _IN4	DAC0_OUT/ ADC0_SE23/ CMP0_IN4	PTE30		TPM0_C H3	TPM_CLKI N1	
19	PTE31	禁用		PTE31		TPM0_C H4		
20	PTE24	禁用		PTE24		TPM0_C H0		I2C0_SCL
21	PTE25	禁用		PTE25		TPM0_C H1		I2C0_SDA
22	PTA0	SWD_CLK	TSI0_CH1	PTA0		TPM0_C H5		SWD_CLK
23	PTA1	禁用	TSI0_CH2	PTA1	UART0_ RX	TPM2_C H0		
24	PTA2	禁用	TSI0_CH3	PTA2	UART0_ TX	TPM2_C H1		
25	PTA3	SWD_DIO	TSI0_CH4	PTA3	I2C1_SC L	TPM0_C H0		SWD_DI O
26	PTA4	NMI_b	TSI0_CH5	PTA4	I2C1_SD A	TPM0_C H1		NMI_b
27	PTA5	禁用		PTA5	USB_CL KIN	TPM0_C H2		I2S0_TX_ BCLK
28	PTA12	禁用		PTA12		TPM1_C H0		I2S0_TXD 0
29	PTA13	禁用		PTA13		TPM1_C H1		I2S0_TX_ FS
30	VDD	VDD	VDD					
31	VSS	VSS	VSS					
32	PTA18	EXTAL0	EXTAL0	PTA18		UART1_ RX	TPM_CLKI N0	
33	PTA19	XTAL0	XTAL0	PTA19		UART1_ TX	TPM_CLKI N1	LPTMR0_ ALT1
34	PTA20	RESET_b		PTA20				RESET_b

表 8. KL43与KL46的引脚分配 (续)

35	PTB0/LLWU_P5	LCD_P0/A DC0_SE8/ TSI0_CH0	LCD_P0/AD C0_SE8/ TSI0_CH0	PTB0/LLWU_P5	I2C0_SCL	TPM1_CH0				LCD_P0
36	PTB1	LCD_P1/A DC0_SE9/ TSI0_CH6	LCD_P1/AD C0_SE9/ TSI0_CH6	PTB1	I2C0_SDA	TPM1_CH1				LCD_P1
37	PTB2	LCD_P2/A DC0_SE12/ TSI0_CH7	LCD_P2/AD C0_SE12/ TSI0_CH7	PTB2	I2C0_SCL	TPM2_CH0				LCD_P2
38	PTB3	LCD_P3/A DC0_SE13/ TSI0_CH8	LCD_P3/AD C0_SE13/ TSI0_CH8	PTB3	I2C0_SDA	TPM2_CH1				LCD_P3
39	PTB16	LCD_P12/ TSI0_CH9	LCD_P12/ TSI0_CH9	PTB16	SPI1_MOSI	UART0_RX	TPM_CLKI_N0	SPI1_MISO		
40	PTB17	LCD_P13/ TSI0_CH10	LCD_P13/ TSI0_CH10	PTB17	SPI1_MISO	UART0_TX	TPM_CLKI_N1	SPI1_MOSI		
41	PTB18	LCD_P14/ TSI0_CH11	LCD_P14/ TSI0_CH11	PTB18			TPM2_CH0	I2S0_TX_BCLK		
42	PTB19	LCD_P15/ TSI0_CH12	LCD_P15/ TSI0_CH12	PTB19			TPM2_CH1	I2S0_TX_FS		
43	PTC0	LCD_P20/A DC0_SE14/ TSI0_CH13	LCD_P20/A DC0_SE14/ TSI0_CH13	PTC0			EXTRG_IN	audioUSB_SOF_OUT	CMP0_OUT	I2S0_TXD0
44	PTC1/LLWU_P6/RTC_CLKIN	LCD_P21/A DC0_SE15/ TSI0_CH14	LCD_P21/A DC0_SE15/ TSI0_CH14	PTC1/LLWU_P6/RTC_CLKIN	I2C1_SCL			TPM0_CH0		
45	PTC2	LCD_P22/A DC0_SE11/ TSI0_CH15	LCD_P22/A DC0_SE11/ TSI0_CH15	PTC2	I2C1_SDA			TPM0_CH1		
46	PTC3/LLWU_P7	LCD_P23	LCD_P23	PTC3/LLWU_P7	SPI1_SCK	UART1_RX	TPM0_CH2	CLKOUT	I2S0_TX_BCLK	LCD_P23
47	VSS	VSS	VSS							
48	VLL3	VLL3	VLL3							
49	VLL2	VLL2	VLL2/LCD_P4	PTC20						LCD_P4
50	VLL1	VLL1	VLL1/LCD_P5	PTC21						LCD_P5
51	VCAP2	VCAP2	VCAP2/LCD_P6	PTC22						LCD_P6
52	VCAP1	VCAP1	VCAP1/LCD_P39	PTC23						LCD_P39
53	PTC4/LLWU_P8	LCD_P24	LCD_P24	PTC4/LLWU_P8	SPI0_CS0	UART1_TX	TPM0_CH3	I2S0_MCLK		
54	PTC5/LLWU_P9	LCD_P25	LCD_P25	PTC5/LLWU_P9	SPI0_SCK	LPTMR0_ALT2	I2S0_RXD0			CMP0_OUT
55	PTC6/LLWU_P10	LCD_P26/ CMP0_IN0	LCD_P26/ CMP0_IN0	PTC6/LLWU_P10	SPI0_MOSI	EXTRG_IN	I2S0_RX_BCLK	SPI0_MISO	I2S0_MCLK	LCD_P26

表 8. KL43与KL46的引脚分配 (续)

56	PTC7	LCD_P27/ CMP0_IN1	LCD_P27/C MP0_IN1	PTC7	SPI0_MI SO	audioUSB _SOF_O UT	I2S0_RX_F S	SPI0_MOS I		LCD_P27
57	PTD0	LCD_P40	LCD_P40	PTD0	SPI0_PC S0		TPM0_CH0		FXI00_D0	LCD_P40
58	PTD1	LCD_P41/A DC0_SE5b	LCD_P41/A DC0_SE5b	PTD1	SPI0_SC K		TPM0_CH1		FXI00_D1	LCD_P41
59	PTD2	LCD_P42	LCD_P42	PTD2	SPI0_M OSI	UART2_ RX	TPM0_CH2	SPI0_MIS O	FXI00_D2	LCD_P42
60	PTD3	LCD_P43	LCD_P43	PTD3	SPI0_MI SO	UART2_T X	TPM0_CH3	SPI0_MOS I	FXI00_D3	LCD_P43
61	PTD4/LLWU _P14	LCD_P44	LCD_P44	PTD4/LLW U_P14	SPI1_PC S0	UART2_ RX	TPM0_CH4		FXI00_D4	LCD_P44
62	PTD5	LCD_P45/A DC0_SE6b	LCD_P45/A DC0_SE6b	PTD5	SPI1_SC K	UART2_T X	TPM0_CH5		FXI00_D5	LCD_P45
63	PTD6/LLWU _P15	LCD_P46/A DC0_SE7b	LCD_P46/A DC0_SE7b	PTD6/LLW U_P15	SPI1_M OSI	UART0_ RX		SPI1_MIS O	FXI00_D6	LCD_P46
64	PTD7	LCD_P47	LCD_P47	PTD7	SPI1_MI SO	UART0_T X		SPI1_MOS I	FXI00_D7	LCD_P47

8 参考文献

可从freescale.com获取以下文档。

[KL46子系列参考手册](#)

[KL46子系列数据手册](#)

[Kinetis L系列MCU](#)

How to Reach Us:

Home Page:

Freescale.com

Web Support:

Freescale.com/support

本文档中的信息仅供系统和软件实施方使用 Freescale 产品。本文并未明示或者暗示授予利用本文档信息进行设计或者加工集成电路的版权许可。Freescale 保留对此处任何产品进行更改的权利，恕不另行通知。

Freescale 对其产品在任何特定用途方面的适用性不做任何担保、表示或保证，也不承担因为应用程序或者使用产品或电路所产生的任何责任，明确拒绝承担包括但不限于后果性的或附带性的损害在内的所有责任。Freescale 的数据表和/或规格中所提供的“典型”参数在不同应用中可能并且确实不同，实际性能会随时间而有所变化。所有运行参数，包括“经典值”在内，必须经由客户的技术专家对每个客户的应用程序进行验证。Freescale 未转让与其专利权及其他权利相关的许可。Freescale 销售产品时遵循以下网址中包含的标准销售条款和条件：freescale.com/SalesTermsandConditions。

Freescale, the Freescale logo, and Kinetis are trademarks of Freescale Semiconductor, Inc., Reg. U.S. Pat. & Tm. Off. ARM is the registered trademark of ARM Limited. ARM Cortex-M0+ is the trademark of ARM Limited. All other product or service names are the property of their respective owners.

© 2014 Freescale Semiconductor, Inc.

© 2014 飞思卡尔半导体有限公司。

Document Number: AN4997
Rev. 0, 09/2014

