

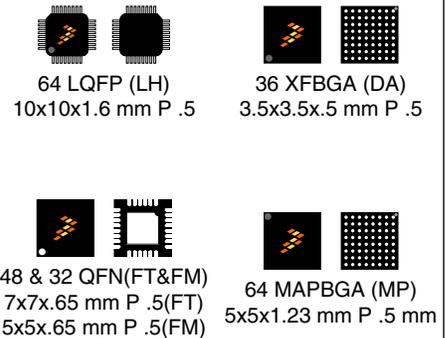
Kinetis KL27 微控制器

48 MHz ARM® Cortex®-M0+和 32/64 KB Flash

MKL27Z32Vxx4(R)
MKL27Z64Vxx4(R)

KL27 系列针对低功耗 USB 连接的要求, 对成本和电池供电应用方面做了优化。该产品具有以下特性:

- USB 全速 2.0 器件, 无需外部晶振
- 带引导加载程序的嵌入式 ROM, 用于灵活地实现程序升级
- 高精度的内部电压和时钟参考
- 支持任何标准和自定义串行外设仿真的 FlexIO
- 硬件 CRC 模块
- 功耗低至 46 μ A/MHz (超低功耗运行模式) 和 1.68 μ A (停止模式) (RAM + RTC 保留)



内核处理器

- ARM® Cortex®-M0+内核频率高达 48 MHz

存储器

- 32/64 KB 的程序 Flash 存储器
- 8/16 KB SRAM
- 16 KB ROM (具有内置引导加载程序)
- 32 字节备份寄存器

系统

- 4 通道异步 DMA 控制器
- 看门狗
- 低漏电唤醒单元
- 双引脚 SWD (串行线调试) 编程和调试接口
- 微跟踪缓冲器
- 位操作引擎
- 中断控制器

时钟

- 48 MHz 高精度 (高达 0.5%) 内部参考时钟
- 8 MHz 高精度 (高达 3%) 内部参考时钟
- 1 kHz 参考时钟, 在所有低功耗模式 (VLLS0 除外) 下均处于活动状态
- 32–40 kHz 和 3–32 MHz 晶体振荡器

工作特性

- 电压范围: 1.71 V 至 3.6 V
- Flash 写入电压范围: 1.71 V 至 3.6 V
- 温度范围: -40 至 105 °C

封装

- 64 LQFP 10mm x 10mm, 间距 0.5mm, 厚度 1.6mm

外设

- USB 全速 2.0 器件控制器, 支持无晶振操作并且可在极低功耗下保持有效连接
- 一个支持 ISO7816 的 UART 模块, 波特率达 1.5 Mbit/s
- 两个低功耗 UART 模块, 支持低功耗模式下的异步操作
- 两个 I2C 模块, 支持速率高达 1 Mbit/s
- 两个 16 位 SPI 模块, 支持速率高达 24 Mbit/s (SPI1) 和 12 Mbit/s (SPI0)
- 一个 FlexIO 模块, 支持模拟其他 UART、SPI、I2C、I2S、PWM 和其他串行模块等
- 一个带有高精度内部参考电压的 16 位 ADC 模块, 支持多达 17 通道, 并且在等于和小于 13bit 以下的模式下, 可以达到 818ksps 采样率
- 集成 6 位 DAC 提供可编程基准输入的高速模拟比较器

定时器

- 一个 6 通道定时器/PWM 模块
- 两个双通道定时器/PWM 模块
- 一个低功耗定时器
- 周期性中断定时器
- 实时时钟

安全性和完整性

- 每个芯片具有 80 位唯一标识号
- 先进的 flash 安全性
- 硬件 CRC 模块

- 36 XFBGA 3.5mm x 3.5mm, 间距 0.5mm, 厚度 0.5mm I/O
 - 32 QFN 5mm x 5mm, 间距 0.5mm, 厚度 0.65mm
 - 64 MAPBGA 5mm x 5mm, 间距 0.5mm, 厚度 1.23mm (Package Your Way)
 - 48 QFN 7mm x 7mm, 间距 0.5mm, 厚度 0.65mm (Package Your Way)
- 高达 51 个通用输入/输出引脚
- 低功耗**
- 在超低功耗运行模式下低至 46 μ A/MHz
 - 在停止模式下低至 1.68 μ A (RAM + RTC 保留)
 - 六种灵活的静态模式

注

本产品暂不提供支持器件型号 MKLx7ZxxVFT4 和 MKLx7ZxxVMP4 的 48 QFN 和 64 MAPBGA 封装。然而，这些封装将包含在 Kinetis MCU 的“Package Your Way”计划中。访问 Freescale.com/KPYW 了解更多详情。

相关资源

类型	说明	资源
选型指南	飞思卡尔解决方案顾问是一款基于 web 的工具，提供交互式应用向导和动态产品选型器。	解决方案顾问
产品简介	《产品简介》包含简洁的概述/摘要信息，便于快速评估器件的设计适用性。	KL2xPB ¹
参考手册	《参考手册》包含关于器件结构与功能（操作）的详细说明。	KL27P64M48SF2RM ¹
数据手册	《数据手册》包含电气特性和信号连接信息。	KL27P64M48SF2 ¹
芯片勘误表	《芯片掩模组勘误表》提供特定器件掩模组的额外信息或更正信息。	xN87M ²
封装图纸	封装图纸中提供了封装尺寸。	XFBGA 36 引脚: 98ASA00708D LQFP 64 引脚: 98ASS23234W QFN 32 引脚: 98ASA00615D QFN 48 引脚: 98ASA00616D MAPBGA 64 引脚: 98ASA00420D

1. 如需获取相关资源，请前往 <http://www.freescale.com> 并使用以下术语进行搜索。
2. 如需获取相关资源，请前往 <http://www.freescale.com> 并使用您的器件修订版代替“x”执行术语搜索。

目录

1 订购信息.....	4	4.3.6 通信接口.....	35
2 概述.....	4	4.3.7 人机接口(HMI).....	36
2.1 系统特性.....	5	4.4 KL27 系列引脚配置.....	36
2.1.1 ARM Cortex-M0+内核.....	5	4.5 封装尺寸.....	41
2.1.2 嵌套向量中断控制器(NVIC).....	6	5 电气特性.....	49
2.1.3 AWIC.....	6	5.1 额定值.....	49
2.1.4 存储器.....	7	5.1.1 热操作额定值.....	49
2.1.5 复位和引导.....	7	5.1.2 湿度操作额定值.....	50
2.1.6 时钟选项.....	9	5.1.3 ESD 操作额定值.....	50
2.1.7 安全加密.....	11	5.1.4 电压和电流绝对操作极限.....	50
2.1.8 电源管理.....	12	5.2 通用.....	51
2.1.9 LLWU.....	13	5.2.1 交流电气特性.....	51
2.1.10 调试控制器.....	14	5.2.2 静态电气规格.....	51
2.1.11 COP.....	14	5.2.3 开关规格.....	65
2.2 外设特性.....	15	5.2.4 热学特性.....	66
2.2.1 BME.....	15	5.3 外设工作要求与特性.....	67
2.2.2 DMA 和 DMAMUX.....	15	5.3.1 内核模块.....	67
2.2.3 TPM.....	16	5.3.2 系统模块.....	68
2.2.4 ADC.....	16	5.3.3 时钟模块.....	68
2.2.5 VREF.....	17	5.3.4 存储器和存储器接口.....	71
2.2.6 CMP.....	17	5.3.5 安全性和完整性模块.....	72
2.2.7 RTC.....	18	5.3.6 模拟.....	73
2.2.8 PIT.....	18	5.4 定时器.....	80
2.2.9 LPTMR.....	18	5.5 通信接口.....	80
2.2.10 CRC.....	19	5.5.1 USB 电气规格.....	80
2.2.11 UART.....	19	5.5.2 SPI 开关规格.....	81
2.2.12 LPUART.....	20	5.5.3 I2C 接口时序.....	85
2.2.13 SPI.....	20	5.5.4 UART.....	87
2.2.14 I2C.....	21	6 设计考虑因素.....	87
2.2.15 USB.....	22	6.1 硬件设计考虑因素.....	87
2.2.16 FlexIO.....	22	6.1.1 印刷电路板注意事项.....	87
2.2.17 端口控制和 GPIO.....	22	6.1.2 功率输出系统.....	87
3 存储器映射.....	24	6.1.3 模拟设计.....	88
4 引脚配置.....	25	6.1.4 数字设计.....	89
4.1 KL27 信号多路复用及引脚分配.....	25	6.1.5 晶体振荡器.....	91
4.2 引脚属性.....	28	6.2 软件方面.....	93
4.3 模块信号说明表.....	31	7 器件标识.....	94
4.3.1 内核模块.....	31	7.1 说明.....	94
4.3.2 系统模块.....	32	7.2 格式.....	94
4.3.3 时钟模块.....	32	7.3 字段.....	94
4.3.4 模拟.....	32	7.4 示例.....	95
4.3.5 定时器模块.....	33	8 修订历史记录.....	95

1 订购信息

以下芯片可供订购。

表 1. 订购信息

产品		存储器		封装		IO 和 ADC 通道		
器件型号	标记 (Line1/Line2)	Flash (KB)	SRAM (KB)	引脚数	封装	GPIO	GPIO (INT/HD) ¹	ADC 通道 (SE/DP)
MKL27Z64VLH4	MKL27Z64 / VLH4	64	16	64	LQFP	51	51/6	17/2
MKL27Z32VLH4	MKL27Z32 / VLH4	32	8	64	LQFP	51	51/6	17/2
MKL27Z64VDA4	M27M6	64	16	36	XFBGA	30	30/6	14/3
MKL27Z32VDA4	M27M5	32	8	36	XFBGA	30	30/6	14/3
MKL27Z64VFM4	M27M6V	64	16	32	QFN	24	24/6	8/0
MKL27Z32VFM4	M27M5V	32	8	32	QFN	24	24.6	8/0
MKL27Z64VMP4	待定	64	16	64	MAPBGA	51	51/6	17/2
MKL27Z32VMP4	待定	32	8	64	MAPBGA	51	51/6	17/2
MKL27Z64VFT4	待定	64	16	48	QFN	37	37/6	15/1
MKL27Z32VFT4	待定	32	8	48	QFN	37	37/6	15/1

1. INT : 中断引脚数 ; HD : 高电平驱动引脚数

注

本产品暂不提供支持器件型号 MKLx7ZxxVFT4 和 MKLx7ZxxVMP4 的 48 QFN 和 64 MAPBGA 封装。然而，这些封装将包含在 Kinetis MCU 的“Package Your Way”计划中。如需了解更多信息，请访问 Freescale.com/KPYW。

2 概述

下图显示此器件的系统示意图。

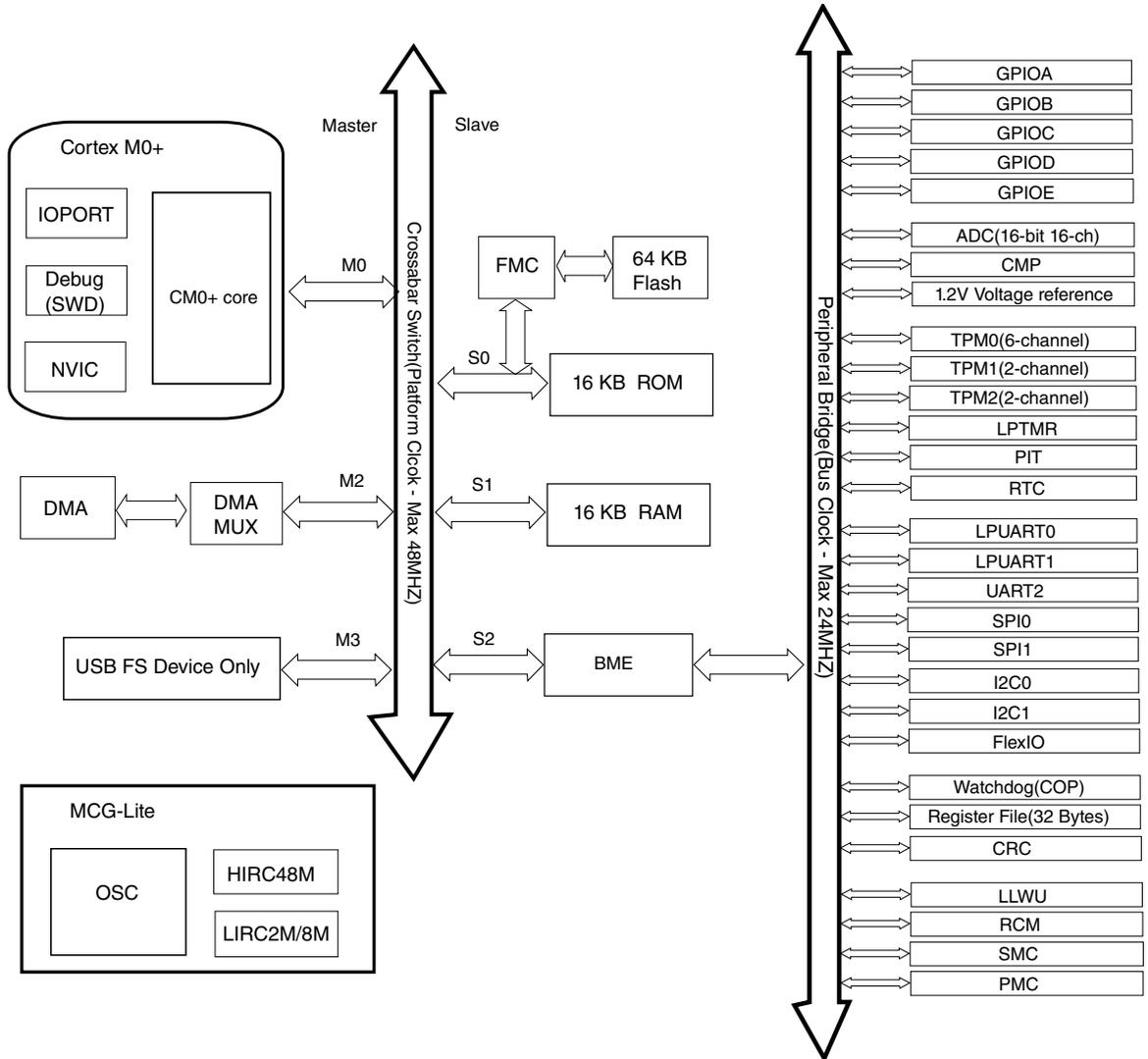


图 1. 系统示意图

交叉开关通过交叉开关结构连接总线主机和从机。该结构支持最多 4 个总线主机都能同时访问不同的总线从机，并且还可在其访问相同从机时提供总线主机间的仲裁。

2.1 系统特性

以下章节介绍高级系统特性。

2.1.1 ARM Cortex-M0+内核

增强型 ARM Cortex-M0+属于 Cortex-M 系列处理器产品，面向对成本极为敏感的低功耗应用的微控制器内核。它具有一个 32 位 AMBA AHB-Lite 接口并且包括一个 NVIC 组件。此外，它还具有硬件调试功能，包括支持简单的程序追踪功能。该处理器支持 ARMv6-M 指令集(Thumb)架构，该架构包括除三个 16 位 Thumb 操作码（共 52 位）加七个 32 位指令之外的所有指令。它向上兼容其他 Cortex-M 系列处理器。

2.1.2 嵌套向量中断控制器(NVIC)

嵌套向量中断控制器(NVIC)支持嵌套中断和 4 个优先级的中断。在 NVIC 中，IPR 寄存器中的各个源都包含 2 位。而且中断源数量也不相同，并支持 32 个中断向量。

Cortex-M 系列使用多种方法将 Cortex-M0+的中断延迟减少至 15 个时钟周期。它还可用于将 MCU 内核从 WAIT 和 VLPW 模式唤醒。

2.1.3 AWIC

异步唤醒中断控制器(AWIC)用于检测 STOP 模式下的异步唤醒事件，并向时钟控制逻辑发送信号以恢复系统时钟。时钟重启后，NVIC 观察未决中断，并执行普通中断或事件处理。AWIC 还可用于将 MCU 内核从 STOP 和 VLPS 模式唤醒。

唤醒源如下所列：

表 2. AWIC 唤醒源

唤醒源	说明
可用系统复位	当 LPO 为其时钟源时，RESET 引脚复位，以及当使用停止模式下使能的时钟源，COP 复位。COP 也可在其时钟源在 STOP 模式下使能时工作。
低电压检测	电源管理控制器 — 可在 STOP 模式下工作
低电压警告	电源管理控制器 — 可在 STOP 模式下工作
引脚中断	端口控制模块 — 任何已使能的引脚中断都能唤醒系统
ADC	使用内部时钟源或外部晶振时钟时，ADC 均可正常运行
CMPO	正常或触发模式下的中断
I ² Cx	地址匹配唤醒
LPUART0、LPUART1	只要此模块仍然提供时钟，任何使能的中断均可用作唤醒源
UART2	RXD 上的有效边沿
UART0	只要此模块仍然提供时钟，任何使能的中断均可用作唤醒源
UART1, UART2	RXD 上的有效边沿

下一页继续介绍此表...

表 2. AWIC 唤醒源 (继续)

唤醒源	说明
RTC	闹钟或秒中断
NMI	NMI 引脚
TPMx	只要此模块仍然提供时钟，任何使能的中断均可用作唤醒源
LPTMR	只要此模块仍然提供时钟，任何使能的中断均可用作唤醒源
SPIx	从机模式中断
FlexIO	只要此模块仍然提供时钟，任何使能的中断均可用作唤醒源
USB	只要此模块仍然提供时钟，任何使能的中断均可用作唤醒源

2.1.4 存储器

该器件具有以下特性：

- 可访问 8/16 KB 嵌入式 RAM（读/写）（CPU 时钟速度，无等待状态）。
- 非易失性存储器分为两个阵列
 - 32/64 KB 嵌入式程序存储器
 - 16 KB ROM（内置引导加载程序，支持 UART、I2C、USB 和 SPI 接口）

该程序 flash 存储器包含一个 16 字节 flash 配置字段，用于存储默认保护设置和安全信息。程序 flash 的页面大小为 1 KB。

保护设置可保护 32 个程序 flash 存储器区域不被意外擦除或进行编程操作。

安全电路可防止对 RAM 或调试端口的 flash 内容进行非法访问。

- 系统寄存器文件

该器件包含一个可在所有功耗模式下运行的 32 字节寄存器文件。

此外，它还可保留低功耗模式下的内容，并且仅在上电复位时复位。

2.1.5 复位和引导

下表列出了该器件支持的所有复位源。

注

在下表中，Y 表示由对应复位源复位的具体模块（脚注中提到的寄存器、位或特定情形除外）。N 表示一些特定模块，这些模块不是其对应的 Reset 源对其复位。

表 3. 复位源

复位源	说明	模块								
		PMC	SIM	SMC	RCM	LLWU	复位引脚已被取消	RTC	LPTMR	其他
POR 复位	上电复位 (POR)	Y	Y	Y	Y	Y	Y	Y	Y	Y
系统复位	低电压检测 (LVD)	Y ¹	Y	Y	Y	Y	Y	N	Y	Y
	低漏电唤醒(LLWU)复位	N	Y ²	N	Y	N	Y ³	N	N	Y
	外部引脚复位($\overline{\text{RESET}}$)	Y ¹	Y ²	Y ⁴	Y	Y	Y	N	N	Y
	计算机正常操作时的看门狗(COP)复位	Y ¹	Y ²	Y ⁴	Y ⁵	Y	Y	N	N	Y
	STOP 模式应答错误(SACKERR)	Y ¹	Y ²	Y ⁴	Y ⁵	Y	Y	N	N	Y
	软件复位 (SW)	Y ¹	Y ²	Y ⁴	Y ⁵	Y	Y	N	N	Y
	死锁复位(LOCKUP)	Y ¹	Y ²	Y ⁴	Y ⁵	Y	Y	N	N	Y
MDM DAP 系统复位	Y ¹	Y ²	Y ⁴	Y ⁵	Y	Y	N	N	Y	
调试复位	调试复位	Y ¹	Y ²	Y ⁴	Y ⁵	Y	Y	N	N	Y

1. 除了 PMC_LVDSC1[LVDV]和 PMC_LVDSC2[LWV]外
2. 除了 SIM_SOPT1 之外
3. 仅当 RESET 用于从 VLLS 模式唤醒
4. 除了 SMC_PMCTRL、SMC_STOPCTRL、SMC_PMSTAT 外
5. 除了 RCM_RPFC、RCM_RPFW、RCM_FM 外

CM0+内核添加对可编程向量表偏移寄存器 (VTOR) 的支持, 以便复位后重新定位中断向量表。此设备支持从以下位置引导:

- 内部 flash
- 引导 ROM

Flash 存储器模块(FTFA_FOPT)中的 Flash 选项(FOPT)寄存器允许用户定义 MCU 启动时的操作。该寄存器包含可从 flash 配置字段的 NVM 选项字节加载的只读位。以下是此器件的引导流程图。

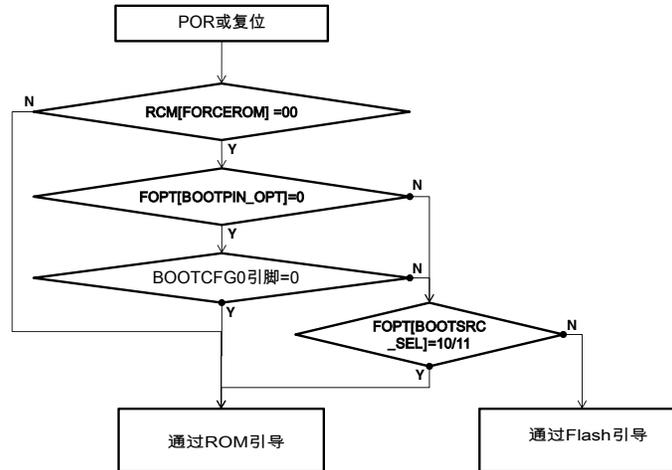


图 2. 引导流程图

空白芯片默认从 ROM 引导并将向量表重新映射至 ROM 基址，否则，它将重新映射至 flash 地址。

2.1.6 时钟选项

该芯片可提供多种用于生成内部时钟的时钟源。这些时钟源包括内部阻容(IRC)振荡器、外部振荡器、外部时钟源和陶瓷谐振器。可对这些时钟源进行配置，以提供所需的性能和功耗优化。

IRC 振荡器包括高速内部阻容(HIRC)振荡器、低速内部阻容(LIRC)振荡器和低功耗振荡器(LPO)。

在全速模式下，HIRC 振荡器可生成 48 MHz 时钟并与 USB 时钟同步，以提供所需的精度。

LIRC 振荡器可生成 8 MHz 或 2 MHz 时钟，复位后默认为 8 MHz 系统时钟。LIRC 振荡器无法用于任何 VLLS 模式。

LPO 可生成 1 kHz 时钟并且无法用于 VLLS0 模式。

该系统振荡器支持低频率晶振 (32 kHz 至 40 kHz)、高频率晶振 (1 MHz 至 32 MHz) 和陶瓷谐振器 (1 MHz 至 32 MHz)。外部时钟源 (直流至 48 MHz) 可通过 EXTAL0 引脚用作系统时钟。外部振荡器还支持 RTC_CLKIN 引脚上的低速时钟(32.768 kHz)，可以供 RTC 使用。

有关时钟操作和配置的更多详细信息，请参见参考手册。

下图为时钟产生的框图。

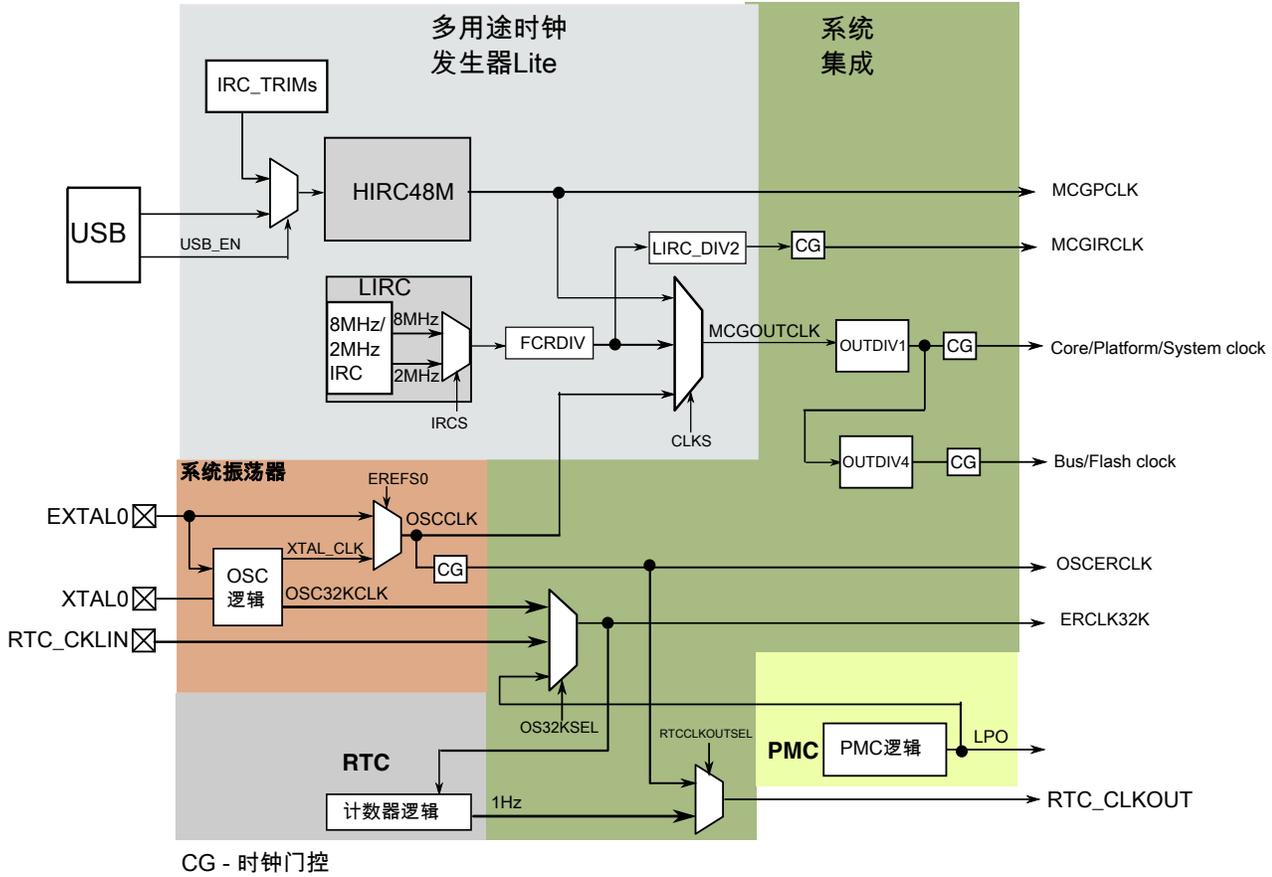


图 3. 时钟框图

为了实现灵活性，许多外设可以从运行的多个时钟源中进行选择。这使外设可以选择在各种操作模式下可用的时钟。

下表概述了与各个模块相关的时钟。

表 4. 模块时钟

模块	总线接口时钟	内部时钟	I/O 接口时钟
内核模块			
ARM Cortex-M0+内核	Platform clock	Core clock	—
NVIC	Platform clock	—	—
DAP	Platform clock	—	SWD_CLK
系统模块			
DMA	System clock	—	—
DMA 多路复用器	Bus clock	—	—
端口控制	Bus clock	—	—
交叉开关	Platform clock	—	—
外设桥	System clock	Bus clock	—

下一页继续介绍此表...

表 4. 模块时钟 (继续)

模块	总线接口时钟	内部时钟	I/O 接口时钟
LLWU、PMC、SIM、RCM	Bus clock	LPO	—
模式控制器	Bus clock	—	—
MCM	Platform clock	—	—
COP 看门狗	Bus clock	LPO、Bus clock、 MCGIRCLK、OSCERCLK	—
CRC	Bus clock	—	—
时钟			
MCG_Lite	Bus clock	MCGOUTCLK、MCGPCLK、 MCGIRCLK、OSCERCLK、 ERCLK32K	—
OSC	Bus clock	OSCERCLK	—
存储器 and 存储器接口			
Flash 控制器	Platform clock	Flash clock	—
Flash 存储器	Flash clock	—	—
模拟			
ADC	Bus clock	OSCERCLK	—
CMP	Bus clock	—	—
内部参考电压(VREF)	Bus clock	—	—
定时器			
TPM	Bus clock	TPM clock	TPM_CLKIN0、TPM_CLKIN1
PIT	Bus clock	—	—
LPTMR	Bus clock	LPO、OSCERCLK、 MCGPCLK、ERCLK32K	—
RTC	Bus clock	ERCLK32K	RTC_CLKOUT、RTC_CLKIN
通信接口			
USB FS (仅限器件)	System clock	USB FS clock	—
SPI0	Bus clock	—	SPI0_SCK
SPI1	System clock	—	SPI1_SCK
I ² C0	System clock	—	I2C0_SCL
I ² C1	System clock	—	I2C1_SCL
LPUART0、LPUART1	Bus clock	LPUART0 clock LPUART1 clock	—
UART2	Bus clock	—	—
FlexIO	Bus clock	FlexIO clock	—
人机接口			
GPIO	Platform clock	—	—

2.1.7 安全加密

安全加密状态可以通过编程 flash 配置字段(0x40e)使能。使能器件安全加密后，SWD 端口无法访问 MCU 的存储器资源，并且 ROM 引导加载程序也只限于访问 flash，不允许通过 ROM 引导加载程序命令读取 flash 信息。

访问接口	安全加密状态	解除加密操作
SWD 端口	无法通过 SWD 接口访问存储器资源	调试器可以在 MDM-AP 控制寄存器写入“Flash 整体擦除”以触发整体擦除（擦除所有数据块）命令
ROM 引导加载程序接口(UART/I2C/SPI/USB)	限制访问 flash，无法读取 flash 内容	使用后门密钥发送“FlashEraseAllUnsecureh”命令或尝试解锁 flash

此器件具有 80 位唯一标识号，该标识号在出厂时已编程并在上电复位后加载到 SIM 寄存器中。

2.1.8 电源管理

电源管理控制器(PMC)扩展了 ARM 的运行、睡眠和深度睡眠工作模式，可提供多种可配置模式。这些模式可用于优化多种应用的电流消耗。WFI 或 WFE 指令用于根据当前配置调用 WAIT 或 STOP 模式。有关 ARM 工作模式的更多信息，请参见 ARM® Cortex 用户指南。

在 ARM 的运行工作模式下，PMC 可提供运行(Run)和超低功耗运行(VLPR)配置。在这些模式下，MCU 内核处于活动状态并且可访问所有外设。这些模式之间的不同之处在于系统的最大时钟频率以及功耗。可以根据应用的功耗和性能要求选择配置。

在 ARM 的睡眠工作模式下，PMC 可提供等待(Wait)和超低功耗等待(VLPW)配置。在这些模式下，尽管 MCU 内核处于非活动状态，但所有外设均可使能并按程序运行。这些模式之间的不同之处在于系统的最大时钟频率以及功耗。

在 ARM 的深度睡眠工作模式下，PMC 可提供停止(Stop)、超低功耗停止(VLPS)、低漏电停止(LLS)和超低漏电停止(VLLS)配置。在这些模式下，MCU 内核以及大多数外设禁用。根据应用要求，可以保留或禁用不同的模拟、逻辑和存储器部分，以节省电量。

嵌套向量中断控制器(NVIC)、异步唤醒中断控制器(AWIC)和低漏电唤醒控制器(LLWU)用于将 MCU 从低功耗状态唤醒。NVIC 可用于将 MCU 内核从 WAIT 和 VLPW 模式唤醒。AWIC 可用于将 MCU 内核从 STOP 和 VLPS 模式唤醒。LLWU 可用于将 MCU 内核从 LLS 和 VLLSx 模式唤醒。

有关工作模式、电源管理、NVIC、AWIC 或 LLWU 的其他信息，请参见参考手册。

下表提供了不同工作模式下的外设状态信息以及可将 MCU 从低功耗模式唤醒的模块相关信息。

表 6. 不同工作模式下的外设状态

内核模式	器件模式	说明
RUN 模式	RUN	在 RUN 模式下，所有器件模块均运行。
	VERY LOW POWER RUN	在 VLPR 模式下，所有器件模块均低频运行（除了禁用的低压检测(LVD)监视器）。
SLEEP 模式	WAIT	在 WAIT 模式下，所有外设模块均运行。MCU 内核处于 SLEEP 模式。
	VERY LOW POWER WAIT	在 VLPW 模式下，所有外设模块均低频运行（除了禁用的低压检测(LVD)监视器）。MCU 内核处于 SLEEP 模式。
DEEP SLEEP	STOP	在 STOP 模式下，大部分外设时钟禁用且处于静止状态。当保留低电压检测保护时，STOP 模式保留所有寄存器和 SRAM。在 STOP 模式下，ADC、CMP、LPTimer、RTC 和引脚中断运行。NVIC 禁用，但 AWIC 可用于从中断唤醒。
	VERY LOW POWER STOP	在 VLPS 模式下，SRAM 的内容将保留。CMP（低速）、ADC、OSC、RTC、LPTMR、TPM、FlexIO、LPUART、USB 和 DMA 运行，LVD 和 NVIC 禁用，AWIC 用于从中断唤醒。
	LOW LEAKAGE STOP	在 LLS 模式下，SRAM 的内容和 32 字节系统寄存器文件将保留。CMP（低速）、LLWU、LPTMR 和 RTC 运行。ADC、CRC、DMA、FlexIO、I2C、LPUART、MCG-Lite、NVIC、PIT、SPI、TPM、UART、USB 和 COP 处于静止状态但保留其设置。GPIO 和 VREF 处于静止状态，保留其设置并继续驱动其先前的值。
	VERY LOW LEAKAGE STOP	在 VLLS 模式下，大部分外设断电并且将在器件唤醒时从其复位状态恢复操作。LLWU、LPTMR 和 RTC 在所有 VLLS 模式下是可以运行的。 在 VLLS3 模式下，SRAM 的内容和 32 字节系统寄存器文件将保留。CMP（低速）、和 PMC 运行。GPIO 和 VREF 不可以运行但继续驱动。 在 VLLS1 模式下，32 字节系统寄存器文件的内容将保留。CMP（低速）、和 PMC 运行。GPIO 和 VREF 不可以运行但继续驱动。 在 VLLS0 模式下，32 字节系统寄存器文件的内容将保留。PMC 运行。GPIO 不可以运行但继续驱动。可以使能或禁用 POR 检测电路。

2.1.9 LLWU

LLWU 模块用于将 MCU 从低漏功耗模式 (LLS 和 VLLS_x) 中唤醒，并且仅在进入低漏功耗模式时工作。从 LLS 恢复以后，LLWU 立即禁用。从 VLLS_x 恢复以后，LLWU 继续检测唤醒事件，直到用户确认唤醒事件为止。

该器件使用 8 个外部唤醒引脚输入和 4 个内部模块作为 LLWU 模块的唤醒源。

以下是用作 LLWU 模块唤醒源的内部外设和外部引脚输入。

表 7. 唤醒源

LLWU 引脚	模块源或引脚名称
LLWU_P5	PTB0
LLWU_P6	PTC1
LLWU_P7	PTC3
LLWU_P8	PTC4
LLWU_P9	PTC5
LLWU_P10	PTC6
LLWU_P14	PTD4
LLWU_P15	PTD6
LLWU_M0IF	LPTMR0
LLWU_M1IF	CMP0
LLWU_M2IF	保留
LLWU_M3IF	保留
LLWU_M4IF	保留
LLWU_M5IF	RTC 闹钟
LLWU_M6IF	保留
LLWU_M7IF	RTC 秒钟

2.1.10 调试控制器

此器件支持标准 ARM 双引脚 SWD 调试端口。它通过外部调试器接口、基本运行/停止控制加上 2 个断点和 2 个观察点，提供对寄存器和存储器的访问。

它还支持微跟踪缓冲器(MTB)追踪功能，从而为 Cortex-M0+ 处理器提供简单的执行跟踪功能。

2.1.11 COP

COP 监控内部系统运行，并在系统出现故障时强制复位。它可使用总线时钟、LPO、8/2 MHz 内部振荡器或外部晶体振荡器作为其时钟源运行。可供选择的窗口模式用来检测程序流或系统频率偏差。

COP 具有以下特性：

- 支持多个时钟输入、1 kHz 时钟(LPO)、总线时钟、8/2 MHz 内部参考时钟、外部晶体振荡器
- 可在 Stop/VLPS 和 Debug 模式下工作

- 可配置为短/长超时，最长超时可高达 262 秒
- 支持窗口模式

2.2 外设特性

以下章节介绍此芯片每个外设的特性。

2.2.1 BME

位操作引擎(BME)针对基于 Cortex-M0+的微控制器中对外设地址空间的原子读取-修改-写入存储器操作提供硬件支持。它可减少外设寄存器位操作高达 30%的代码大小和高达 9%的周期。

BME 支持无符号位字段提取、1 位加载-置位、1 位加载-清零、位字段插入、以及以字节、半字或 4 字节数据类型的逻辑 AND/OR/XOR 操作。

2.2.2 DMA 和 DMAMUX

DMA 控制器模块可实现快速数据传输，为在尽量减小处理器交互的条件下移动数据块提供了一种高效的方式。此器件中的 DMA 控制器支持四个通道，这四个通道可通过 DMA MUX 模块路由至高达 63 个 DMA 请求源。部分外设请求源具有异步 DMA 功能，该功能用于将 MCU 从 STOP 模式中唤醒。具有此功能的外设包括 LPUART0、LPUART1、FlexIO、TPM0-TPM2、ADC0、CMP0、PORTA-PORTE。DMA 通道 0 和 1 可通过 DMA MUX 由 PIT 周期性触发。

主要特性如下：

- 通过连接系统总线的 32 位主连接实现双地址传输和 8 位、16 位或 32 位模块中的数据传输
- 支持可编程源和目标地址及传输数据长度，从 16 字节至 256 KB 的可选模数寻址功能
- 自动更新源和目标地址
- 针对源或目标访问的自动对齐特性使得块可以根据地址、字节计数和可编程的数据长度以最优尺寸进行传输，从而大大提高块传输速度
- 自动单通道或双通道链接使当前 DMA 通道可以自动触发 DMA 请求到链接的通道，无需 CPU 干预

有关异步 DMA 的更多信息，请参见 [AN4631](#)。

2.2.3 TPM

该器件包含三个低功耗 TPM 模块。启用时钟源时，所有 TPM 模块均可在 STOP/VLPS 模式下工作。

TPM 特性包括：

- 时钟源可以选择外部时钟、内部时钟、HIRC48M 时钟、外部晶振输入时钟或 LIRC2M/8M 时钟
- 预分频器 (1、2、4、8、16、32、64 或 128 分频)
- TPM 包括一个 16 位计数器
- 包括 6 条通道，均可配置为输入捕获、输出比较、边沿对齐 PWM 模式或中心对齐 PWM 模式
- 支持根据通道或计数器溢出产生中断和/或 DMA 请求
- 支持可选择触发输入，以便选择性复位或者使计数器启动或停止递增
- 支持计数器溢出和根据通道生成硬件触发信号

2.2.4 ADC

该器件包含一个 ADC 模块。此 ADC 模块支持通过 TPM、LPTMR、PIT、RTC、外部触发器引脚和 CMP 输出提供的硬件触发。当使用内部时钟源或外部晶体时钟时，它支持在低功耗模式下唤醒 MCU。

ADC 模块具有以下特性：

- 采用最高 16 位分辨率的线性逐次逼近算法
- 最多 4 对差分 and 17 个单端外部模拟输入
- 支持可选 16 位、13 位、11 位和 9 位差分输出模式，或 16 位、12 位、10 位和 8 位单端输出模式
- 单次或连续转换
- 可配置采样时间和转换速度/功耗
- 高达四个可选时钟源
- 低功耗工作模式可降低噪声
- 异步时钟源，可降低工作噪声（带时钟输出选项）
- 可选择的硬件转换触发信号
- 自动与范围内或范围外的设定值进行比较（小于、大于或等于），根据结果产生中断
- 温度传感器
- 高达 32 次硬件平均功能
- 可选电压基准：外部或可供选择的内部电压源
- 自校准模式

2.2.4.1 温度传感器

该设备包含一个从内部连接到 AD26 输入通道的温度传感器，请参见表 56 了解线性度因素的详细信息。

该传感器必须经过校准以获得良好的精度，从而提供更好的线性度，另请参见 AN3031。建议使用内部参考电压作为采用长采样配置的 ADC 参考电压。

2.2.5 VREF

参考电压(VREF)可提供调整步长为 0.5 mV 的精确电压输出（通常为 1.2V）。它可用于为外部设备提供参考电压，或者用作模拟外设（如 ADC 或 CMP）的内部参考电压。

VREF 支持以下可编程驱动模式：

- 仅带隙开启，用于稳定和启动
- 高功耗驱动模式
- 低功耗驱动模式
- 驱动已禁用

对于 48 QFN、64 LQFP 和 64 MAPBGA 封装以及 32 QFN 和 36 XFBGA 封装，分别通过 VREFH 和 PTE30 输出 VREF 电压信号，可在低功耗和高功耗驱动模式下供内部和外部外设使用。如果使用 VREF，则必须始终将 100 nF 电容连接到此引脚与 VSSA 之间。此电容必须尽可能靠近 VREFO 引脚。

2.2.6 CMP

该设备包含一个高速比较器和两个 8 输入多路复用器，适合于比较器的反向和正向输入。每个 CMP 输入通道连接至两个多路复用器。

此 CMP 包含一个 6 位 DAC，它可为不同用户应用案例提供可选择的参考电压。此外，CMP 还具有多个模块至模块的互联，有助于 ADC 触发、TPM 触发和连接。

CMP 具有以下特性：

- 输入范围为可以轨对轨接入
- 可编程迟滞控制
- 可选择在比较器输出上升沿、下降沿或上下边沿同时产生中断
- 可选择比较器输出取反
- 能够产生多种输出，比如说采样或者是数字滤波之后的输出

- 可以在输出滤波器用于内部功能时使用外部迟滞
- 两个通过软件可选择的性能等级：更短的传播延迟但功耗更高，以及低功耗但传播延迟更长
- 支持 DMA 传输
- 可在除 VLLS0 模式外的所有工作模式下工作
- 滤波器功能不可用于 STOP、VLPS、LLS 或 VLLSx 模式
- 将 6 位 DAC 与可选电压参考源集成在一起，并且可掉电以节省电量
- 两个 8 至 1 通道多路复用器

2.2.7 RTC

RTC 是一个始终上电的模块，在所有低功耗模式下保持激活。RTC 内的时间计数器由外部晶体振荡器的 32.768 kHz 时钟源提供时钟，或直接通过 RTC_CLKIN 引脚提供。

RTC 在上电时复位，并且 RTC 中的软件复位还可以初始化所有 RTC 寄存器。

RTC 模块具有以下特性：

- 32 位秒计数器，带翻转保护和 32 位闹钟
- 带补偿功能的 16 位预分频器，可以校正 0.12 ppm 至 3906 ppm 的误差
- 具有寄存器锁定机制的寄存器写入保护
- 带可选中断的 1 Hz 方波或秒脉冲输出

2.2.8 PIT

周期性中断定时器(PIT)用于生成 CPU 的周期性中断。它具有两个独立的通道，每个通道都有一个 32 位计数器。两个通道可以级联在一起构成一个 64 位计数器。

通道 0 用于周期性触发 DMA 通道 0，通道 1 用于周期性触发 DMA 通道 1。任一通道均可编程为 ADC 触发源或 TPM 触发源。通道 0 可编程为触发 DAC。

PIT 模块具有以下特性：

- 每个 32 位定时器可产生 DMA 触发器
- 每个 32 位定时器可产生超时中断
- 两个定时器可级联构成一个 64 位定时器
- 每个定时器可编程为 ADC/TPM 触发源
- 定时器 0 可触发 DAC

2.2.9 LPTMR

在所有功耗模式下（包括低漏电模式），低功耗定时器（LPTMR）可以配置为带可选预分频器的时钟计数器，或者带可选去抖滤波器的脉冲计数器。它还可以在多数系统复位事件中继续保持运行，因此可以用作长时间的计数器。

LPTMR 模块具有以下特性：

- 带比较功能的 16 位时间计数器或脉冲计数器
 - 可选中断可在任何低功耗模式下产生异步唤醒
 - 硬件触发输出
 - 计数器支持自由运行模式或比较复位
- 可针对预分频器/去抖滤波器配置时钟源
- 可针对脉冲计数器配置输入源

2.2.10 CRC

该设备包含一个循环冗余校验(CRC)模块，可生成 16/32 位 CRC 码以便进行错误检测。

CRC 模块提供实施 16 位或 32 位 CRC 标准所需的可编程多项式、WAS 和其他参数。

CRC 模块具有以下特性：

- 硬件 CRC 生成器电路采用一个 16 位或者 32 位可编程移位寄存器
- 可编程初始种子和多项式
- 可选择逐位或逐字节转换输入数据或输出数据（CRC 结果）
- 最终 CRC 结果反转选项
- 32 位 CPU 寄存器编程接口

2.2.11 UART

该器件包含一个支持 DMA 功能的基本通用异步接收器/发送器(UART)模块。一般情况下，此模块用于 RS-232、RS-485 和其他通信，支持 LIN 从机操作和 ISO7816。

UART 模块具有下列特性：

- 全双工操作
- 带/32 小数分频、基于模块时钟频率的 13 位波特率选择
- 可编程 8 位或 9 位数据格式
- 发送器输出极性可编程
- 接收输入极性可编程

- 高达 14 位中断字符传输
- 11 位中断字符检测选项
- 通过空闲线路或地址标志唤醒的两种接收器唤醒方法
- 接收器中的地址匹配功能可减少地址标志唤醒 ISR 开销
- 可以将 MSB 或 LSB 配置为线上传输的首位
- 支持与 SIM 卡和智能卡连接的 ISO 7816 协议
- 接收帧错误检测
- 硬件奇偶生成和校验
- 1/16 位时间噪声检测
- 支持 DMA

2.2.12 LPUART

该产品包含两个低功耗 UART 模块，这两个模块的时钟源均可从 IRC48M、IRC8M/2M 或外部晶振时钟中选择，并且可以在 STOP 和 VLPS 模式下工作。它们还支持 4x 至 32x 数据过采样率，以适合不同的应用。

LPUART 模块具有以下特性：

- 可编程波特率（13 位模数分频器），支持 4x 至 32x 的可配置过采样率
- 发送和接收波特率可与总线时钟异步运行，并且可配置为不受总线时钟频率影响，支持在 STOP 模式下工作
- 中断、DMA 或轮询操作
- 硬件奇偶生成和校验
- 可编程 8 位、9 位或 10 位字符长度
- 可编程的 1 位或 2 位停止位
- 三种接收器唤醒方法
 - 空闲线路唤醒
 - 地址标志唤醒
 - 接收数据匹配
- 自动地址匹配，以减少 ISR 开销：
 - 地址标志匹配
 - 空闲线路地址匹配
 - 地址匹配开始、地址匹配结束
- 可选 13 位分隔字符生成/11 位分隔字符检测
- 可配置空闲长度检测，支持 1、2、4、8、16、32、64 或 128 个空闲字符
- 可选择发送器输出和接收器输入极性

2.2.13 SPI

该设备包括两个 SPI 模块。SPI 模块支持 8 位和 16 位模式。FIFO 功能仅可用于 SPI1 模块。

SPI 模块具有以下特性：

- 全双工或单线双向模式
- 可编程比特率
- 双缓冲发送和接收数据寄存器
- 串行时钟相位和极性选择
- 从机选择输出
- 带 CPU 中断功能的模式故障标志
- WAIT 模式期间的 SPI 操作控制
- 可供选择的 MSB 优先或 LSB 优先移位
- 可编程 8 位或 16 位数据传送长度
- 接收数据缓冲器硬件匹配特性
- 适用于高速/大批量数据传输的 64 位 FIFO 模式
- 支持 DMA

2.2.14 I2C

该设备包含两个 I2C 模块，可支持双缓冲功能以支持高达 1 Mbits/s 的速率，并通过地址匹配将 MCU 从低功耗模式中唤醒。

I2C 模块支持 DMA 传输，中断条件可以在启用 DMA 功能时触发 DMA 请求。

此 I2C 模块具有以下特性：

- 支持系统管理总线(SMBus)规范（第 2 版）
- 可通过软件对 64 种不同串行时钟频率的其中之一进行编程
- 可通过软件选择应答位
- 通过从主机模式自动切换至从机模式，生成仲裁丢失中断
- 广播地址识别中断
- 开始和停止信号的生成和检测
- 可重复的开始信号生成和检测
- 应答位的生成和检测
- 检测总线繁忙状态
- 可识别通用广播地址
- 可扩展 10 位地址
- 可编程输入去抖滤波器
- 从机地址匹配时的低功耗唤醒
- 支持从机地址范围

- 支持 DMA
- 支持双缓冲，以实现更高的波特率

2.2.15 USB

该设备包含一个 USB 模块，支持符合 USB2.0 规范的全速外设并且可以连接到片上 USBFS 收发器。当退出低功耗模式并使能 HIRC48M 从而进行无晶振 USB 操作时，它支持保持有效功能，以免重新枚举。

USBFS 具有以下特性：

- 符合 USB 1.1 和 2.0 规范的全速器件控制器
- 16 个双向端点
- DMA 或 FIFO 数据流接口
- 低功耗
- 支持带时钟恢复功能的 HIRC48，无需 48 MHz 晶振。仅限用于 USB 从设备设置。
- USB 在低至 VLPS 的低功耗模式下保持有效，并能够从低功耗模式中唤醒 MCU。

2.2.16 FlexIO

FlexIO 是一款高度可配置模块，提供多种协议支持，包括但不限于 UART、I2C、SPI、I2S、Camera IF、LCD RGB、PWM/波形生成。该模块支持可编程波特率，不受总线时钟频率的影响，并带有自动启动/停止位生成功能。

FlexIO 模块具有以下特性：

- 当其使用的时钟保持使能时，可以在 VLPR/VLPW/Stop/VLPS 模式下运行
- 四个 32 位双缓冲移位寄存器，具有发送、接收和数据匹配模式并提供持续数据传输
- 移位器的移位、负载和存储事件时序由分配给该移位器的高灵活度 16 位定时器控制
- 可以级联两个或多个移位器，以支持大型数据传输
- 每个 16 位定时器独立运行，支持在不同内部或外部触发条件下进行复位、使能和禁用，可编程触发极性
- 灵活的引脚配置支持输出禁用、开漏、双向输出数据和输出模式
- 支持中断、DMA 或轮询发送/接收操作

2.2.17 端口控制和 GPIO

端口控制和中断(PORT)模块可以为端口控制、数字滤波和外部中断功能提供支持。当引脚配置为 GPIO 功能时，GPIO 数据方向和输出数据寄存器控制每个引脚的方向和输出数据。假设引脚相应的端口控制和中断模块已使能，则当引脚配置为任意数字功能时，GPIO 输入数据寄存器显示每个引脚上的逻辑值。

下图展示了基本 I/O 端口结构。此图适用于除 PTA20/RESET_b 以及配置为伪开漏输出引脚之外的所有 I/O 引脚。PTA20/RESET_b 是真正的开漏引脚，无 p 通道输出驱动器或 ESD 总线二极管。当配置为开漏操作时，伪开漏引脚的 p 通道输出驱动器禁用。任何 I/O 引脚（包括开漏和伪开漏引脚）均不得超过 VDD。

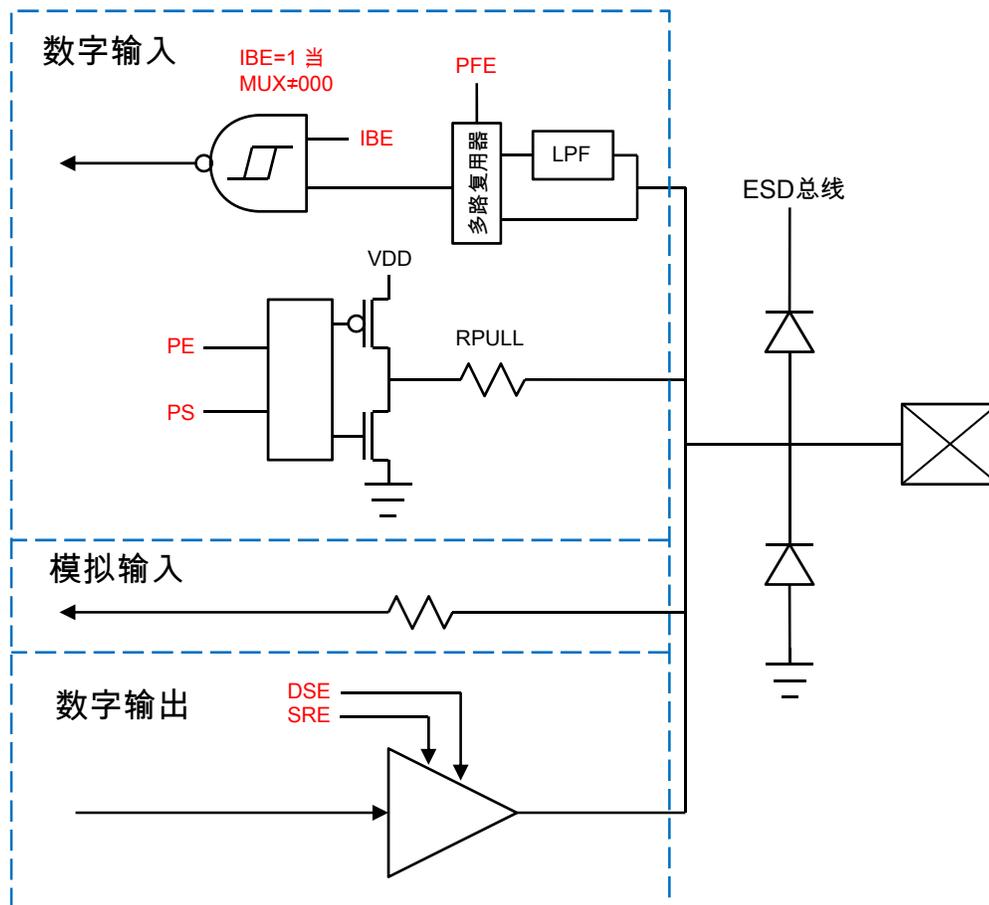


图 4. I/O 简化框图

PORT 模块具有以下特性：

- 所有引脚支持中断使能
- 可配置边沿（上升、下降或两者）或电平触发中断类型
- 支持 DMA 请求
- 低功耗模式下的异步唤醒
- 选定引脚上提供可配置上拉、下拉和拉动禁用

- 选定引脚上提供可配置高/低驱动强度
- 选定引脚上提供可配置快/慢压摆率
- 选定引脚上提供可配置无源滤波器
- 单独的多路复用控制字段，支持模拟或引脚禁用、GPIO 和特定芯片数字功能
- 端口配置字段在所有数字引脚多路复用模式下均有效

GPIO 模块具有以下特性：

- 端口数据输入寄存器适用于所有数字引脚多路复用模式
- 端口数据输出寄存器具有相应的置位/清零/切换寄存器
- 端口数据方向寄存器
- GPIO 支持通过快速 GPIO 进行单周期访问

3 存储器映射

本设备包含多种存储器和内存映射外设，并且都在 4 GB 的存储空间之内。下图所示为系统存储器和外设位置。

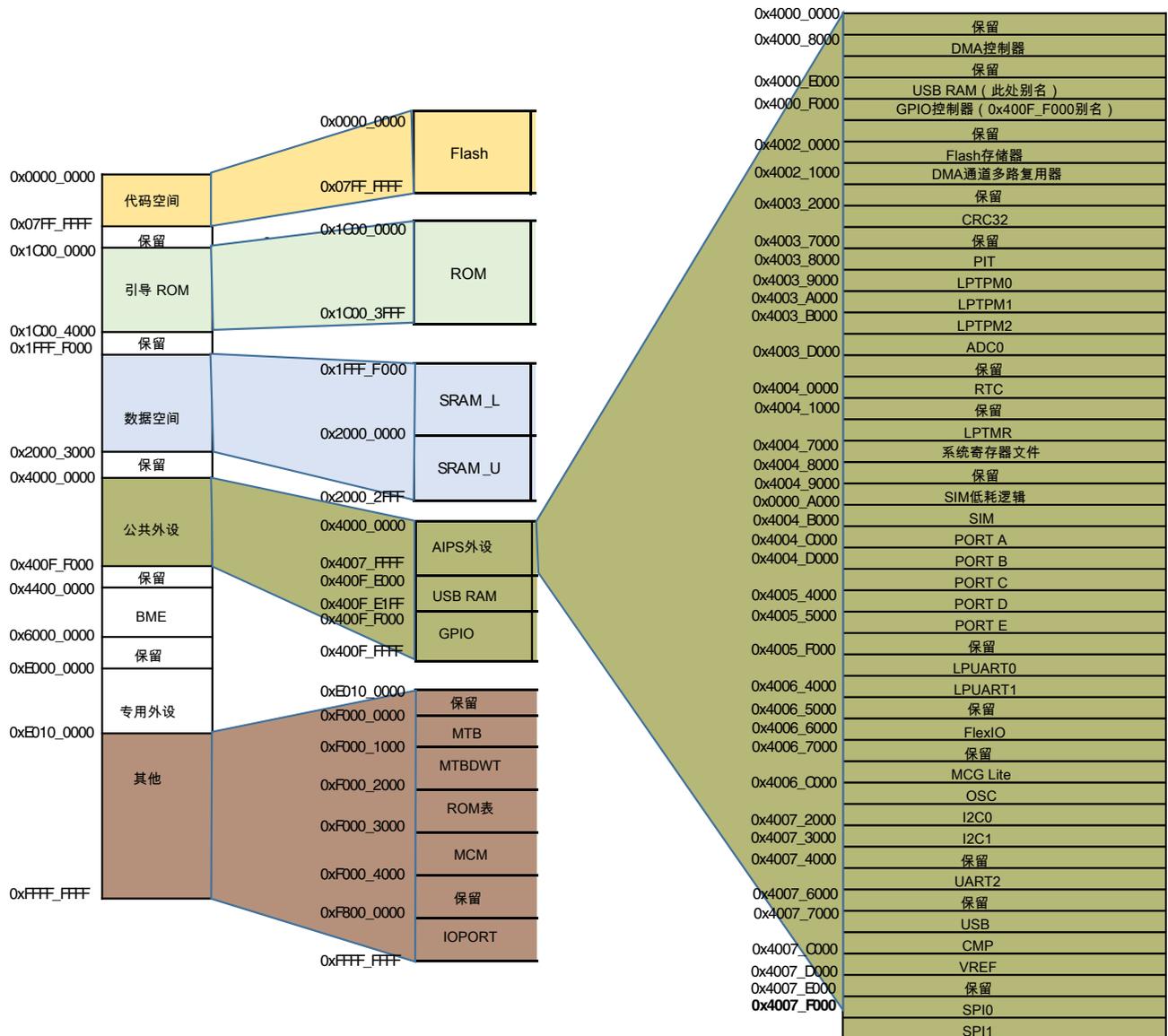


图 5. 存储器映射

4 引脚配置

4.1 KL27 信号多路复用及引脚分配

下表列出了各引脚上的信号以及这些引脚在本文档中所支持器件上的位置。“端口控制模块”负责选择每个引脚上的 ALT 功能。

注

本产品暂不提供 48 QFN 和 64 MAPBGA 封装。然而，这些封装将包含在 Kinetis MCU 的“Package Your Way”计划中。访问 freescale.com/KPYW 了解更多详情。

64 LQFP	36 XFBGA	32 QFN	48 QFN	64 MAPBGA	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7
—	C1	—	—	—	PTE17	ADC0_DM1/ ADC0_SE5a	ADC0_DM1/ ADC0_SE5a	PTE17	SPI0_SCK	UART2_RX	TPM_ CLKIN1	LPTMR0_ ALT3	FXIO0_D1	
—	D1	—	—	—	PTE18	ADC0_DP2/ ADC0_SE2	ADC0_DP2/ ADC0_SE2	PTE18	SPI0_MOSI		I2C0_SDA	SPI0_MISO	FXIO0_D2	
—	F2	9	—	—	VREF0	VREF0_B	VREF0_B							
—	—	—	—	C5	NC	NC	NC							
1	A1	1	—	A1	PTE0	禁用		PTE0/ CLKOUT32 K	SPI1_MISO	LPUART1_ TX	RTC_ CLKOUT	CMP0_OUT	I2C1_SDA	
2	—	—	—	B1	PTE1	禁用		PTE1	SPI1_MOSI	LPUART1_ RX		SPI1_MISO	I2C1_SCL	
3	—	—	1	—	VDD	VDD	VDD							
4	C4	2	2	C4	VSS	VSS	VSS							
5	B1	3	3	E1	USB0_DP	USB0_DP	USB0_DP							
6	D2	4	4	D1	USB0_DM	USB0_DM	USB0_DM							
7	C3	5	5	E2	USB_VDD	USB_VDD	USB_VDD							
8	C2	6	6	D2	PTE16	ADC0_DP1/ ADC0_SE1	ADC0_DP1/ ADC0_SE1	PTE16	SPI0_PCS0	UART2_TX	TPM_ CLKIN0		FXIO0_D0	
9	E3	—	7	G1	PTE20	ADC0_DP0/ ADC0_SE0	ADC0_DP0/ ADC0_SE0	PTE20		TPM1_CH0	LPUART0_ TX		FXIO0_D4	
10	E2	—	8	F1	PTE21	ADC0_DM0/ ADC0_SE4a	ADC0_DM0/ ADC0_SE4a	PTE21		TPM1_CH1	LPUART0_ RX		FXIO0_D5	
11	E1	—	—	G2	PTE22	ADC0_DP3/ ADC0_SE3	ADC0_DP3/ ADC0_SE3	PTE22		TPM2_CH0	UART2_TX		FXIO0_D6	
12	F1	—	—	F2	PTE23	ADC0_DM3/ ADC0_SE7a	ADC0_DM3/ ADC0_SE7a	PTE23		TPM2_CH1	UART2_RX		FXIO0_D7	
13	D3	7	9	F4	VDDA	VDDA	VDDA							
14	D3	7	10	G4	VREFH	VREFH	VREFH							
14	—	—	10	G4	VREF0	VREF0_A	VREF0_A							
15	D4	8	11	G3	VREFL	VREFL	VREFL							
16	D4	8	12	F3	VSSA	VSSA	VSSA							
17	—	—	13	H1	PTE29	CMP0_IN5/ ADC0_SE4b	CMP0_IN5/ ADC0_SE4b	PTE29		TPM0_CH2	TPM_ CLKIN0			
18	F2	9	14	H2	PTE30	ADC0_ SE23/ CMP0_IN4	ADC0_ SE23/ CMP0_IN4	PTE30		TPM0_CH3	TPM_ CLKIN1	LPUART1_ TX	LPTMR0_ ALT1	
19	—	—	—	H3	PTE31	禁用		PTE31		TPM0_CH4				
20	—	—	15	H4	PTE24	禁用		PTE24		TPM0_CH0			I2C0_SCL	

64 LQFP	36 XFB GA	32 QFN	48 QFN	64 MAP BGA	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7
21	—	—	16	H5	PTE25	禁用		PTE25		TPM0_CH1		I2C0_SDA		
22	F3	10	17	D3	PTA0	SWD_CLK		PTA0		TPM0_CH5				SWD_CLK
23	F4	11	18	D4	PTA1	禁用		PTA1	LPUART0_RX	TPM2_CH0				
24	E4	12	19	E5	PTA2	禁用		PTA2	LPUART0_TX	TPM2_CH1				
25	E5	13	20	D5	PTA3	SWD_DIO		PTA3	I2C1_SCL	TPM0_CH0				SWD_DIO
26	F5	14	21	G5	PTA4	NMI_b		PTA4	I2C1_SDA	TPM0_CH1				NMI_b
27	—	—	—	F5	PTA5	禁用		PTA5	USB_CLKIN	TPM0_CH2				
28	—	—	—	H6	PTA12	禁用		PTA12		TPM1_CH0				
29	—	—	—	G6	PTA13	禁用		PTA13		TPM1_CH1				
30	C3	15	22	G7	VDD	VDD	VDD							
31	C4	16	23	H7	VSS	VSS	VSS							
32	F6	17	24	H8	PTA18	EXTAL0	EXTAL0	PTA18		LPUART1_RX	TPM_CLKIN0			
33	E6	18	25	G8	PTA19	XTAL0	XTAL0	PTA19		LPUART1_TX	TPM_CLKIN1		LPTMR0_ALT1	
34	D5	19	26	F8	PTA20	RESET_b		PTA20						RESET_b
35	D6	20	27	F7	PTB0/LLWU_P5	ADC0_SE8	ADC0_SE8	PTB0/LLWU_P5	I2C0_SCL	TPM1_CH0	SPI1_MOSI	SPI1_MISO		
36	C6	21	28	F6	PTB1	ADC0_SE9	ADC0_SE9	PTB1	I2C0_SDA	TPM1_CH1	SPI1_MISO	SPI1_MOSI		
37	—	—	29	E7	PTB2	ADC0_SE12	ADC0_SE12	PTB2	I2C0_SCL	TPM2_CH0				
38	—	—	30	E8	PTB3	ADC0_SE13	ADC0_SE13	PTB3	I2C0_SDA	TPM2_CH1				
39	—	—	31	E6	PTB16	禁用		PTB16	SPI1_MOSI	LPUART0_RX	TPM_CLKIN0	SPI1_MISO		
40	—	—	32	D7	PTB17	禁用		PTB17	SPI1_MISO	LPUART0_TX	TPM_CLKIN1	SPI1_MOSI		
41	—	—	—	D6	PTB18	禁用		PTB18		TPM2_CH0				
42	—	—	—	C7	PTB19	禁用		PTB19		TPM2_CH1				
43	—	—	33	D8	PTC0	ADC0_SE14	ADC0_SE14	PTC0		EXTRG_IN	audioUSB_SOF_OUT	CMP0_OUT		
44	C5	22	34	C6	PTC1/LLWU_P6/RTC_CLKIN	ADC0_SE15	ADC0_SE15	PTC1/LLWU_P6/RTC_CLKIN	I2C1_SCL		TPM0_CH0			
45	B6	23	35	B7	PTC2	ADC0_SE11	ADC0_SE11	PTC2	I2C1_SDA		TPM0_CH1			
46	B5	24	36	C8	PTC3/LLWU_P7	禁用		PTC3/LLWU_P7	SPI1_SCK	LPUART1_RX	TPM0_CH2	CLKOUT		
47	—	—	—	E3	VSS	VSS	VSS							
48	—	—	—	E4	VDD	VDD	VDD							
49	A6	25	37	B8	PTC4/LLWU_P8	禁用		PTC4/LLWU_P8	SPI0_PCS0	LPUART1_TX	TPM0_CH3	SPI1_PCS0		
50	A5	26	38	A8	PTC5/LLWU_P9	禁用		PTC5/LLWU_P9	SPI0_SCK	LPTMR0_ALT2			CMP0_OUT	

64 LQFP	36 XFBGA	32 QFN	48 QFN	64 MAPBGA	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7
51	B4	27	39	A7	PTC6/ LLWU_P10	CMP0_IN0	CMP0_IN0	PTC6/ LLWU_P10	SPI0_MOSI	EXTRG_IN		SPI0_MISO		
52	A4	28	40	B6	PTC7	CMP0_IN1	CMP0_IN1	PTC7	SPI0_MISO	audioUSB_ SOF_OUT		SPI0_MOSI		
53	—	—	—	A6	PTC8	CMP0_IN2	CMP0_IN2	PTC8	I2C0_SCL	TPM0_CH4				
54	—	—	—	B5	PTC9	CMP0_IN3	CMP0_IN3	PTC9	I2C0_SDA	TPM0_CH5				
55	—	—	—	B4	PTC10	禁用		PTC10	I2C1_SCL					
56	—	—	—	A5	PTC11	禁用		PTC11	I2C1_SDA					
57	—	—	41	C3	PTD0	禁用		PTD0	SPI0_PCS0		TPM0_CH0		FXIO0_D0	
58	—	—	42	A4	PTD1	ADC0_SE5b	ADC0_SE5b	PTD1	SPI0_SCK		TPM0_CH1		FXIO0_D1	
59	—	—	43	C2	PTD2	禁用		PTD2	SPI0_MOSI	UART2_RX	TPM0_CH2	SPI0_MISO	FXIO0_D2	
60	—	—	44	B3	PTD3	禁用		PTD3	SPI0_MISO	UART2_TX	TPM0_CH3	SPI0_MOSI	FXIO0_D3	
61	A3	29	45	A3	PTD4/ LLWU_P14	禁用		PTD4/ LLWU_P14	SPI1_PCS0	UART2_RX	TPM0_CH4		FXIO0_D4	
62	B3	30	46	C1	PTD5	ADC0_SE6b	ADC0_SE6b	PTD5	SPI1_SCK	UART2_TX	TPM0_CH5		FXIO0_D5	
63	B2	31	47	B2	PTD6/ LLWU_P15	ADC0_SE7b	ADC0_SE7b	PTD6/ LLWU_P15	SPI1_MOSI	LPUART0_ RX	I2C1_SDA	SPI1_MISO	FXIO0_D6	
64	A2	32	48	A2	PTD7	禁用		PTD7	SPI1_MISO	LPUART0_ TX	I2C1_SCL	SPI1_MOSI	FXIO0_D7	

4.2 引脚属性

下表列出了引脚属性。

64 LQFP	36 XFBGA	32 QFN	48 QFN	64 MAPBGA	引脚名称	驱动器强度	POR 后的默认状态	POR 后的上拉/下拉设置	POR 后的压摆率	POR 后的无源引脚滤波器	开漏	引脚中断
—	C1	—	—	—	PTE17	ND	Hi-Z	—	FS	N	N	Y
—	D1	—	—	—	PTE18	ND	Hi-Z	—	FS	N	N	Y
—	F2	9	—	—	VREF0	—	—	—	—	—	—	—
—	—	—	—	C5	NC	—	—	—	—	—	—	—
1	A1	1	—	A1	PTE0	ND	Hi-Z	—	FS	N	N	Y
2	—	—	—	B1	PTE1	ND	Hi-Z	—	FS	N	N	Y
3	—	—	1	—	VDD	—	—	—	—	—	—	—
4	C4	2	2	C4	VSS	—	—	—	—	—	—	—

下一页继续介绍此表...

64 LQFP	36 XFBGA	32 QFN	48 QFN	64 MAPBGA	引脚名称	驱动器强度	POR 后的默认状态	POR 后的上拉/下拉设置	POR 后的压摆率	POR 后的无源引脚滤波器	开漏	引脚中断
5	B1	3	3	E1	USB0_DP	—	—	—	—	—	—	—
6	D2	4	4	D1	USB0_DM	—	—	—	—	—	—	—
7	C3	5	5	E2	USB_VDD	—	—	—	—	—	—	—
8	C2	6	6	D2	PTE16	ND	Hi-Z	—	FS	N	N	Y
9	E3	—	7	G1	PTE20	ND	Hi-Z	—	SS	N	N	Y
10	E2	—	8	F1	PTE21	ND	Hi-Z	—	SS	N	N	Y
11	E1	—	—	G2	PTE22	ND	Hi-Z	—	SS	N	N	Y
12	F1	—	—	F2	PTE23	ND	Hi-Z	—	SS	N	N	Y
13	D3	7	9	F4	VDDA	—	—	—	—	—	—	—
14	D3	7	10	G4	VREFH	—	—	—	—	—	—	—
14	—	—	10	G4	VREFO	—	—	—	—	—	—	—
15	D4	8	11	G3	VREFL	—	—	—	—	—	—	—
16	D4	8	12	F3	VSSA	—	—	—	—	—	—	—
17	—	—	13	H1	PTE29	ND	Hi-Z	—	SS	N	N	Y
18	F2	9	14	H2	PTE30	ND	Hi-Z	—	SS	N	N	Y
19	—	—	—	H3	PTE31	ND	Hi-Z	—	SS	N	N	Y
20	—	—	15	H4	PTE24	ND	Hi-Z	—	SS	N	N	Y
21	—	—	16	H5	PTE25	ND	Hi-Z	—	SS	N	N	Y
22	F3	10	17	D3	PTA0	ND	L	PD	SS	N	N	Y
23	F4	11	18	D4	PTA1	ND	Hi-Z	—	SS	N	N	Y
24	E4	12	19	E5	PTA2	ND	Hi-Z	—	SS	N	N	Y
25	E5	13	20	D5	PTA3	ND	H	PU	FS	N	N	Y
26	F5	14	21	G5	PTA4	ND	H	PU	SS	Y	N	Y
27	—	—	—	F5	PTA5	ND	Hi-Z	—	SS	N	N	Y
28	—	—	—	H6	PTA12	ND	Hi-Z	—	SS	N	N	Y
29	—	—	—	G6	PTA13	ND	Hi-Z	—	SS	N	N	Y
30	C3	15	22	G7	VDD	ND	—	—	—	—	—	—
31	C4	16	23	H7	VSS	ND	—	—	—	—	—	—
32	F6	17	24	H8	PTA18	ND	Hi-Z	—	SS	N	N	Y
33	E6	18	25	G8	PTA19	ND	Hi-Z	—	SS	N	N	Y
34	D5	19	26	F8	PTA20	ND	H	PU	SS	N	Y	Y
35	D6	20	27	F7	PTB0/LLWU_P5	HD	Hi-Z	—	FS	N	N	Y
36	C6	21	28	F6	PTB1	HD	Hi-Z	—	FS	N	N	Y

下一页继续介绍此表...

64 LQFP	36 XFBGA	32 QFN	48 QFN	64 MAPBGA	引脚名称	驱动器强度	POR 后的默认状态	POR 后的上拉/下拉设置	POR 后的压摆率	POR 后的无源引脚滤波器	开漏	引脚中断
37	—	—	29	E7	PTB2	ND	Hi-Z	—	SS	N	N	Y
38	—	—	30	E8	PTB3	ND	Hi-Z	—	SS	N	N	Y
39	—	—	31	E6	PTB16	ND	Hi-Z	—	FS	N	N	Y
40	—	—	32	D7	PTB17	ND	Hi-Z	—	FS	N	N	Y
41	—	—	—	D6	PTB18	ND	Hi-Z	—	SS	N	N	Y
42	—	—	—	C7	PTB19	ND	Hi-Z	—	SS	N	N	Y
43	—	—	33	D8	PTC0	ND	Hi-Z	—	SS	N	N	Y
44	C5	22	34	C6	PTC1/ LLWU_P6/ RTC_CLKIN	ND	Hi-Z	—	SS	N	N	Y
45	B6	23	35	B7	PTC2	ND	Hi-Z	—	SS	N	N	Y
46	B5	24	36	C8	PTC3/ LLWU_P7	HD	Hi-Z	—	FS	N	N	Y
47	—	—	—	E3	VSS	—	—	—	—	—	—	—
48	—	—	—	E4	VDD	—	—	—	—	—	—	—
49	A6	25	37	B8	PTC4/ LLWU_P8	HD	Hi-Z	—	FS	N	N	Y
50	A5	26	38	A8	PTC5/ LLWU_P9	ND	Hi-Z	—	FS	N	N	Y
51	B4	27	39	A7	PTC6/ LLWU_P10	ND	Hi-Z	—	FS	N	N	Y
52	A4	28	40	B6	PTC7	ND	Hi-Z	—	FS	N	N	Y
53	—	—	—	A6	PTC8	ND	Hi-Z	—	SS	N	N	Y
54	—	—	—	B5	PTC9	ND	Hi-Z	—	SS	N	N	Y
55	—	—	—	B4	PTC10	ND	Hi-Z	—	SS	N	N	Y
56	—	—	—	A5	PTC11	ND	Hi-Z	—	SS	N	N	Y
57	—	—	41	C3	PTD0	ND	Hi-Z	—	FS	N	N	Y
58	—	—	42	A4	PTD1	ND	Hi-Z	—	FS	N	N	Y
59	—	—	43	C2	PTD2	ND	Hi-Z	—	FS	N	N	Y
60	—	—	44	B3	PTD3	ND	Hi-Z	—	FS	N	N	Y
61	A3	29	45	A3	PTD4/ LLWU_P14	ND	Hi-Z	—	FS	N	N	Y
62	B3	30	46	C1	PTD5	ND	Hi-Z	—	FS	N	N	Y
63	B2	31	47	B2	PTD6/ LLWU_P15	HD	Hi-Z	—	FS	N	N	Y

下一页继续介绍此表...

64 LQFP	36 XFBGA	32 QFN	48 QFN	64 MAPBGA	引脚名称	驱动器强度	POR 后的默认状态	POR 后的上拉/下拉设置	POR 后的压摆率	POR 后的无源引脚滤波器	开漏	引脚中断
64	A2	32	48	A2	PTD7	HD	Hi-Z	—	FS	N	N	Y

属性	缩写	说明
驱动器强度	ND	标准驱动
	HD	高电平驱动
POR 后的默认状态	Hi-Z	高阻抗
	H	高电平
	L	低电平
POR 后的上拉/下拉设置	PD	上拉
	PU	下拉
POR 后的压摆率	FS	快压摆率
	SS	慢压摆率
POR 后的无源引脚滤波器	N	禁用
	Y	启用
开漏	N	禁用 ¹
	Y	启用 ²
引脚中断	Y	是

1. 当启用 I2C 模块且 I2C 引脚运行时，此引脚（伪）启用开漏模式。当启用 UART 或 LPUART 模块且 UART 或 LPUART 引脚运行时，此引脚（伪）可配置开漏模式。
2. PTA20 为真正的开漏引脚，不得上拉至 VDD 之上。

4.3 模块信号说明表

下面的章节说明芯片级信号名称与模块章节中使用的信号名称的关联。同时简要介绍信号功能和方向。

4.3.1 内核模块

表 9. SWD 信号说明

芯片信号名称	模块信号名称	说明	I/O
SWD_DIO	SWD_DIO	串行线调试数据输入/输出 外部调试工具利用 SWD_DIO 引脚进行通信和设备控制。此引脚在内部上拉。	I/O
SWD_CLK	SWD_CLK	串行线时钟 该引脚在串行线调试模式下作为调试逻辑的时钟。此引脚在内部下拉。	I

4.3.2 系统模块

表 10. 系统信号说明

芯片信号名称	模块信号名称	说明	I/O
NMI	—	非屏蔽中断 注：如果相应引脚选择 NMI 功能，那么将 NMI 信号驱动至低电平会强制生成非屏蔽中断。	I
RESET	—	复位双向信号	I/O
VDD	—	MCU 电源	I
VSS	—	MCU 接地	I

表 11. LLWU 信号说明

芯片信号名称	模块信号名称	说明	I/O
LLWU_Pn	LLWU_Pn	唤醒输入 (n = 5、6、7、8、9、10、14、15)	I

4.3.3 时钟模块

表 12. OSC 信号说明

芯片信号名称	模块信号名称	说明	I/O
EXTAL0	EXTAL	外部时钟/振荡器输入	I
XTAL0	XTAL	振荡器输出	O

4.3.4 模拟

此表所示为 ADC0 模块的信号说明。

表 13. ADC0 信号说明

芯片信号名称	模块信号名称	说明	I/O
ADC0_DPn	DADP3–DADP0	差分模拟通道输入	I
ADC0_DMn	DADM3–DADM0	差分模拟通道输入	I
ADC0_SEn	ADn	单端模拟通道输入	I
VREFH	V _{REFSH}	参考电压（高）	I
VREFL	V _{REFSL}	参考电压（低）	I
VDDA	V _{DDA}	模拟电源	I
VSSA	V _{SSA}	模拟接地	I
EXTRG_IN	ADHWT	硬件触发	I

此表所示为 CMP0 模块的信号说明。

表 14. CMP0 信号说明

芯片信号名称	模块信号名称	说明	I/O
CMP0_IN[5:0]	IN[5:0]	模拟电压输入	I
CMP0_OUT	CMPO	比较器输出	O

表 15. VREF 信号说明

芯片信号名称	模块信号名称	说明	I/O
VREF_OUT	VREF_OUT	内部生成的参考电压输出	O

4.3.5 定时器模块

表 16. TPM0 信号说明

芯片信号名称	模块信号名称	说明	I/O
TPM_CLKIN[1:0]	外部时钟。可选择 TPM 外部时钟，使得每个上升沿与计数器时钟同步的 TPM 计数器递增。		
TPM0_CH[5:0]	TPM 通道（n = 5 至 0）。在输出比较或 PWM 模式下配置且 TPM 计数器使能时，		

表 16. TPM0 信号说明

芯片信号名称	模块信号名称	说明	I/O
	TPM 通道引脚将配置为输出, 否则 TPM 通道引脚为输入。		

表 17. TPM1 信号说明

芯片信号名称	模块信号名称	说明	I/O
TPM_CLKIN[1:0]	外部时钟。可选择 TPM 外部时钟, 使得每个上升沿与计数器时钟同步的 TPM 计数器递增。		
TPM1_CH[1:0]	TPM 通道 (n = 1 至 0)。在输出比较或 PWM 模式下配置且 TPM 计数器使能时, TPM 通道引脚将配置为输出, 否则 TPM 通道引脚为输入。		

表 18. TPM2 信号说明

芯片信号名称	模块信号名称	说明	I/O
TPM_CLKIN[1:0]	外部时钟。可选择 TPM 外部时钟, 使得每个上升沿与计数器时钟同步的 TPM 计数器递增。		
TPM2_CH[1:0]	TPM 通道 (n = 1 至 0)。在输出比较或 PWM 模式下配置且 TPM 计数器使能时, TPM 通道引脚将配置为输出, 否则 TPM 通道引脚为输入。		

表 19. LPTMR0 信号说明

芯片信号名称	模块信号名称	说明	I/O
LPTMR0_ALT[3:1]	LPTMR0_ALT n	脉冲计数器输入引脚	I

表 20. RTC 信号说明

芯片信号名称	模块信号名称	说明	I/O
RTC_CLKOUT ¹	RTC_CLKOUT	1 Hz 方波输出或 OSCERCLK	O

1. RTC_CLKOUT 还可通过 SIM 控制位 SIM_SOPT[RCTCLKOUTSEL]由 OSCERCLK 驱动

4.3.6 通信接口

表 21. USB FS OTG 信号说明

芯片信号名称	模块信号名称	说明	I/O
USB0_DM	usb_dm	USB 总线上的 USB D-模拟数据信号。	I/O
USB0_DP	usb_dp	USB 总线上的 USB D+模拟数据信号。	I/O
USB_CLKIN	—	备用 USB 时钟输入	I

表 22. SPI0 信号说明

芯片信号名称	模块信号名称	说明	I/O
SPI0_MISO	MISO	主机数据输入, 从机数据输出	I/O
SPI0_MOSI	MOSI	主机数据输出, 从机数据输入	I/O
SPI0_SCLK	SPSCK	SPI 串行时钟	I/O
SPI0_PCS0	SS	从机选择	I/O

表 23. SPI1 信号说明

芯片信号名称	模块信号名称	说明	I/O
SPI1_MISO	MISO	主机数据输入, 从机数据输出	I/O
SPI1_MOSI	MOSI	主机数据输出, 从机数据输入	I/O
SPI1_SCLK	SPSCK	SPI 串行时钟	I/O
SPI1_PCS0	SS	从机选择	I/O

表 24. I²C0 信号说明

芯片信号名称	模块信号名称	说明	I/O
I2C0_SCL	SCL	I ² C 系统的双向串行时钟线路。	I/O
I2C0_SDA	SDA	I ² C 系统的双向串行数据线路。	I/O

表 25. I²C1 信号说明

芯片信号名称	模块信号名称	说明	I/O
I2C1_SCL	SCL	I ² C 系统的双向串行时钟线路。	I/O
I2C1_SDA	SDA	I ² C 系统的双向串行数据线路。	I/O

表 26. LPUART0 信号说明

芯片信号名称	模块信号名称	说明	I/O
LPUART0_TX	TxD	发送数据	I/O
LPUART0_RX	RxD	接收数据	I

表 27. LPUART1 信号说明

芯片信号名称	模块信号名称	说明	I/O
LPUART1_TX	TxD	发送数据	I/O
LPUART1_RX	RxD	接收数据	I

表 28. UART2 信号说明

芯片信号名称	模块信号名称	说明	I/O
UART2_TX	TxD	传送数据	O
UART2_RX	RxD	接收数据	I

表 29. FlexIO 信号说明

芯片信号名称	模块信号名称	说明	I/O
FXIO0_Dx	FXIO_Dn (n=0...7)	双向 FlexIO 移位器和定时器 引脚输入/输出	I/O

4.3.7 人机接口(HMI)

表 30. GPIO 信号说明

芯片信号名称	模块信号名称	说明	I/O
PTA[31:0]	PORTA31–PORTA0	通用输入/输出	I/O
PTB[31:0]	PORTB31–PORTB0	通用输入/输出	I/O
PTC[11:0]	PORTC11–PORTC0	通用输入/输出	I/O
PTD[7:0]	PORTD7–PORTD0	通用输入/输出	I/O
PTE[31:0]	PORTE31–PORTE0	通用输入/输出	I/O

4.4 KL27 系列引脚配置

下图所示为 32 QFN 引脚配置。

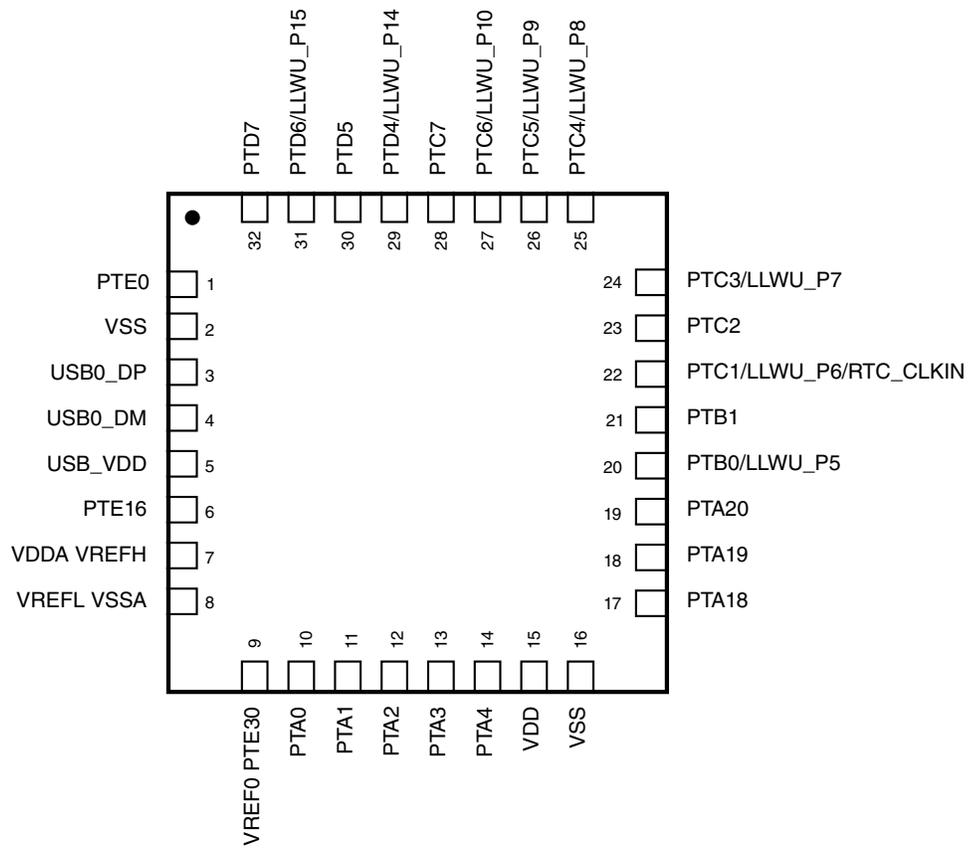


图 6. 32 QFN 引脚配置 (透明俯视图)

下图所示为 48 QFN 引脚配置。

注

此款产品暂不提供 48 QFN 封装。然而，它将包含在 Kinetis MCU 的“Package Your Way”计划中。访问 freescale.com/KPYW 了解更多详情。

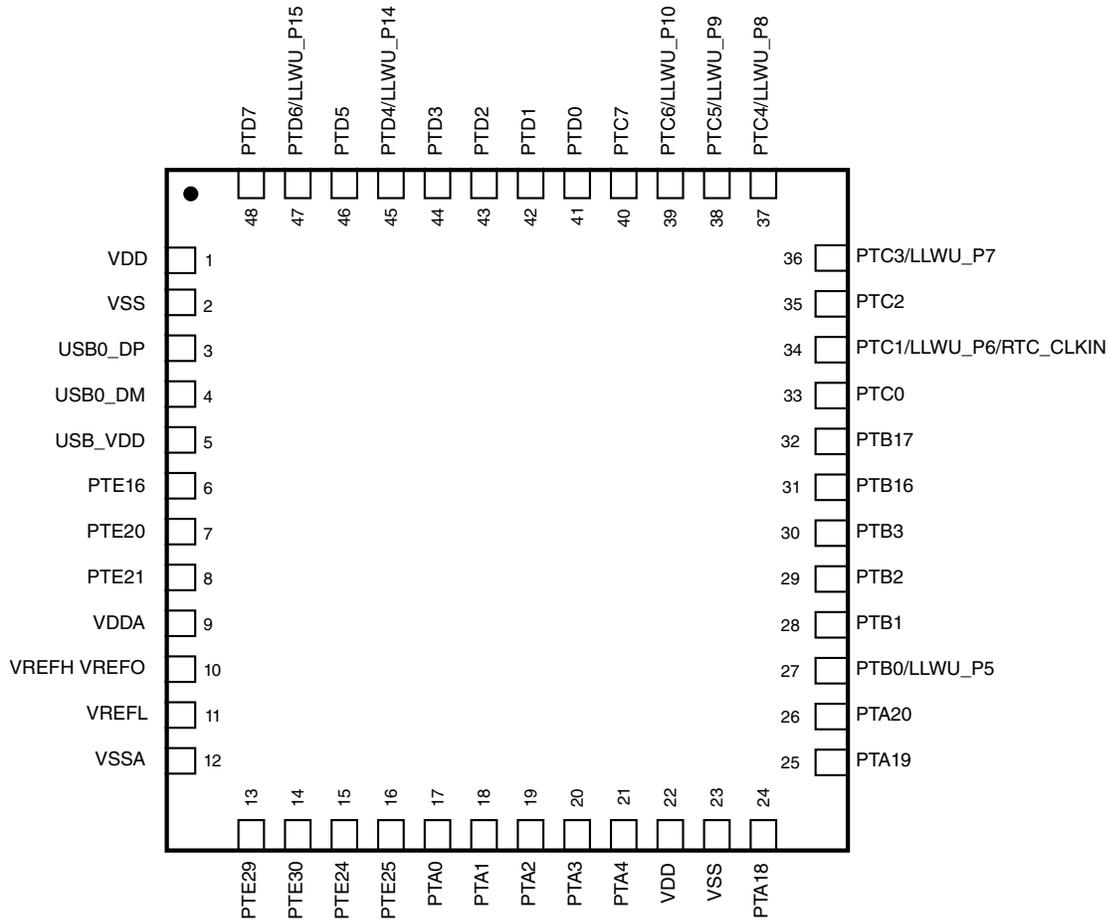


图 7. 48 QFN 引脚配置 (透明俯视图)

下图所示为 64 MAPBGA 引脚配置。

注

此款产品暂不提供 64 MAPBGA 封装。然而，它将包含在 Kinetis MCU 的“Package Your Way”计划中。访问 freescale.com/KPYW 了解更多详情。

	1	2	3	4	5	6	7	8	
A	PTE0	PTD7	PTD4/ LLWU_P14	PTD1	PTC11	PTC8	PTC6/ LLWU_P10	PTC5/ LLWU_P9	A
B	PTE1	PTD6/ LLWU_P15	PTD3	PTC10	PTC9	PTC7	PTC2	PTC4/ LLWU_P8	B
C	PTD5	PTD2	PTD0	VSS	NC	PTC1/ LLWU_P6/ RTC_CLKIN	PTB19	PTC3/ LLWU_P7	C
D	USB0_DM	PTE16	PTA0	PTA1	PTA3	PTB18	PTB17	PTC0	D
E	USB0_DP	USB_VDD	VSS	VDD	PTA2	PTB16	PTB2	PTB3	E
F	PTE21	PTE23	VSSA	VDDA	PTA5	PTB1	PTB0/ LLWU_P5	PTA20	F
G	PTE20	PTE22	VREFL	VREFH VREFO	PTA4	PTA13	VDD	PTA19	G
H	PTE29	PTE30	PTE31	PTE24	PTE25	PTA12	VSS	PTA18	H
	1	2	3	4	5	6	7	8	

图 8. 64 MAPBGA 引脚配置 (透明俯视图)

下图所示为 64 LQFP 引脚配置。

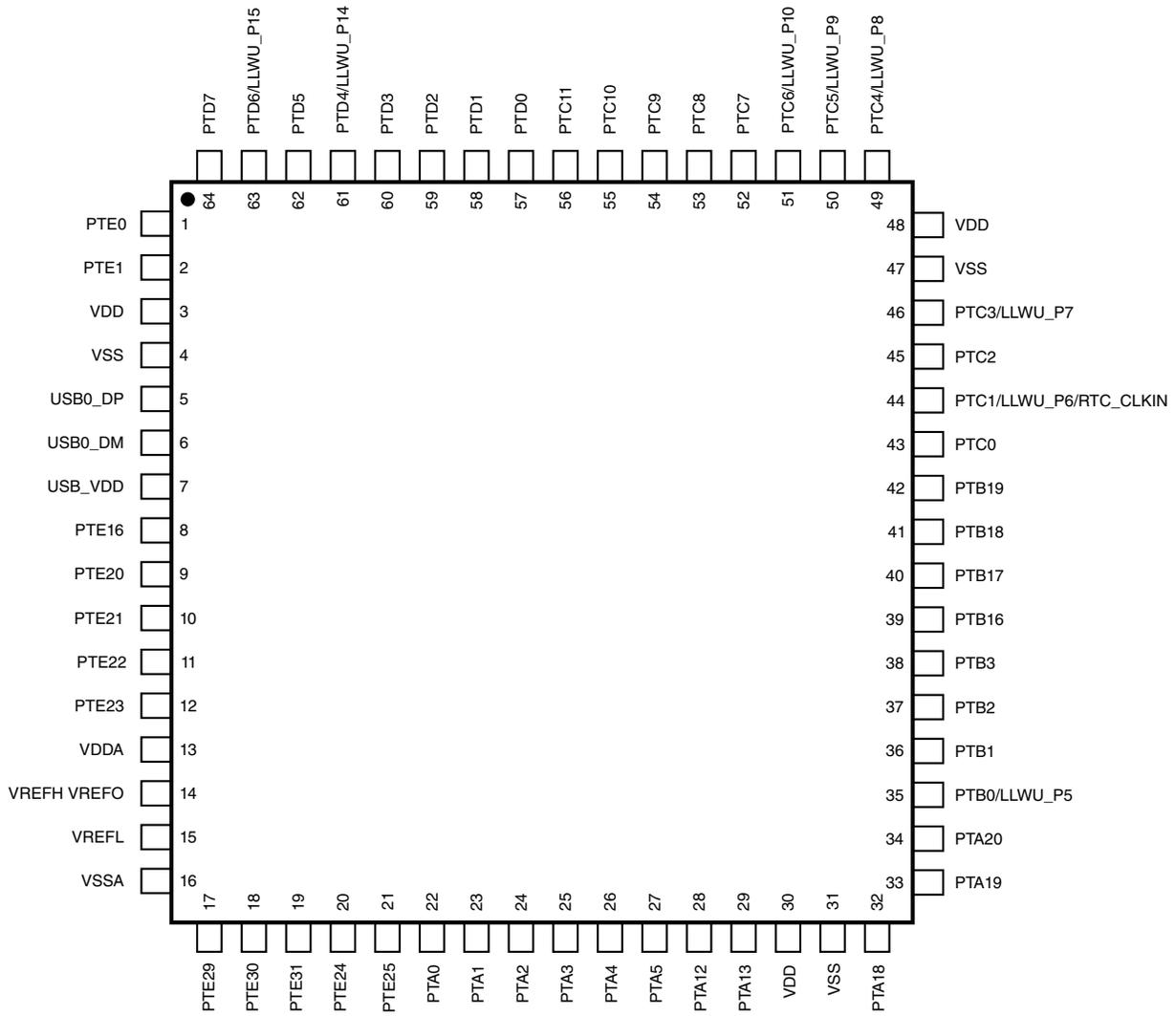


图 9. 64 LQFP 引脚配置 (俯视图)

下图所示为 36 XFBGA 引脚配置:

	1	2	3	4	5	6	
A	PTE0	PTD7	PTD4/ LLWU_P14	PTC7	PTC5/ LLWU_P9	PTC4/ LLWU_P8	A
B	USB0_DP	PTD6/ LLWU_P15	PTD5	PTC6/ LLWU_P10	PTC3/ LLWU_P7	PTC2	B
C	PTE17	PTE16	USB_VDD/ VDD	VSS	PTC1/ LLWU_P6/ RTC_CLKIN	PTB1	C
D	PTE18	USB0_DM	VDDA/ VREFH	VREFL/ VSSA	PTA20	PTB0/ LLWU_P5	D
E	PTE22	PTE21	PTE20	PTA2	PTA3	PTA19	E
F	PTE23	VREF0/ PTE30	PTA0	PTA1	PTA4	PTA18	F
	1	2	3	4	5	6	

图 10. 36 XFBGA 引脚配置 (透明俯视图)

4.5 封装尺寸

下图显示本文档中所支持器件的封装尺寸。

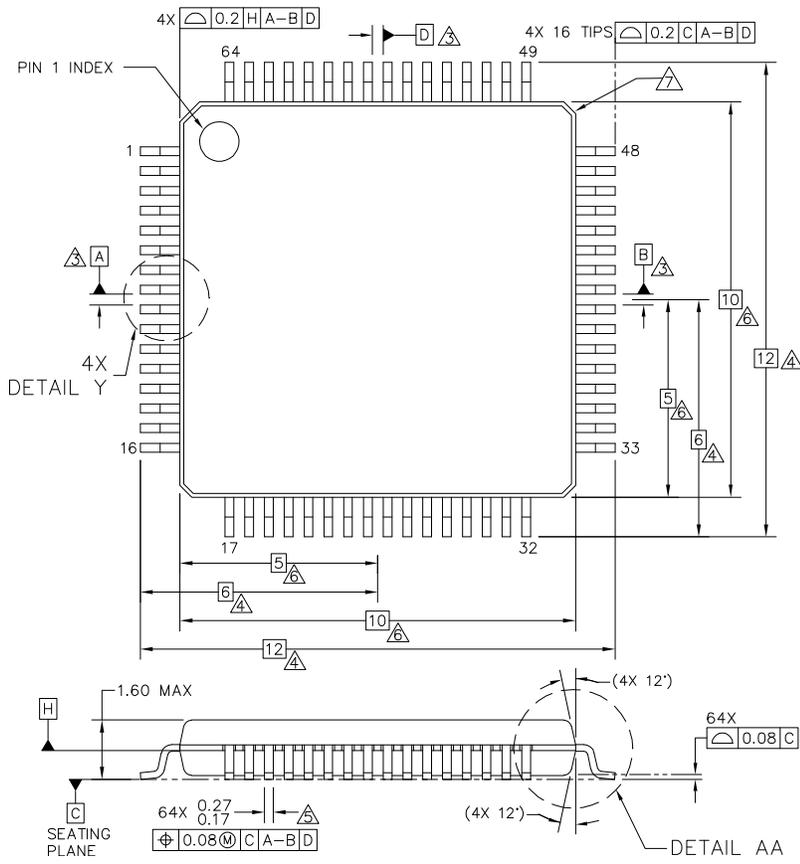
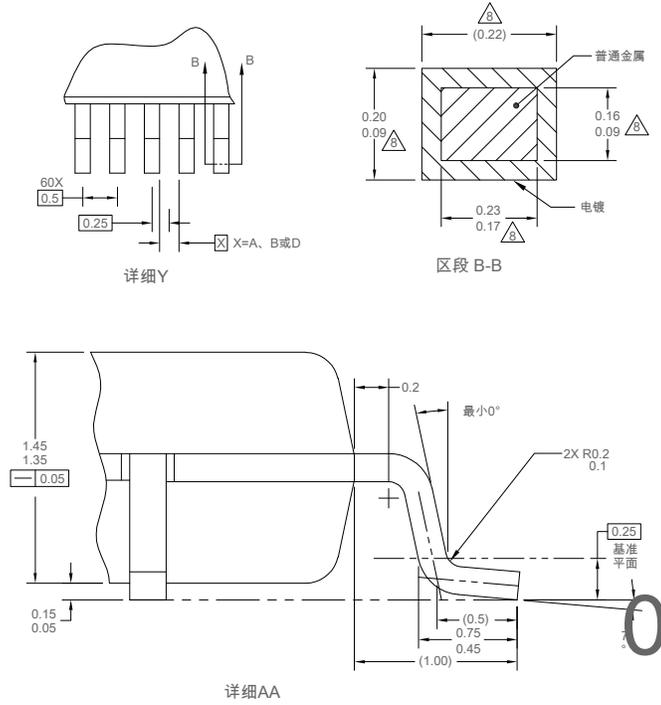


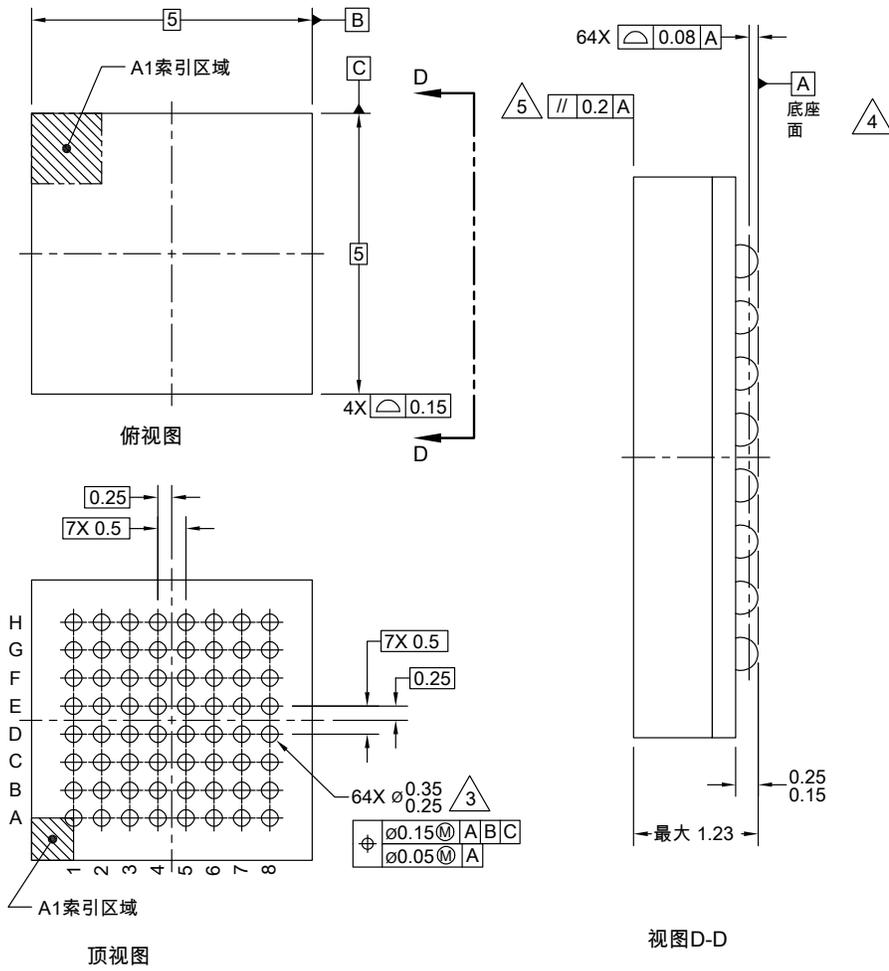
图 11.64 引脚 LQFP 封装尺寸 1



注释：

1. 尺寸单位为毫米。
2. 尺寸和公差遵循ASME Y14.5M-1994。
- ③ 基准A、B和D由基准面H确定。
- ④ 尺寸由底座面C确定。
- △ 该尺寸不包括切中筋突出。允许的切中筋凸出
在最多留料情况下不可导致引线宽度超过上限 (0.08 MM 以上)
。切中筋不能
位于最小半径或底座上。
突出物和相邻引线之间的最小间距不得小于0.07 MM。
- △ 该尺寸不包括模具突出。每侧允许的突出长度
为 0.25 MM。该尺寸为包括模具错位的最大塑料体尺寸大小
。
- △ 可选择每个角的精确形状。
- △ 这些尺寸适用于距离引线顶端
0.1 MM到0.25 MM的引线扁平区段。

图 12. 64 引脚 LQFP 封装尺寸 2



注释：

1. 所有尺寸单位为毫米。
2. 尺寸和公差遵循ASME Y14.5M-1994。
3. \triangle 最大焊球直径平行于基准面A。
4. \triangle 基准面A、底座面由焊球的球冠决定。
5. \triangle 平行度测量应排除封装上表面标记的影响。

图 13. 64 引脚 MAPBGA 封装尺寸

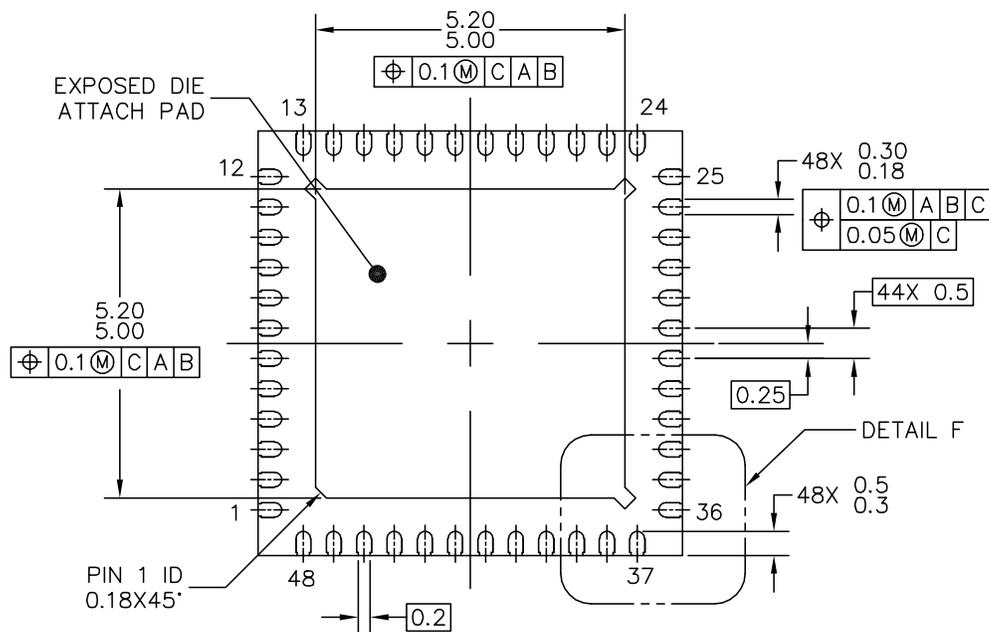
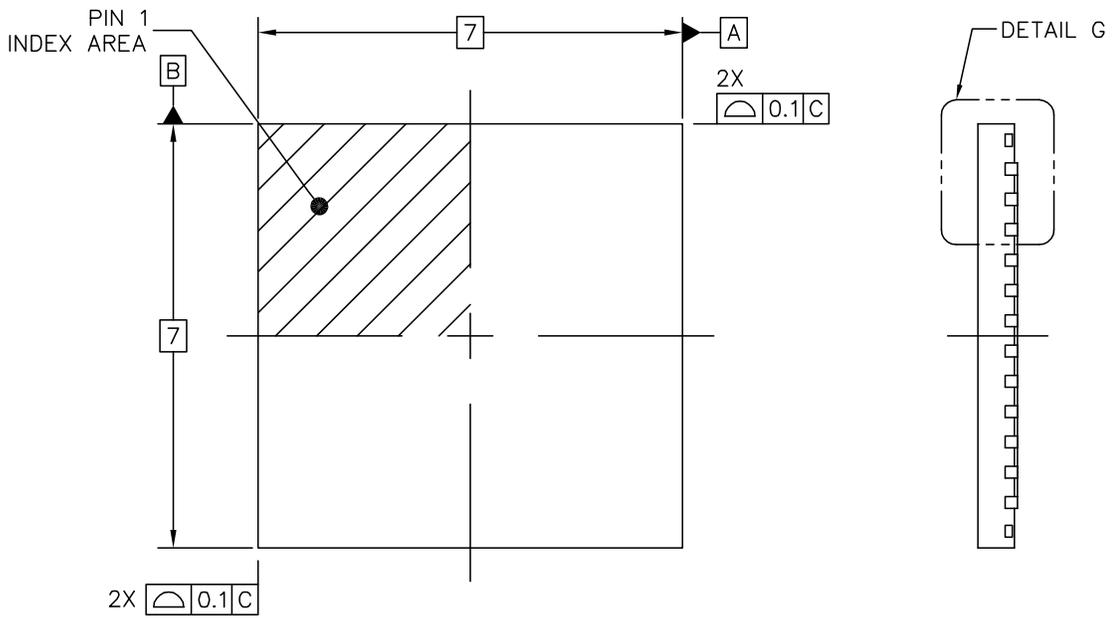
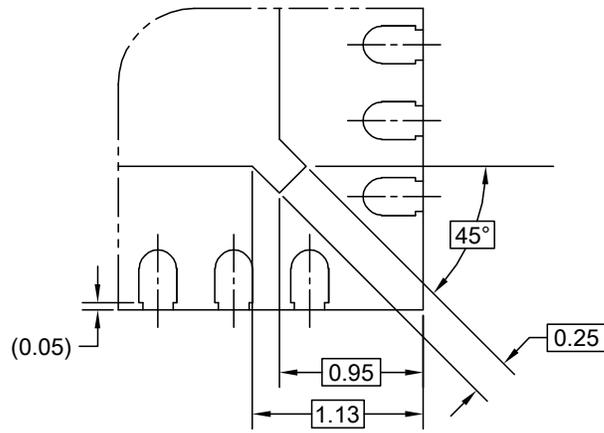
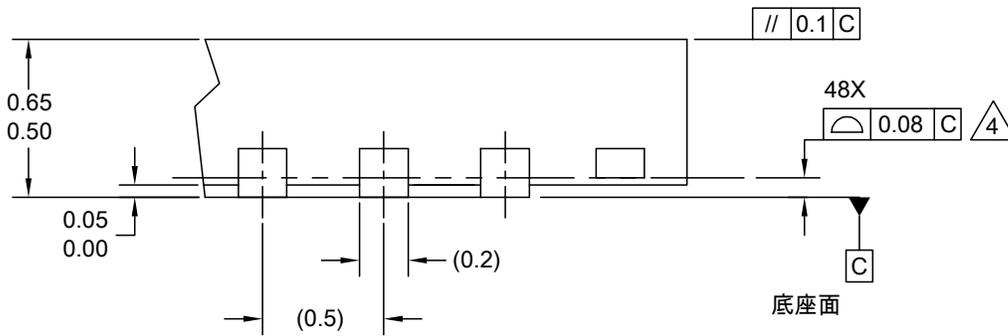


图 14. 48 引脚 QFN 封装尺寸 1



详细F



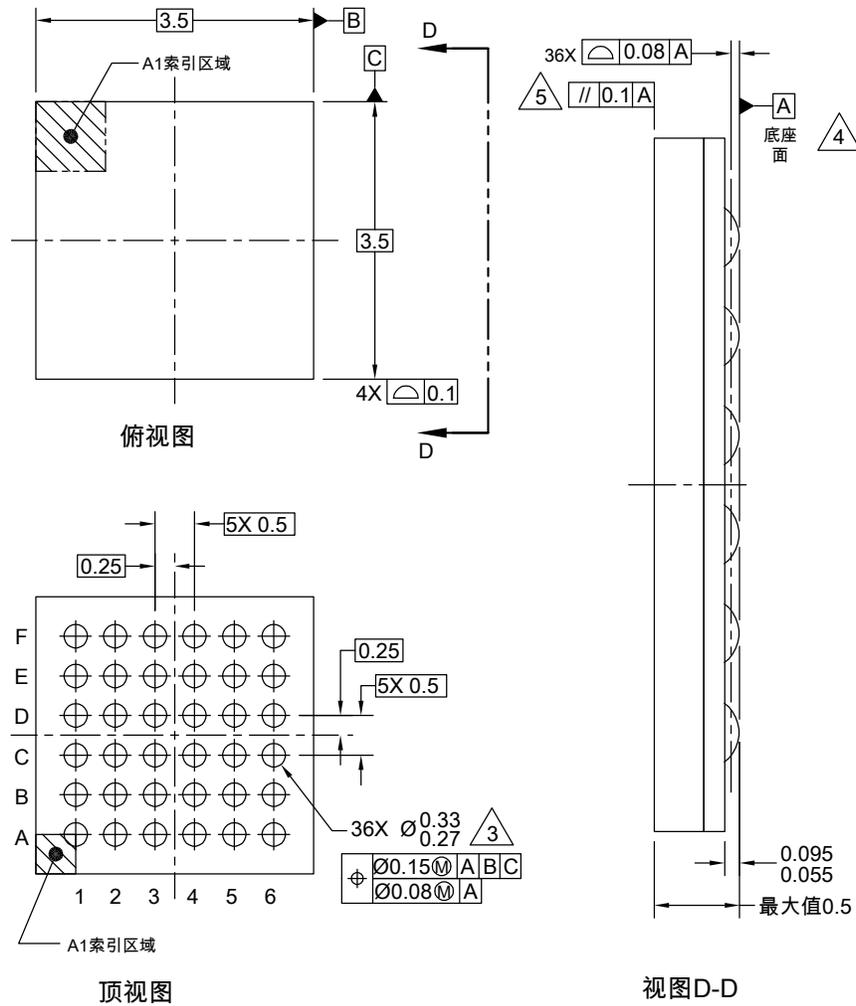
G

局部放大视图顺时针旋转90度

注释：

1. 所有尺寸单位为毫米。
2. 尺寸和公差遵循ASME Y14.5M-1994。
3. 这是非JEDEC注册封装。
4. 共面采用引线 and 芯片贴装标志。
5. 最小金属间隙为0.2 MM。

图 15. 48 引脚 QFN 封装尺寸 2



注释：

1. 所有尺寸单位为毫米。
2. 尺寸和公差遵循ASME Y14.5M-1994。
3. 最大焊球直径平行于基准面A。
4. 基准面A、底座面由焊球的球冠决定。
5. 平行度测量应排除封装上表面标记的影响。

图 16. 36 引脚 XFBGA 封装尺寸

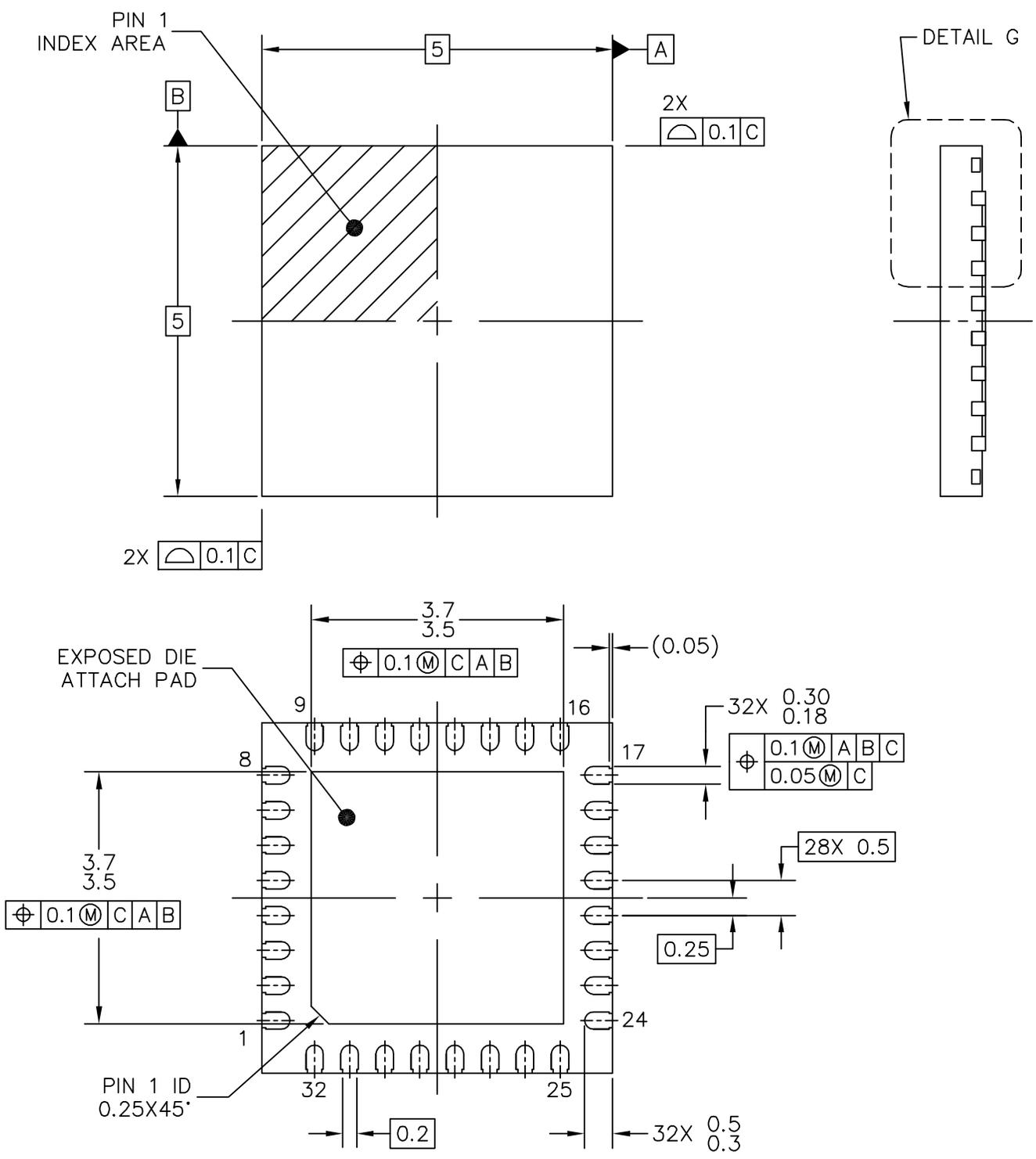
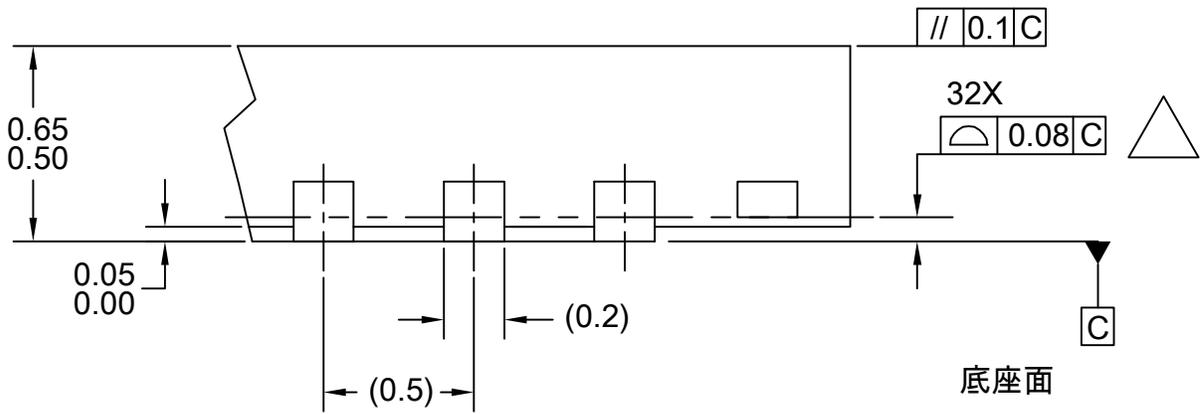


图 17.32 引脚 QFN 封装尺寸 1



G
局部放大视图顺时针旋转90度

注释：

1. 所有尺寸单位为毫米。
2. 尺寸和公差遵循ASME Y14.5M-1994。
3. 这是非JEDEC注册封装。
4. 共面采用引线 and 芯片贴装标志。
5. 最小金属间隙为0.2 MM。

图 18. 32 引脚 QFN 封装尺寸 2

5 电气特性

5.1 额定值

5.1.1 热操作额定值

表 31. 热操作额定值

符号	说明	最小值	最大值	单位	注释
T _{STG}	存储温度	-55	150	°C	1
T _{SDR}	无铅焊接温度	—	260	°C	2

1. 根据 JEDEC 标准 JESD22-A103“高温存储时间”确定。
2. 根据 IPC/JEDEC 标准 J-STD-020“非密封固态表面安装器件的潮湿/回流敏感度分级”确定。

5.1.2 湿度操作额定值

表 32. 湿度操作额定值

符号	说明	最小值	最大值	单位	注释
MSL	湿度灵敏度等级	—	3	—	1

1. 根据 IPC/JEDEC 标准 J-STD-020“非密封固态表面安装器件的潮湿/回流敏感度分级”确定。

5.1.3 ESD 操作额定值

表 33. ESD 操作额定值

符号	说明	最小值	最大值	单位	注释
V _{HBM}	静电放电电压, 人体放电模式	-2000	+2000	V	1
V _{CDM}	静电放电电压, 设备充电模式	-500	+500	V	2
I _{LAT}	105 °C 环境温度下的门锁电流	-100	+100	mA	3

1. 根据 JEDEC 标准 JESD22-A114“静电放电(ESD)灵敏度测试人体放电模式(HBM)标准”确定。
2. 根据 JEDEC 标准 JESD22-C101“微电子组件静电放电耐压阈值的电场感应器件充电模式测试方法”确定。
3. 根据 JEDEC 标准 JESD78“IC 门锁测试”确定。

5.1.4 电压和电流绝对操作极限

表 34. 电压和电流绝对操作极限

符号	说明	最小值	最大值	单位
V _{DD}	数字供电电压	-0.3	3.8	V
I _{DD}	数字供电电流	—	120	mA
V _{IO}	IO 引脚输入电压	-0.3	V _{DD} + 0.3	V
I _D	单引脚瞬态最大电流限值 (适用于所有端口引脚)	-25	25	mA
V _{DDA}	模拟供电电压	V _{DD} - 0.3	V _{DD} + 0.3	V

下一页继续介绍此表...

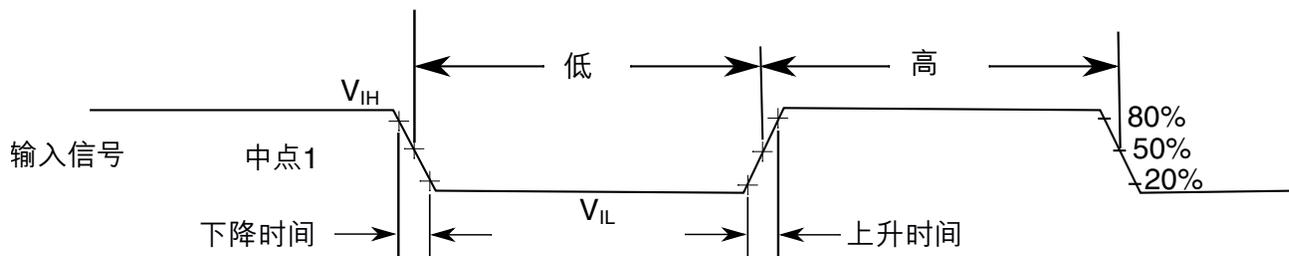
表 34. 电压和电流绝对操作极限 (继续)

符号	说明	最小值	最大值	单位
$V_{\text{USB_DP}}$	USB_DP 输入电压	-0.3	3.63	V
$V_{\text{USB_DM}}$	USB_DM 输入电压	-0.3	3.63	V

5.2 通用

5.2.1 交流电气特性

除非另有说明，否则传输延迟在 50% 到 50% 点处测得，上升时间和下降时间在 20% 和 80% 点处测得，如下图所示。



中点是 $V_{\text{IL}} + (V_{\text{IH}} - V_{\text{IL}}) / 2$

图 19. 输入信号测量参考

除非另有说明，否则所有数字 I/O 开关特性均假设输出引脚具备下列特性。

- $C_L=30$ pF 负载
- 压摆率禁用
- 正常驱动强度

5.2.2 静态电气规格

5.2.2.1 电压和电流工作要求

表 35. 电压和电流工作要求

符号	说明	最小值	最大值	单位	注释
V_{DD}	供电电压	1.71	3.6	V	1
USB_ V_{DD}	供电电压	3.0	3.6	V	2
V_{DDA}	模拟供电电压	1.71	3.6	V	

下一页继续介绍此表...

表 35. 电压和电流工作要求 (继续)

符号	说明	最小值	最大值	单位	注释
$V_{DD} - V_{DDA}$	V_{DD} 至 V_{DDA} 差分电压	-0.1	0.1	V	
$V_{SS} - V_{SSA}$	V_{SS} 至 V_{SSA} 差分电压	-0.1	0.1	V	
V_{IH}	输入高电压 <ul style="list-style-type: none"> $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ $1.7\text{ V} \leq V_{DD} \leq 2.7\text{ V}$ 	$0.7 \times V_{DD}$	—	V	
		$0.75 \times V_{DD}$	—	V	
V_{IL}	输入低电压 <ul style="list-style-type: none"> $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ $1.7\text{ V} \leq V_{DD} \leq 2.7\text{ V}$ 	—	$0.35 \times V_{DD}$	V	
		—	$0.3 \times V_{DD}$	V	
V_{HYS}	输入迟滞	$0.06 \times V_{DD}$	—	V	
I_{ICIO}	IO 引脚负直流注入电流——单引脚 <ul style="list-style-type: none"> $V_{IN} < V_{SS}-0.3\text{V}$ 	-3	—	mA	3
I_{ICcont}	连续引脚直流注入电流——区域限制, 包括 16 个连续引脚的负注入电流之和 <ul style="list-style-type: none"> 负电流注入 	-25	—	mA	
V_{ODPU}	开漏上拉电压电平	V_{DD}	V_{DD}	V	4
V_{RAM}	保持 RAM 数据所需的 V_{DD} 电压	1.2	—	V	

- 要在 36XFBGA 封装上使用 USB, 必须将最小值限制为 3.0V。
- 36XFBGA 封装上用于 USB 和芯片其他部分的电源引脚互相连接。USB_VDD 的纹波电压限制为 100 mV。
- 所有 I/O 引脚均通过 ESD 保护二极管内部钳位至 V_{SS} 。 V_{DD} 未连接二极管。如果发现 V_{IN} 大于 V_{IO_MIN} ($= V_{SS}-0.3\text{ V}$), 则无需在焊盘上提供限流电阻。如果没有发现, 则需提供限流电阻。负直流注入电流的限流电阻计算公式是: $R = (V_{IO_MIN} - V_{IN})/|I_{ICIO}|$ 。
- 开漏输出必须上拉至 V_{DD} 。

5.2.2.2 LVD 和 POR 工作要求

表 36. V_{DD} 电源 LVD 和 POR 工作要求

符号	说明	最小值	典型值	最大值	单位	注释
V_{POR}	下降沿电压 V_{DD} POR 检测电压	0.8	1.1	1.5	V	—
V_{LVDH}	下降沿低压检测阈值 — 高范围(LVDV = 01)	2.48	2.56	2.64	V	—
V_{LVW1H} V_{LVW2H} V_{LVW3H} V_{LVW4H}	低压警告阈值 — 高范围 <ul style="list-style-type: none"> 1 级压降(LVWV = 00) 2 级压降(LVWV=01) 3 级压降(LVWV=10) 4 级压降(LVWV=11) 	2.62	2.70	2.78	V	1
		2.72	2.80	2.88	V	
		2.82	2.90	2.98	V	
		2.92	3.00	3.08	V	
V_{HYSH}	低压抑制复位/恢复迟滞 — 高范围	—	±60	—	mV	—
V_{LVDL}	下降沿低压检测阈值 — 低范围(LVDV=00)	1.54	1.60	1.66	V	—

下一页继续介绍此表...

表 36. V_{DD} 电源 LVD 和 POR 工作要求 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
V_{LVW1L}	低压警告阈值 — 低范围 • 1 级压降(LVWV = 00)	1.74	1.80	1.86	V	1
V_{LVW2L}	• 2 级压降(LVWV=01)	1.84	1.90	1.96	V	
V_{LVW3L}	• 3 级压降(LVWV=10)	1.94	2.00	2.06	V	
V_{LVW4L}	• 4 级压降(LVWV=11)	2.04	2.10	2.16	V	
V_{HYSL}	低压抑制复位/恢复迟滞 — 低范围	—	±40	—	mV	—
V_{BG}	带隙电压参考	0.97	1.00	1.03	V	—
t_{LPO}	内部低功耗振荡器周期 — 工厂调整	900	1000	1100	µs	—

1. 上升沿阈值 = 下降沿阈值 + 迟滞电压

5.2.2.3 电压和电流特性

表 37. 电压和电流特性

符号	说明	最小值	最大值	单位	注释
V_{OH}	输出高电压 — 标准驱动引脚 • $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, $I_{OH} = -5\text{ mA}$ • $1.71\text{ V} \leq V_{DD} \leq 2.7\text{ V}$, $I_{OH} = -2.5\text{ mA}$	$V_{DD} - 0.5$ $V_{DD} - 0.5$	— —	V V	1
V_{OH}	输出高电压 — 高电平驱动引脚 • $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, $I_{OH} = -20\text{ mA}$ • $1.71\text{ V} \leq V_{DD} \leq 2.7\text{ V}$, $I_{OH} = -10\text{ mA}$	$V_{DD} - 0.5$ $V_{DD} - 0.5$	— —	V V	1
I_{OHT}	所有端口的总输出高电流	—	100	mA	
V_{OL}	输出低电压 — 标准驱动引脚 • $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, $I_{OL} = 5\text{ mA}$ • $1.71\text{ V} \leq V_{DD} \leq 2.7\text{ V}$, $I_{OL} = 2.5\text{ mA}$	— —	0.5 0.5	V V	1
V_{OL}	输出低电压 — 高电平驱动引脚 • $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, $I_{OL} = 20\text{ mA}$ • $1.71\text{ V} \leq V_{DD} \leq 2.7\text{ V}$, $I_{OL} = 10\text{ mA}$	— —	0.5 0.5	V V	1
I_{OLT}	所有端口的总输出低电流	—	100	mA	
I_{IN}	全温度范围的输入漏电流 (每个引脚)	—	1	µA	2
I_{IN}	25 °C 下的输入漏电流 (每个引脚)	—	0.025	µA	2
I_{IN}	全温度范围的输入漏电流 (所有引脚的总值)	—	64	µA	2
I_{OZ}	Hi-Z (关闭状态) 漏电流 (每个引脚)	—	1	µA	
R_{PU}	内部上拉电阻	20	50	kΩ	3

- PTB0、PTB1、PTC3、PTC4、PTD6 和 PTD7 I/O 同时具有高电平驱动和常规驱动能力，由相关的 PTx_PCRn[DSE]控制位进行选择。所有其他 GPIO 都只有常规驱动能力。
- 在 $V_{DD} = 3.6\text{ V}$ 时测量

3. 在 V_{DD} 供电电压 = V_{DD} (最小值) 且 $V_{input} = V_{SS}$ 时测量

5.2.2.4 运行模式转换特性

下表中, 除 t_{POR} 和 $VLLSx \rightarrow RUN$ 恢复时间外的所有特性均假定时钟配置如下:

- CPU 和系统时钟 = 48 MHz
- 总线和 Flash 时钟 = 24 MHz
- HIRC 时钟模式

表 38. 运行模式转换特性

符号	说明	最小值	典型值	最大值	单位	注释
t_{POR}	POR 事件后, 在芯片工作温度范围内, 从 V_{DD} 达到 1.8 V 到执行第一条指令所需的时间。	—	—	300	μs	
	• $VLLS0 \rightarrow RUN$	—	152	166	μs	
	• $VLLS1 \rightarrow RUN$	—	152	166	μs	
	• $VLLS3 \rightarrow RUN$	—	93	104	μs	
	• $LLS \rightarrow RUN$	—	7.5	8	μs	
	• $VLPS \rightarrow RUN$	—	7.5	8	μs	
	• $STOP \rightarrow RUN$	—	7.5	8	μs	

5.2.2.5 功耗特性

下表列出的最大值表示相当于均值加上三倍标准偏差的表征结果(均值 + 3 倍标准差)。

注

while(1)测试在 flash 高速缓存使能时执行。

表 39. 功耗特性

符号	说明	最小值	典型值	最大值	单位	注释
I_{DDA}	模拟供电电流	—	—	参见注释	mA	1
I_{DD_RUNCO}	在计算操作模式下运行 Flash 中的 CoreMark - 48M HIRC 模式, 48 MHz 内核/ 24 MHz Flash, $V_{DD} = 3.0 V$					2

下一页继续介绍此表...

表 39. 功耗特性 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
	<ul style="list-style-type: none"> • 25 °C 时 • 105 °C 时 	—	4.79 4.94	4.98 5.14	mA	
I _{DD_RUNCO}	在计算操作模式下运行 Flash 中的 While(1)循环 - 48M HIRC 模式, 48 MHz 内核/ 24 MHz Flash, V _{DD} = 3.0 V <ul style="list-style-type: none"> • 25 °C 时 • 105 °C 时 	—	2.73 2.9	2.87 3.05	mA	
I _{DD_RUN}	运行模式电流 - 48M HIRC 模式, 运行 Flash 中的 CoreMark, 所有外设时钟禁用, 48 MHz 内核/24 MHz Flash, V _{DD} = 3.0 V <ul style="list-style-type: none"> • 25 °C 时 • 105 °C 时 	— —	5.45 5.6	5.67 5.82	mA	2
I _{DD_RUN}	运行模式电流 - 48M HIRC 模式, 运行 Flash 中的 CoreMark, 所有外设时钟禁用, 24 MHz 内核/12 MHz Flash, V _{DD} = 3.0 V <ul style="list-style-type: none"> • 25 °C 时 • 105 °C 时 	— —	3.41 3.56	3.55 3.70	mA mA	2
I _{DD_RUN}	运行模式电流 - 48M HIRC 模式, 运行 Flash 中的 CoreMark, 所有外设时钟禁用, 12 MHz 内核/6 MHz Flash, V _{DD} = 3.0 V <ul style="list-style-type: none"> • 25 °C 时 • 105 °C 时 	—	2.37 2.52	2.49 2.65	mA	2
I _{DD_RUN}	运行模式电流 - 48M HIRC 模式, 运行 Flash 中的 CoreMark, 所有外设时钟启用, 48 MHz 内核/24 MHz Flash, V _{DD} = 3.0 V <ul style="list-style-type: none"> • 25 °C 时 • 105 °C 时 	—	7.05 7.2	7.33 7.49	mA	2
I _{DD_RUN}	运行模式电流 - 48M HIRC 模式, 运行 Flash 中的 While(1)循环, 所有外设时钟禁用, 48 MHz 内核/ 24 MHz Flash, V _{DD} = 3.0 V <ul style="list-style-type: none"> • 25 °C 时 • 105 °C 时 	—	3.39 3.57	3.53 3.71	mA	
I _{DD_RUN}	运行模式电流 - 48M HIRC 模式, 运行 Flash 中的 While(1)循环, 所有外设时钟禁用, 24 MHz 内核/ 12 MHz Flash, V _{DD} = 3.0 V <ul style="list-style-type: none"> • 25 °C 时 • 105 °C 时 	—	2.36 2.53	2.48 2.66	mA	
I _{DD_RUN}	运行模式电流 - 48M HIRC 模式, 运行 Flash 中的 While(1)循环, 所有外设时钟禁用, 12 MHz 内核/ 6 MHz Flash, V _{DD} = 3.0 V	—	1.84	1.93	mA	

下一页继续介绍此表...

表 39. 功耗特性 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
	<ul style="list-style-type: none"> • 25 °C 时 • 105 °C 时 		2	2.10		
I _{DD_RUN}	运行模式电流 - 48M HIRC 模式, 运行 Flash 中的 While(1)循环, 所有外设时钟使能, 48 MHz 内核/24 MHz Flash, V _{DD} = 3.0 V <ul style="list-style-type: none"> • 25 °C 时 • 105 °C 时 	—	4.98 5.16	5.18 5.37	mA	
I _{DD_VLPRCO}	在计算操作模式下极低功耗运行 Flash 中的内核标志 — 8 MHz LIRC 模式、4 MHz 内核/1 MHz flash、V _{DD} = 3.0 V <ul style="list-style-type: none"> • 25 °C 时 	—	710	752.6	μA	
I _{DD_VLPRCO}	在计算操作模式下极低功耗运行 SRAM 中的 While(1)循环 - 8 MHz LIRC 模式, 4 MHz 内核/ 1 MHz Flash, V _{DD} = 3.0 V <ul style="list-style-type: none"> • 25 °C 时 	—	251	376.5	μA	
I _{DD_VLPRCO}	在计算操作模式下极低功耗运行 SRAM 中的 While(1)循环 - 2 MHz LIRC 模式, 2 MHz 内核/0.5 MHz Flash, V _{DD} = 3.0 V <ul style="list-style-type: none"> • 25 °C 时 	—	115	143.75	μA	
I _{DD_VLPR}	极低功耗运行模式电流 - 2 MHz LIRC 模式, Flash 中的 While(1)循环, 所有外设时钟禁用, 2 MHz 内核/ 0.5 MHz Flash, V _{DD} = 3.0 V <ul style="list-style-type: none"> • 25 °C 时 	—	91	136.5	μA	
I _{DD_VLPR}	极低功耗运行模式电流 - 2 MHz LIRC 模式, Flash 中的 While(1)循环, 所有外设时钟禁用, 125 kHz 内核/31.25 kHz Flash, V _{DD} = 3.0 V <ul style="list-style-type: none"> • 25 °C 时 	—	34	51	μA	
I _{DD_VLPR}	极低功耗运行模式电流 - 8 MHz LIRC 模式, flash 中的 While(1)循环, 所有外设时钟禁用, 4 MHz 内核/1 MHz Flash, V _{DD} = 3.0 V <ul style="list-style-type: none"> • 25 °C 时 	—	212	318	μA	
I _{DD_VLPR}	极低功耗运行模式电流 - 8 MHz LIRC 模式, flash 中的 While(1)循环, 所有外设时钟使能, 4 MHz 内核/1 MHz Flash, V _{DD} = 3.0 V <ul style="list-style-type: none"> • 25 °C 时 	—	302	392.6	μA	
I _{DD_WAIT}	待机模式电流 - 内核禁用, 48 MHz 系统/24 MHz 总线, Flash 禁用 (Flash 休眠模式使能), 所有外设时钟禁用, MCG_Lite 处于 HIRC 模式, V _{DD} = 3.0 V <ul style="list-style-type: none"> • 25 °C 时 	—	1.81	2.12	mA	
I _{DD_WAIT}	待机模式电流 - 内核禁用, 24 MHz 系统/12 MHz 总线, Flash 禁用 (Flash 休眠模式使能), 所有外设时钟禁用, MCG_Lite 处于 HIRC 模式, V _{DD} = 3.0 V <ul style="list-style-type: none"> • 25 °C 时 	—	1.27	1.46	mA	

下一页继续介绍此表...

表 39. 功耗特性 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
I _{DD_VLPW}	极低功耗待机模式电流, 内核禁用, 4 MHz 系统/1 MHz 总线和 Flash, 所有外设时钟禁用, V _{DD} = 3.0 V • 25 °C 时	—	156	193.2	μA	
I _{DD_VLPW}	极低功耗待机模式电流, 内核禁用, 2 MHz 系统/0.5 MHz 总线和 Flash, 所有外设时钟禁用, V _{DD} = 3.0 V • 25 °C 时	—	63	100.8	μA	
I _{DD_VLPW}	极低功耗待机模式电流, 内核禁用, 125 kHz 系统/31.25 kHz 总线和 Flash, 所有外设时钟禁用, V _{DD} = 3.0 V • 25 °C 时	—	32	48	μA	
I _{DD_PSTOP2}	局部停止 2 模式, 内核和系统时钟禁用, 12 MHz 总线和 Flash, V _{DD} = 3.0 V • 25 °C 时	—	1.68	2.05	mA	
I _{DD_PSTOP2}	局部停止 2 模式, 内核和系统时钟禁用, Flash 休眠模式使能, 12 MHz 总线, V _{DD} = 3.0 V • 25 °C 时	—	1.05	1.26	mA	
I _{DD_STOP}	STOP 模式电流, 在 3.0 V 电压下 • 25 °C 及以下 • 50 °C 时 • 85 °C 时 • 105 °C 时	— — — —	158.1 171 203.8 251.7	175.81 180.24 228.64 300.06	μA	
I _{DD_VLPS}	极低功耗 STOP 模式电流, 在 3.0 V 电压下 • 25 °C 及以下 • 50 °C 时 • 85 °C 时 • 105 °C 时	— — — —	2.34 5.04 20.48 42.34	3.80 8.03 31.97 65.78	μA	
I _{DD_VLPS}	极低功耗 STOP 模式电流, 在 1.8 V 电压下 • 25 °C 及以下 • 50 °C 时 • 85 °C 时 • 105 °C 时	— — — —	2.33 4.95 20.18 41.93	3.80 7.94 31.57 65.17	μA	
I _{DD_LLS}	低漏 STOP 模式电流, 所有外设禁用, 在 3.0 V 电压下 • 25 °C 及以下 • 50 °C 时 • 70 °C 时 • 85 °C 时 • 105 °C 时	— — — — —	1.71 2.59 4.46 7.55 17.03	1.96 3.30 7.06 10.15 22.67	μA	

下一页继续介绍此表...

表 39. 功耗特性 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
I_{DD_LLS}	低漏 STOP 模式电流及 RTC 电流, 在 3.0 V 电压下 <ul style="list-style-type: none"> • 25 °C 及以下 • 50 °C 时 • 70 °C 时 • 85 °C 时 • 105 °C 时 	—	2.27	2.52	μA	3
I_{DD_LLS}	低漏 STOP 模式电流及 RTC 电流, 在 1.8 V 电压下 <ul style="list-style-type: none"> • 25 °C 及以下 • 50 °C 时 • 70 °C 时 • 85 °C 时 • 105 °C 时 	—	2.1	2.35	μA	3
I_{DD_VLLS3}	极低漏电 STOP 模式 3 电流, 所有外设禁用, 在 3.0 V 电压下 <ul style="list-style-type: none"> • 25 °C 及以下 • 50 °C 时 • 70 °C 时 • 85 °C 时 • 105 °C 时 	—	1.43	1.58	μA	
I_{DD_VLLS3}	极低漏电 STOP 模式 3 电流及 RTC 电流, 在 3.0 V 电压下 <ul style="list-style-type: none"> • 25 °C 及以下 • 50 °C 时 • 70 °C 时 • 85 °C 时 • 105 °C 时 	—	1.83	1.98	μA	3
I_{DD_VLLS3}	极低漏电 STOP 模式 3 电流及 RTC 电流, 在 1.8 V 电压下 <ul style="list-style-type: none"> • 25 °C 及以下 • 50 °C 时 • 70 °C 时 • 85 °C 时 • 105 °C 时 	—	1.68	1.83	μA	3
I_{DD_VLLS1}	极低漏电 STOP 模式 1 电流, 所有外设禁用, 在 3.0 V 电压下 <ul style="list-style-type: none"> • 25 °C 及以下 	—	0.84	1.06		
		—	1.19	1.33		

下一页继续介绍此表...

表 39. 功耗特性 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
	<ul style="list-style-type: none"> • 50°C 时 • 70°C 时 • 85°C 时 • 105 °C 时 	—	2.03	2.62	μA	
I _{DD_VLLS1}	极低功耗漏电 STOP 模式 1 电流, RTC 使能, 在 3.0 V 电压下 <ul style="list-style-type: none"> • 25 °C 及以下 • 50°C 时 • 70°C 时 • 85°C 时 • 105 °C 时 	—	1.26	1.48	μA	3
		—	1.61	1.75		
		—	2.5	3.09		
		—	4.07	4.66		
		—	9	10.45		
I _{DD_VLLS1}	极低功耗漏电 STOP 模式 1 电流, RTC 使能, 在 1.8 V 电压下 <ul style="list-style-type: none"> • 25 °C 及以下 • 50°C 时 • 70°C 时 • 85°C 时 • 105 °C 时 	—	1.08	1.30	μA	3
		—	1.42	1.56		
		—	2.21	2.80		
		—	3.59	4.18		
		—	8.02	9.47		
I _{DD_VLLS0}	极低漏电 STOP 模式 0 电流, 所有外设禁用 (SMC_STOPCTRL[PORPO] = 0), 在 3.0 V 电压下 <ul style="list-style-type: none"> • 25 °C 及以下 • 50 °C 时 • 70 °C 时 • 85 °C 时 • 105 °C 时 	—	262	360	nA	
		—	593	725		
		—	1430	2014		
		—	2930	3514		
		—	7930	9895		
I _{DD_VLLS0}	极低漏电 STOP 模式 0 电流, 所有外设禁用 (SMC_STOPCTRL[PORPO] = 1), 在 3.0 V 电压下 <ul style="list-style-type: none"> • 25 °C 及以下 • 50 °C 时 • 70 °C 时 • 85 °C 时 • 105 °C 时 	—	87	185	nA	4
		—	417	549		
		—	1230	1230		
		—	2720	3304		
		—	7780	9745		

1. 模拟供电电流等于器件上每个模拟模块的工作或禁用电流之和。有关其供电电流请参见每个模块的特性。
2. MCG_Lite 配置为 HIRC 模式。通过 IAR 7.10 以高优化级别编译 CoreMark 基准代码, 针对平衡优化。
3. RTC 使用外部 32 kHz 晶振作为时钟源, 该电流包括 ERCLK32K 功耗。
4. 无掉电

表 40. 低功耗模式外设增加的电流 — 典型值

符号	说明	温度(°C)						单位
		-40	25	50	70	85	105	
$I_{IRC8MHz}$	8 MHz 内部参考时钟(IRC)增加电流。进入 STOP 或 VLPS 模式且使能 8 MHz IRC、MCG_SC[FCRDIV]=000b、MCG_MC[LIRC_DIV2]=000b 时进行测量。	77	77	77	77	77	77	μA
$I_{IRC2MHz}$	2 MHz 内部参考时钟(IRC)增加电流。进入 STOP 模式且 2 MHz IRC 使能、MCG_SC[FCRDIV]=000b、MCG_MC[LIRC_DIV2]=000b 时进行测量。	25	25	25	25	25	25	μA
$I_{EREFSTEN4MHz}$	[C:] 外部 4 MHz 晶振时钟增加电流。通过在晶振使能情况下进入 STOP 或 VLPS 模式而测得。	206	224	230	238	245	253	μA
$I_{EREFSTEN32KHz}$	外部 32 kHz 晶振时钟增加电流，通过 OSC0_CR[EREFSTEN 和 EREFSTEN] 位来选择。通过在晶振使能情况下进入所有模式而测得。 <ul style="list-style-type: none"> • VLLS1 • VLLS3 • LLS • VLPS • STOP 	440	490	540	560	570	580	nA
		440	490	540	560	570	580	
		490	490	540	560	570	680	
		510	560	560	560	610	680	
		510	560	560	560	610	680	
I_{LPTMR}	LPTMR 外设增加电流，通过将器件置于 VLLS1 模式且使用 LPO 使能 LPTMR 进行测量。	30	30	30	85	100	200	nA
$I_{USBKPALV}$	IDD 增加电流，通过将器件置于 VLPS 模式且 USB 连接保持有效时测量。	—	1.353	—	—	—	—	mA
I_{CMP}	CMP 外设增加电流，通过将器件置于 VLLS1 模式，且 CMP 使能进行测量，使用 6 位 DAC 和单个外部输入进行比较。包括 6 位 DAC 的功耗。	16	16	16	16	16	16	μA
I_{RTC}	RTC 外设增加电流，通过将器件置于 VLLS1 模式进行测量，外部 32 kHz 晶振利用 RTC_CR[OSCE]位使能并将 RTC ALARM 设为 1 分钟。包括 ERCLK32K (32 kHz 外部晶振) 功耗。	430	500	500	530	530	760	nA

下一页继续介绍此表...

表 40. 低功耗模式外设增加的电流 — 典型值 (继续)

符号	说明	温度(°C)						单位
		-40	25	50	70	85	105	
I_{UART}	UART 外设增加电流, 通过将器件置于 STOP 或者 VLPS 模式进行测量, 使选定时钟源以 115200 波特率等待 RX 数据。包括选定的时钟源功耗。 <ul style="list-style-type: none"> • IRC8M (8 MHz 内部参考时钟) • IRC2M (2 MHz 内部参考时钟) 	96	96	96	96	96	96	μA
		31	31	31	31	31	31	
I_{TPM}	TPM 外设增加电流, 通过将器件置于 STOP 或者 VLPS 模式进行测量, 配置为输出比较的选定时钟源生成 100 Hz 信号。产生时钟信号的 I/O 上不存在负载。包括选定时钟源和 I/O 开关电流。 <ul style="list-style-type: none"> • IRC8M (8 MHz 内部参考时钟) • IRC2M (2 MHz 内部参考时钟) 	130	130	130	130	130	130	μA
		40	40	40	40	40	40	
I_{BG}	BGEN 位置位且器件处于 VLPx 或 VLLSx 模式时的带隙增加电流。	45	45	45	45	45	45	μA
I_{ADC}	ADC 外设增加电流, 器件处于 STOP 或者 VLPS 模式下在 V_{DD} 和 V_{DDA} 时的测量值组合。ADC 配置为低功耗模式, 使用内部时钟和连续转换。	320	320	320	320	320	320	μA

5.2.2.5.1 示意图: 典型 I_{DD_RUN} 工作特性

下面的数据是在以下条件下测定的:

- MCG-Lite 在运行模式下是 HIRC 模式, 在 VLPR 模式下是 LIRC 模式
- 无 GPIO 切换输出
- 在 Flash 中运行
- 对于 ALLOFF 曲线, 禁用除 FTFA 外的全部外设时钟

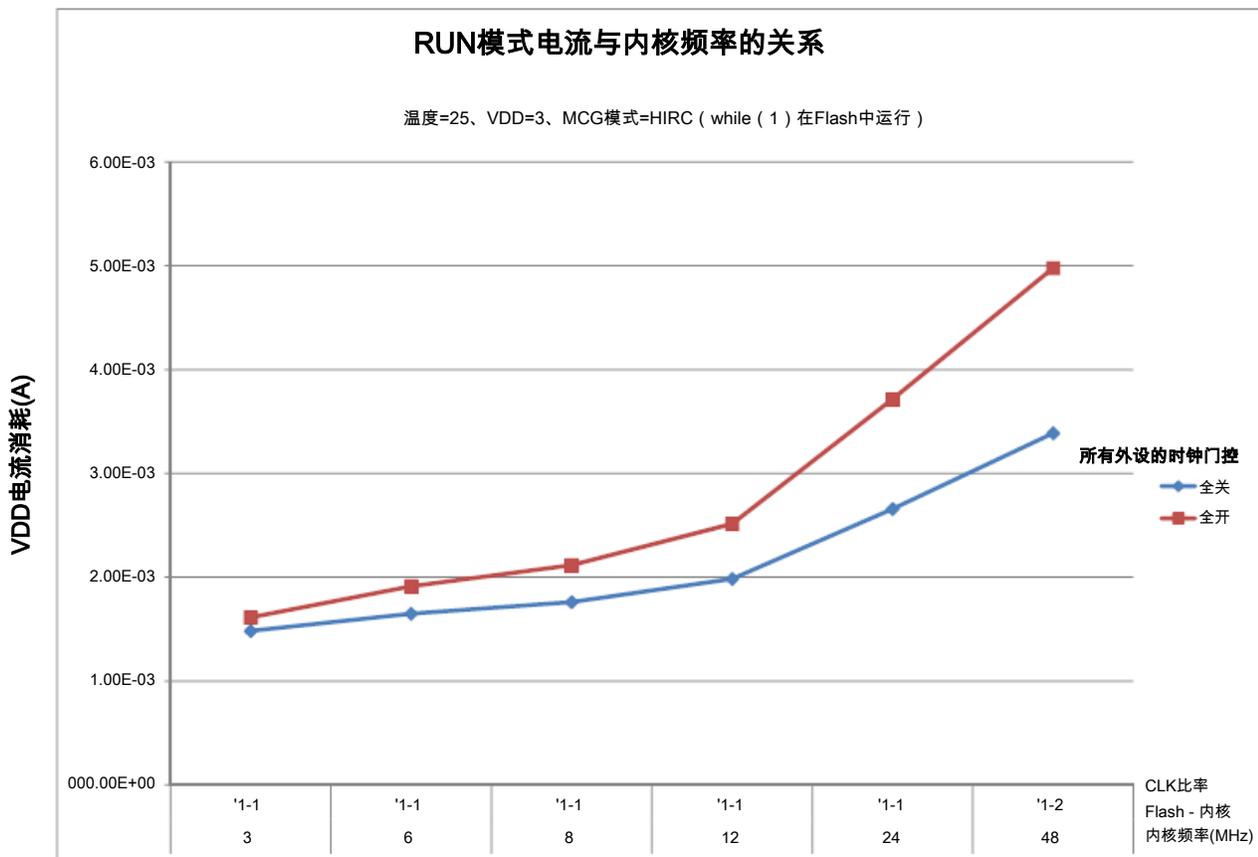
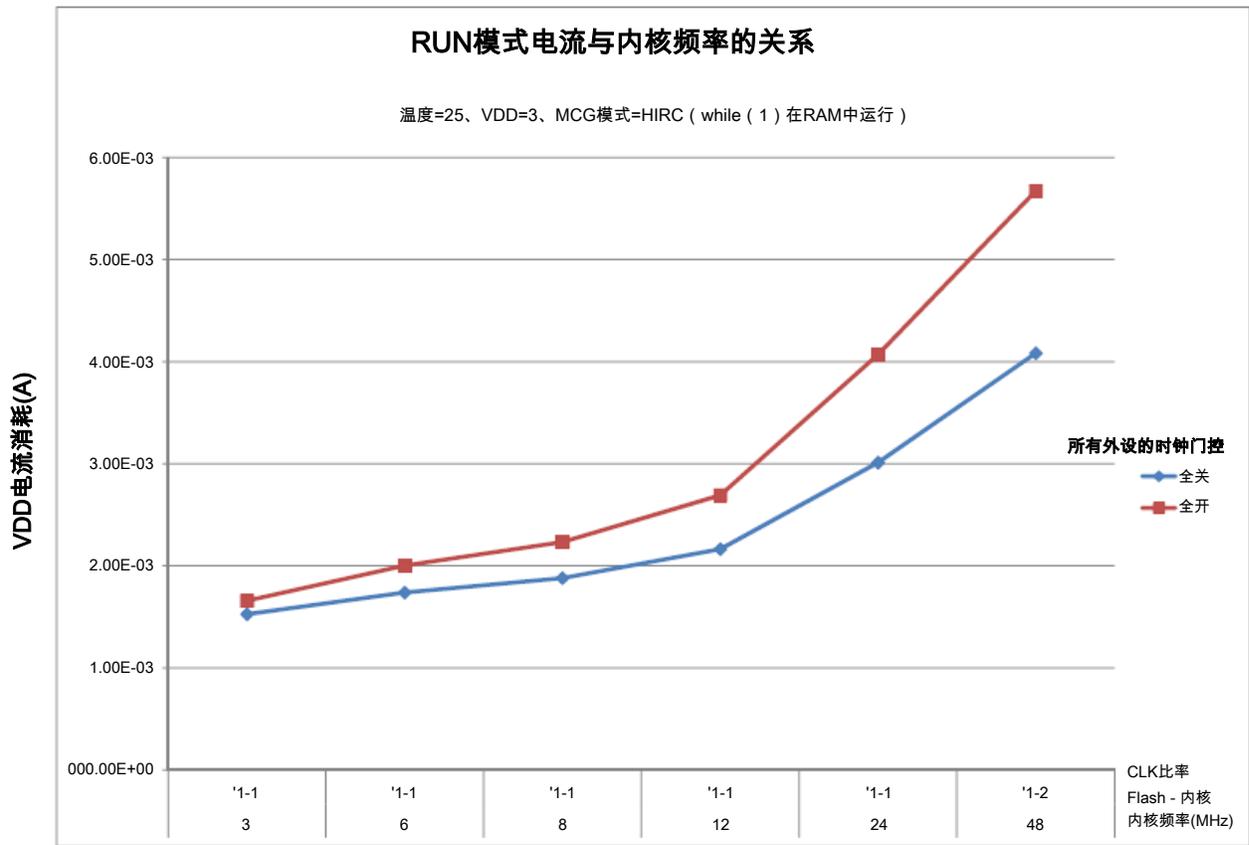


图 20. RUN 模式供电电流与内核频率



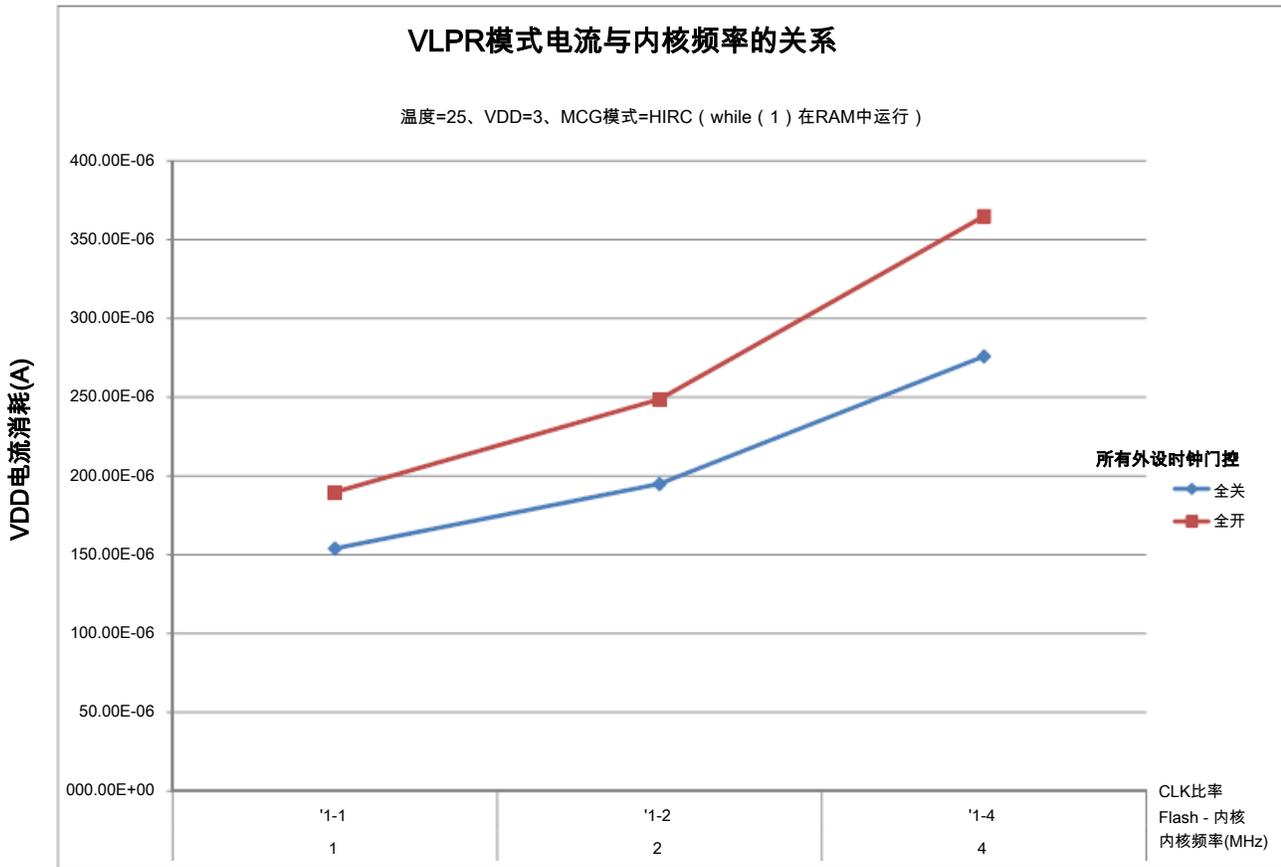


图 21. VLPR 模式电流与内核频率

5.2.2.6 EMC 性能

电磁兼容(EMC)性能很大程度上取决于 MCU 所处的环境。外部组件的板设计和布局，电路拓扑选择、位置和特性以及 MCU 软件操作在 EMC 性能中起重要作用。系统设计人员可参阅 freescale.com 中提供的以下飞思卡尔应用笔记，以获得有关旨在优化 EMC 性能的建议与指导。

- AN2321: 电路板级电磁兼容设计
- AN1050: HCMOS 微控制器的电磁兼容(EMC)设计
- AN1263: 单片微控制器的电磁兼容设计
- AN2764: 改善微控制器应用的瞬态抗干扰性能
- AN1259: 基于 MCU 系统中降噪的系统设计和布局技术
- KL-QRUG (Kinetis L 系列快速参考)

5.2.2.7 电容属性

表 41. 电容属性

符号	说明	最小值	最大值	单位
C _{IN}	输入电容	—	7	pF

5.2.3 开关规格

5.2.3.1 器件时钟规格

表 42. 器件时钟规格

符号	说明	最小值	最大值	单位
正常运行模式				
f _{SYS}	系统和内核时钟	—	48	MHz
f _{BUS}	总线时钟	—	24	MHz
f _{FLASH}	Flash 时钟	—	24	MHz
f _{SYS_USB}	采用全速 USB 时的系统和内核时钟	20	—	MHz
f _{LPTMR}	LPTMR 时钟	—	24	MHz
VLPR 和 VLPS 模式 ¹				
f _{SYS}	系统和内核时钟	—	4	MHz
f _{BUS}	总线时钟	—	1	MHz
f _{FLASH}	Flash 时钟	—	1	MHz
f _{LPTMR}	LPTMR 时钟 ²	—	24	MHz
f _{ERCLK}	外部参考时钟	—	16	MHz
f _{LPTMR_ERCLK}	LPTMR 外部参考时钟	—	16	MHz
f _{osc_hi_2}	振荡器晶体或谐振器频率 — 高频模式（高范围） (MCG_C2[RANGE]=1x)	—	16	MHz
f _{TPM}	TPM 异步时钟	—	8	MHz
f _{UART0}	UART0 异步时钟	—	8	MHz

1. VLPR 和 VLPS 模式下的频率限制会覆盖其他所有模块时序特性中的一切频率特性。无论是从 RUN 还是从 VLPR 进入 VLPS，VLPS 也适用同样的频率限制。
2. 仅当信号源为外部引脚时，才能在 VLPR 或 VLPS 下以此速度向 LPTMR 提供时钟。

5.2.3.2 一般开关规格

这些一般规格适用于配置为 GPIO 和 UART 的所有信号。

表 43. 一般开关规格

说明	最小值	最大值	单位	注释
GPIO 引脚中断脉冲宽度（数字去抖滤波器禁用）— 同步路径	1.5	—	总线时钟周期	1
外部 RESET 和 NMI 引脚中断脉冲宽度 — 异步路径	100	—	ns	2
GPIO 引脚中断脉冲宽度 — 异步路径	16	—	ns	2
端口上升和下降时间	—	36	ns	3

1. 必须满足同步和异步时序要求。
2. 这是保证可以识别的最短脉冲。
3. 75 pF 负载

5.2.4 热学特性

5.2.4.1 热学操作要求

表 44. 热学操作要求

符号	说明	最小值	最大值	单位	注释
T_J	裸片结温	-40	125	°C	
T_A	环境温度	-40	105	°C	1

1. 仅当用户确保 T_J 不会超过最大 T_A 时才可超过最大值。确定 T_J 的最简单方法是： $T_J = T_A + R_{\theta JA} \times \text{芯片功耗}$ 。

5.2.4.2 热学属性

注

本产品暂不提供 48 QFN 和 64 MAPBGA 封装。然而，它将包含在 Kinetis MCU 的“Package Your Way”计划中。访问 freescale.com/KPYW 了解更多详情。

表 45. 热学属性

电路板类型	符号	说明	32 QFN	36 XFBGA	64 LQFP	单位	注释
单层(1S)	$R_{\theta JA}$	热阻，连接到外部环境（自然对流）	101	81.5	71	°C/W	1, 2, 3
四层(2s2p)	$R_{\theta JA}$	热阻，连接到外部环境（自然对流）	33	54.7	53	°C/W	1, 2, 3, 4
单层(1S)	$R_{\theta JMA}$	热阻，连接到外部环境（空气速率为 200 英尺/分钟）	84	71.3	60	°C/W	1, 4, 5
四层(2s2p)	$R_{\theta JMA}$	热阻，连接到外部环境（空气速率为 200 英尺/分钟）	28	50.0	47	°C/W	1, 4, 5
—	$R_{\theta JB}$	热阻，连接到板	13	58.0	35	°C/W	6

下一页继续介绍此表...

表 45. 热学属性 (继续)

电路板类型	符号	说明	32 QFN	36 XFBGA	64 LQFP	单位	注释
—	$R_{\theta JC}$	热阻, 连接到外壳	1.7	45.3	21	°C/W	7
—	Ψ_{JT}	热特性参数, 连接到封装顶部中心 (自然对流)	3	1.2	5	°C/W	8
—	Ψ_{JB}	热特性参数, 连接到封装底部 (自然对流)	-	44.5	-	°C/W	9

1. 结温是裸片大小、片上功耗、封装热阻、安装环境 (板) 温度、环境温度、气流、板上其他组件的功耗和板热阻的函数。
2. 基于 SEMI G38-87 和 JEDEC JESD51-2 标准, 在单层板水平方向。
3. 基于 JEDEC JESD51-2 标准, 在水平方向电路板上自然对流。电路板分别符合 1s 或 2s2p 电路板的 JESD51-9 规范。
4. 基于 JEDEC JESD51-6, 在电路板水平方向。
5. 基于 JEDEC JESD51-6 标准, 在水平方向电路板上强制对流。电路板分别符合 1s 或 2s2p 电路板的 JESD51-9 规范。
6. 裸片和印刷电路板的热阻, 基于 JEDEC JESD51-8 标准。板温度在封装附近的板上表面测量。
7. 通过冷板方法测量裸片和外壳顶面之间的热阻 (MIL SPEC-883 Method 1012.1)。
8. 基于 JEDEC JESD51-2 标准, 热特性参数表示封装顶部和结温之间的温差。未提供希腊字母时, 散热特性参数写为 Psi-JT。
9. 基于 JEDEC JESD51-12 标准, 热特性参数表示封装底部中心和结温之间的温差。未提供希腊字母时, 散热特性参数写为 Psi-JB。

5.3 外设工作要求与特性

5.3.1 内核模块

5.3.1.1 SWD 电气特性

表 46. SWD 全电压范围电气特性

符号	说明	最小值	最大值	单位
	工作电压	1.71	3.6	V
J1	SWD_CLK 工作频率 • 串行线调试	0	25	MHz
J2	SWD_CLK 周期	1/J1	—	ns
J3	SWD_CLK 时钟脉宽 • 串行线调试	20	—	ns
J4	SWD_CLK 上升和下降时间	—	3	ns
J9	SWD_DIO SWD_CLK 上升前的输入数据建立时间	10	—	ns
J10	SWD_DIO SWD_CLK 上升后的输入数据保持时间	0	—	ns
J11	SWD_CLK 高电平至 SWD_DIO 数据有效时间	—	32	ns
J12	SWD_CLK 高电平至 SWD_DIO 高阻态时间	5	—	ns

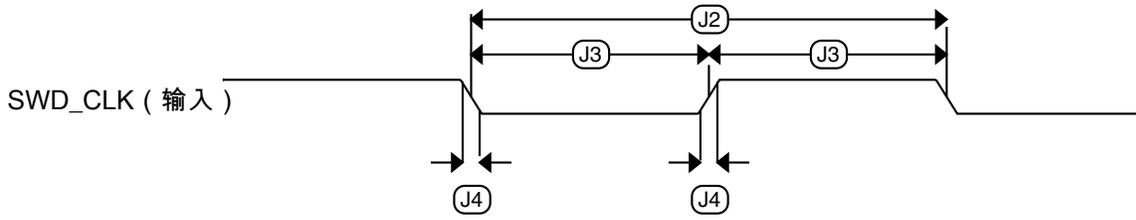


图 22. 串行线时钟输入时序

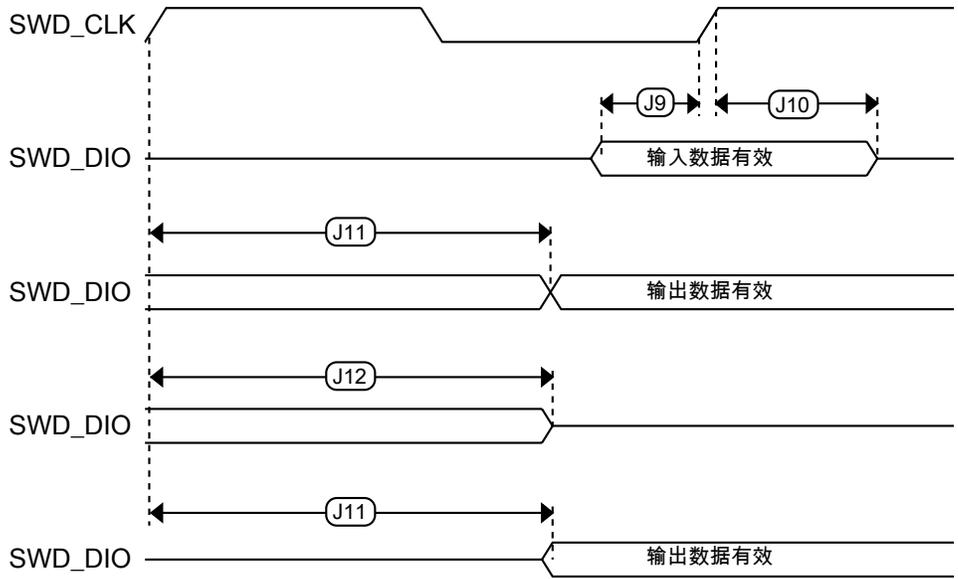


图 23. 串行线数据时序

5.3.2 系统模块

对于器件的系统模块，无特性要求。

5.3.3 时钟模块

5.3.3.1 MCG-Lite 规格

表 47. IRC48M 规格

符号	说明	最小值	典型值	最大值	单位	注释
I_{DD48M}	供电电流	—	400	500	μA	

下一页继续介绍此表...

表 47. IRC48M 规格 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
f_{irc48m}	内部参考频率	—	48	—	MHz	
$\Delta f_{irc48m_ol_lv}$	IRC48M 在低电压(VDD=1.71V-1.89V)条件下随温度变化的开环频率总偏差	—	± 0.5	± 1.5	$\%f_{irc48m}$	
$\Delta f_{irc48m_ol_hv}$	IRC48M 在高电压(VDD=1.89V-3.6V)条件下随温度变化的开环频率总偏差	—	± 0.5	± 1.0	$\%f_{irc48m}$	1
Δf_{irc48m_cl}	IRC48M 随电压和温度变化的闭环频率总偏差	—	—	± 0.1	$\%f_{host}$	2
J_{cyc_irc48m}	周期抖动(RMS)	—	35	150	ps	
$t_{irc48mst}$	启动时间	—	2	3	μs	3

1. 最大值表示相当于均值加上或减去三倍标准偏差的表征结果 (均值 ± 3 倍标准差)。
2. IRC48M 闭环操作仅适用于 USB 设备操作,不可用于 USB 主机操作。启用方法:配置 USB 设备,选择 IRC48M 为 USB 时钟源,并激活时钟恢复功能(USB_CLK_RECOVER_IRC_CTRL[CLOCK_RECOVER_EN]=1, USB_CLK_RECOVER_IRC_EN[IRC_EN]=1)。
3. IRC48M 启动时间定义为:从时钟使能操作至时钟可供系统使用之间的时间。详情参见参考手册。

表 48. IRC8M/2M 规格

符号	说明	最小值	典型值	最大值	单位	注释
I_{DD_2M}	2 MHz 模式下的供电电流	—	14	17	μA	—
I_{DD_8M}	8 MHz 模式下的供电电流	—	30	35	μA	—
f_{IRC_2M}	输出频率	—	2	—	MHz	—
f_{IRC_8M}	输出频率	—	8	—	MHz	—
$f_{IRC_T_2M}$	输出频率范围 (已调整)	—	—	± 3	$\%f_{IRC}$	—
$f_{IRC_T_8M}$	输出频率范围 (已调整)	—	—	± 3	$\%f_{IRC}$	—
T_{su_2M}	启动时间	—	—	12.5	μs	—
T_{su_8M}	启动时间	—	—	12.5	μs	—

5.3.3.2 振荡器电气规格

5.3.3.2.1 振荡器直流电气规格

表 49. 振荡器直流电气规格

符号	说明	最小值	典型值	最大值	单位	注释
V_{DD}	供电电压	1.71	—	3.6	V	
I_{DDOSC}	供电电流 - 低功耗模式(HGO=0)					1
	• 32 kHz	—	500	—	nA	
	• 4 MHz	—	200	—	μA	
	• 8 MHz (RANGE=01)	—	300	—	μA	

下一页继续介绍此表...

表 49. 振荡器直流电气规格 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
	<ul style="list-style-type: none"> • 16 MHz • 24 MHz • 32 MHz 	—	950	—	μA	
		—	1.2	—	mA	
		—	1.5	—	mA	
I _{DDOSC}	供电电流 - 高增益模式(HGO=1) <ul style="list-style-type: none"> • 32 kHz • 4 MHz • 8 MHz (RANGE=01) • 16 MHz • 24 MHz • 32 MHz 	—	25	—	μA	1
		—	400	—	μA	
		—	500	—	μA	
		—	2.5	—	mA	
		—	3	—	mA	
		—	4	—	mA	
C _x	EXTAL 负载电容	—	—	—		2, 3
C _y	XTAL 负载电容	—	—	—		2, 3
R _F	反馈电阻 — 低频、低功耗模式(HGO=0)	—	—	—	MΩ	2, 4
	反馈电阻 — 低频、高增益模式(HGO=1)	—	10	—	MΩ	
	反馈电阻 — 高频、低功耗模式(HGO=0)	—	—	—	MΩ	
	反馈电阻 — 高频、高增益模式(HGO=1)	—	1	—	MΩ	
R _S	串联电阻 — 低频、低功耗模式(HGO=0)	—	—	—	kΩ	
	串联电阻 — 低频、高增益模式(HGO=1)	—	200	—	kΩ	
	串联电阻 — 高频、低功耗模式(HGO=0)	—	—	—	kΩ	
	串联电阻 — 高频、高增益模式(HGO=1)	—	0	—	kΩ	
V _{pp} ⁵	峰间振幅 (振荡器模式) - 低频、低功耗模式 (HGO=0)	—	0.6	—	V	
	峰间振幅 (振荡器模式) - 低频、高增益模式 (HGO=1)	—	V _{DD}	—	V	
	峰间振幅 (振荡器模式) - 高频、低功耗模式 (HGO=0)	—	0.6	—	V	
	峰间振幅 (振荡器模式) - 高频、高增益模式 (HGO=1)	—	V _{DD}	—	V	

1. V_{DD}=3.3 V, 温度 =25° C
2. 参见晶振或谐振器制造商的建议
3. 使用低频率振荡器(RANGE = 00)时, 可使用集成电容器来提供 C_x、C_y。其他所有情况下务必使用外部电容。
4. 选择低功耗模式时, R_F 仅使用内部集成电阻, 而不能使用外部电阻。
5. EXTAL 和 XTAL 引脚只应连接到所需的振荡器组件, 而不得连接到其他任何器件。

5.3.3.2.2 振荡器频率规格

表 50. 振荡器频率规格

符号	说明	最小值	典型值	最大值	单位	注释
f_{osc_lo}	振荡器晶体频率或谐振器频率 - 低频模式 (MCG_C2[RANGE]=00)	32	—	40	kHz	
$f_{osc_hi_1}$	振荡器晶体频率或谐振器频率 - 高频模式 (低范围) (MCG_C2[RANGE]=01)	3	—	8	MHz	
$f_{osc_hi_2}$	振荡器晶体频率或谐振器频率 - 高频模式 (高范围) (MCG_C2[RANGE]=1x)	8	—	32	MHz	
f_{ec_extal}	输入时钟频率 (外部时钟模式)	—	—	48	MHz	1, 2
t_{dc_extal}	输入时钟占空比 (外部时钟模式)	40	50	60	%	
t_{cst}	晶体启动时间 - 32 kHz 低频、低功耗模式 (HGO=0)	—	750	—	ms	3, 4
	晶体启动时间 - 32 kHz 低频、高增益模式 (HGO=1)	—	250	—	ms	
	晶体启动时间 - 8 MHz 高频 (MCG_C2[RANGE]=01)、低功耗模式 (HGO=0)	—	0.6	—	ms	
	晶体启动时间 - 8 MHz 高频 (MCG_C2[RANGE]=01)、高增益模式 (HGO=1)	—	1	—	ms	

1. 以外部时钟作为 FLL 的参考时钟时，其他频率限制可能适用。
2. 从 FEI 或 FBI 模式转换到 FBE 模式时，应限制输入时钟频率，这样 FRDIV 对其分频时，可依然保持在 DCO 输入时钟频率的限值内。
3. 为了达到规格要求，务必遵循正确的印制电路板布局流程。
4. 晶体启动时间定义为从振荡器启动到 MCG_S 寄存器中的 OSCINIT 位置位之间的时间长度。

5.3.4 存储器和存储器接口

5.3.4.1 flash 电气规格

本节介绍 Flash 存储器模块的电气特性。

5.3.4.1.1 Flash 时序规格 — 编程和擦除

下列规格表示内部电荷泵处于有效状态的时间，不包括命令执行时间。

表 51. NVM 编程/擦除时序规格

符号	说明	最小值	典型值	最大值	单位	注释
t_{hvpqm4}	长字编程高电压时间	—	7.5	18	μ s	—
$t_{hversscr}$	扇区擦除高电压时间	—	13	113	ms	1
$t_{hversall}$	全部擦除高电压时间	—	52	452	ms	1

1. 最大时间，基于循环周期终止时的期望值。

5.3.4.1.2 Flash 时序规格 - 命令

表 52. flash 命令时序规格

符号	说明	最小值	典型值	最大值	单位	注释
$t_{rd1sec1k}$	“读 1s 区”执行时间 (Flash 扇区)	—	—	60	μs	1
t_{pgmchk}	“程序校验”执行时间	—	—	45	μs	1
t_{rdsrc}	“读资源”执行时间	—	—	30	μs	1
t_{pgm4}	“程序长字”执行时间	—	65	145	μs	—
t_{ersscr}	“擦除 Flash 扇区”执行时间	—	14	114	ms	2
t_{rd1all}	“读 1s 所有块”执行时间	—	—	0.9	ms	1
t_{rdonce}	“读一次”执行时间	—	—	25	μs	1
$t_{pgmonce}$	“程序运行一次”执行时间	—	65	—	μs	—
t_{ersall}	“擦除所有块”执行时间	—	70	575	ms	2
t_{vfykey}	“验证后门访问密钥”执行时间	—	—	30	μs	1
$t_{ersallu}$	“非安全擦除所有块”执行时间	—	70	575	ms	2

1. 假定 Flash 时钟频率为 25 MHz。
2. 擦除参数的最大时间，基于循环周期终止时的期望值。

5.3.4.1.3 Flash 高压电流特性

表 53. Flash 高压电流特性

符号	说明	最小值	典型值	最大值	单位
I_{DD_PGM}	高压 Flash 编程操作过程中的平均增加电流	—	2.5	6.0	mA
I_{DD_ERS}	高压 Flash 擦除操作过程中的平均增加电流	—	1.5	4.0	mA

5.3.4.1.4 可靠性规格

表 54. NVM 可靠性特性

符号	说明	最小值	典型值 ¹	最大值	单位	注释
程序 Flash						
$t_{nvmretp10k}$	高达 10000 个周期后的数据保留时间	5	50	—	年	—
$t_{nvmretp1k}$	高达 1000 个周期后的数据保留时间	20	100	—	年	—
$n_{nvmcycp}$	周期耐受能力	10 K	50 K	—	周期	2

1. 典型数据保留值基于高温和降至 25 °C 恒温配置情况下加速所测得的响应。此项技术不适用工程通告 EB618。工程通告 EB619 中定义的典型耐受能力。
2. 周期耐受能力表示 $-40\text{ °C} \leq T_j \leq 125\text{ °C}$ 温度范围内的编程/擦除周期数。

5.3.5 安全性和完整性模块

对于器件的安全性和完整性模块，无特性要求。

5.3.6 模拟

5.3.6.1 ADC 电气规格

使用差分输入比使用单端输入可以获得更好的系统精度。

5.3.6.1.1 16 位 ADC 操作条件

表 55. 16 位 ADC 操作条件

符号	说明	条件	最小值	典型值 ¹	最大值	单位	注释
V_{DDA}	供电电压	绝对值	1.71	—	3.6	V	—
ΔV_{DDA}	供电电压	V_{DD} 的差值($V_{DD} - V_{DDA}$)	-100	0	+100	mV	2
ΔV_{SSA}	接地电压	V_{SS} 的差值($V_{SS} - V_{SSA}$)	-100	0	+100	mV	2
V_{ADIN}	输入电压	<ul style="list-style-type: none"> 16 位差分模式 其他所有模式 	VREFL	—	$31/32 \times VREFH$	V	—
C_{ADIN}	输入电容	<ul style="list-style-type: none"> 16 位模式 8 位/10 位/12 位模式 	—	8	10	pF	—
R_{ADIN}	输入串联电阻		—	2	5	k Ω	—
R_{AS}	模拟源电阻 (外部)	13 位/12 位模式 $f_{ADCK} < 4$ MHz	—	—	5	k Ω	3
f_{ADCK}	ADC 转换时钟频率	≤ 13 位模式	1.0	—	18.0	MHz	4
f_{ADCK}	ADC 转换时钟频率	16 位模式	2.0	—	12.0	MHz	4
C_{rate}	ADC 转换速率	≤ 13 位模式 无 ADC 硬件平均 连续转换功能使能, 后续转换 时间	20.000	—	818.330	ksps	5
C_{rate}	ADC 转换速率	16 位模式 无 ADC 硬件平均 连续转换功能使能, 后续转换 时间	37.037	—	461.467	ksps	5

1. 除非另有说明，否则典型值假定 $V_{DDA} = 3.0$ V，Temp = 25°C， $f_{ADCK} = 1.0$ MHz。典型值仅供参考，并未在生产中进行测试。
2. 直流电位差。

3. 此电阻是 MCU 的外部电阻。为达到最佳效果，模拟源电阻必须尽量小一些。此数据手册中的结果来自于模拟源电阻 <math> < 8 \Omega </math> 的系统。 R_{AS}/C_{AS} 时间常数应当始终 <math> < 1 \text{ ns}</math>。
4. 要使用最大 ADC 转换时钟频率，必须使 CFG2[ADHSC]置位，并使 CFG1[ADLPC]清零。
5. 有关计算转换速率的相应准则和示例，请下载 [ADC 计算器工具](#)。

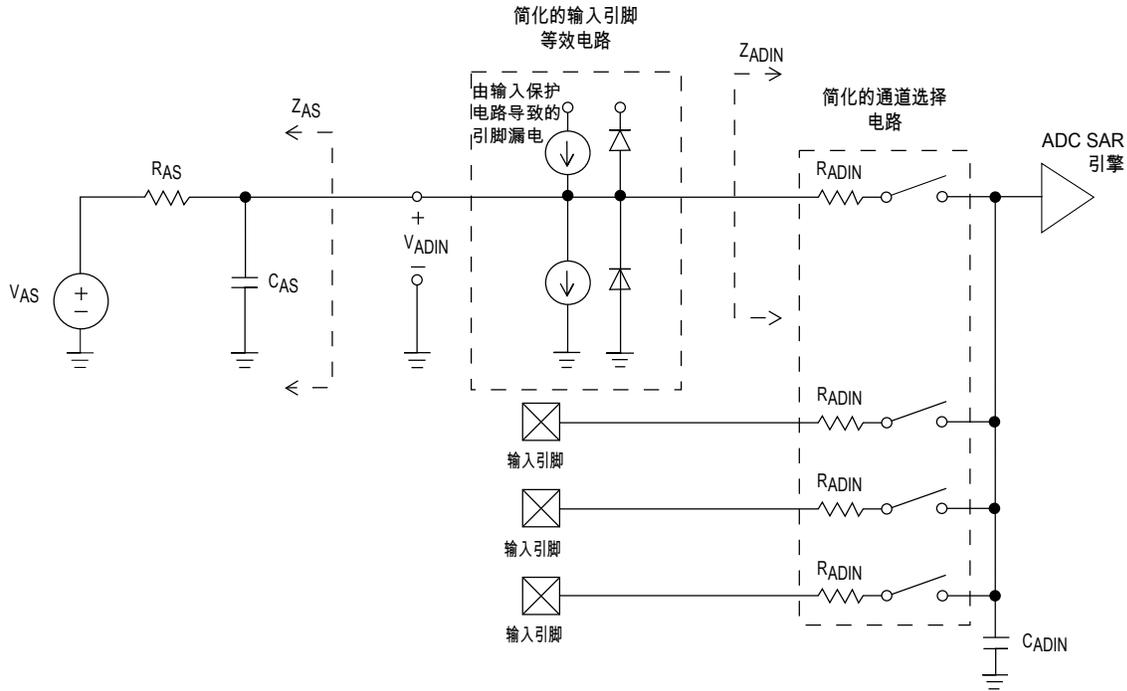


图 24. ADC 输入阻抗等效图

5.3.6.1.2 16 位 ADC 电气特性

表 56. 16 位 ADC 特性($V_{REFH} = V_{DDA}$, $V_{REFL} = V_{SSA}$)

符号	说明	条件 ¹	最小值	典型值 ²	最大值	单位	注释
I_{DDA_ADC}	供电电流		0.215	—	1.7	mA	3
f_{ADACK}	ADC 异步时钟源	• ADLPC = 1, ADHSC = 0	1.2	2.4	3.9	MHz	$t_{ADACK} = 1/f_{ADACK}$
		• ADLPC = 1, ADHSC = 1	2.4	4.0	6.1	MHz	
		• ADLPC = 0, ADHSC = 0	3.0	5.2	7.3	MHz	
		• ADLPC = 0, ADHSC = 1	4.4	6.2	9.5	MHz	
	采样时间	参见“参考手册”中的章节确定采样时间					
TUE	未调整总误差	• 12 位模式 • <12 位模式	— —	± 2 ± 1.4	± 6.8 ± 2.1	LSB ⁴	5
DNL	差分非线性	• 12 位模式 • <12 位模式	— —	± 0.7 ± 0.2	-1.1 到 +1.9	LSB ⁴	5

下一页继续介绍此表...

表 56. 16 位 ADC 特性($V_{REFH} = V_{DDA}$, $V_{REFL} = V_{SSA}$) (继续)

符号	说明	条件 ¹	最小值	典型值 ²	最大值	单位	注释
					-0.3 到 +0.5		
INL	积分非线性	<ul style="list-style-type: none"> 12 位模式 <12 位模式 	—	±0.9	-2.7 到 +1.9	LSB ⁴	5
			—	±0.4	-0.7 到 +0.5		
E_{FS}	满量程误差	<ul style="list-style-type: none"> 12 位模式 <12 位模式 	—	-4	-5.4	LSB ⁴	$V_{ADIN} = V_{DDA}$ ⁵
			—	-1.4	-1.8		
E_Q	量化误差	<ul style="list-style-type: none"> 16 位模式 ≤13 位模式 	—	-1 到 0	—	LSB ⁴	
			—	—	±0.5		
ENOB	有效位数	16 位差分模式 <ul style="list-style-type: none"> Avg = 32 Avg = 4 16 位单端模式 <ul style="list-style-type: none"> Avg = 32 Avg = 4 	12.8	14.5	—	位	6
			11.9	13.8	—	位	
			12.2	13.9	—	位	
			11.4	13.1	—	位	
SINAD	信噪失真比	参见 ENOB	6.02 × ENOB + 1.76			dB	
THD	总谐波失真	16 位差分模式 <ul style="list-style-type: none"> Avg = 32 16 位单端模式 <ul style="list-style-type: none"> Avg = 32 	—	-94	—	dB	7
			—	-85	—	dB	
SFDR	无杂散动态范围	16 位差分模式 <ul style="list-style-type: none"> Avg = 32 16 位单端模式 <ul style="list-style-type: none"> Avg = 32 	82	95	—	dB	7
			78	90	—	dB	
E_{IL}	输入漏电误差		$I_{in} \times R_{AS}$			mV	I_{in} = 漏电流 (参见 MCU 电压和电流操作极限)
	温度传感器斜率	横跨设备整个温度范围	1.55	1.62	1.69	mV/°C	8
V_{TEMP25}	温度传感器电压	25 °C	706	716	726	mV	8

1. 所有精度数字均假定 ADC 已在 $V_{REFH} = V_{DDA}$ 的情况下进行校准

2. 除非另有说明，否则典型值假定 $V_{DDA} = 3.0$ V、Temp = 25°C、 $f_{ADCK} = 2.0$ MHz。典型值仅供参考，并未在生产中进行测试。

3. ADC 供电电流取决于 ADC 转换时钟速度、转换速率以及 ADC_CFG1[ADLPC] (低功耗)。要使操作功耗最低，ADC_CFG1[ADLPC]必须置位，ADC_CFG2[ADHSC]位必须清零，且 ADC 转换时钟速度为 1 MHz。
4. $1 \text{ LSB} = (V_{\text{REFH}} - V_{\text{REFL}})/2^N$
5. ADC 转换时钟 < 16 MHz，最大硬件平均值(AVGE = %1, AVGS = %11)
6. 输入数据为 100 Hz 的正弦波。ADC 转换时钟 < 12 MHz。
7. 输入数据为 1 kHz 的正弦波。ADC 转换时钟 < 12 MHz。
8. ADC 转换时钟 < 3 MHz

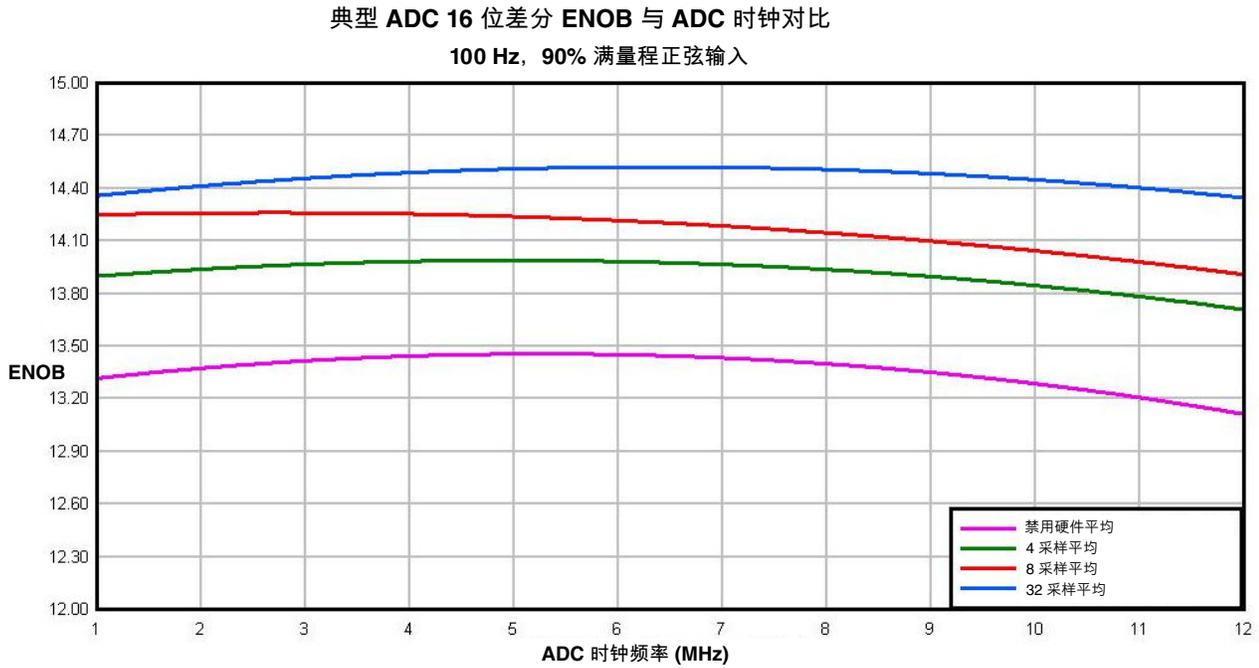


图 25. 典型 ENOB 与 16 位差分模式 ADC_CLK 的关系

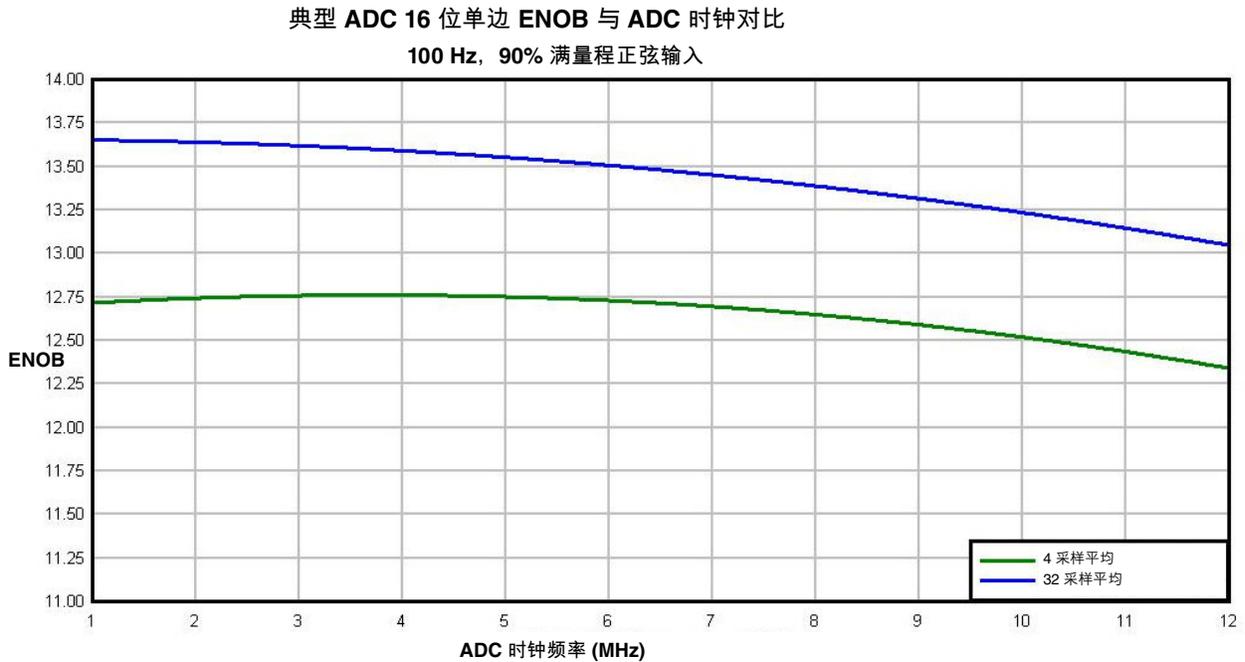


图 26. 典型 ENOB 与 16 位单端模式 ADC_CLK 的关系

5.3.6.1.3 电压基准电气规格

表 57. VREF 全范围工作要求

符号	说明	最小值	最大值	单位	注释
V_{DDA}	供电电压		3.6	V	
T_A	温度	器件的工作温度范围		°C	
C_L	输出负载电容	100		nF	1, 2

1. 如果使用 VREF_OUT 功能作为内部或外部参考电压，则 C_L 必须连接至 VREF_OUT。
2. 负载电容应不得超过该器件工作温度范围内指定 C_L 标称值的 +/-25%。

表 58 的测试条件为 VREF_TRM[CHOPEN]、VREF_SC[REGEN]和 VREF_SC[ICOMPEN]位设为 1。

表 58. VREF 全范围 (-40 - 105°C) 特性

符号	说明	最小值	典型值	最大值	单位	注释
V_{out}	在标称 V_{DDA} 和 25°C 温度下, 出厂前调整的电压基准输出	1.1915	1.195	1.1977	V	1
V_{out}	出厂前调整的电压基准输出	1.1584	—	1.2376	V	1
V_{out}	用户调整的电压基准输出	1.193	—	1.197	V	1
V_{step}	电压基准微调量	—	0.5	—	mV	1

下一页继续介绍此表...

表 58. VREF 全范围 (-40 - 105°C) 特性 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
I_{bg}	仅带隙电流	—	—	80	μA	1
I_{hp}	高功率缓冲器电流	—	—	1	mA	1
ΔV_{LOAD}	负载调节	—	200	—	μV	1, 2
T_{stup}	缓冲器启动时间	—	—	100	μs	
$T_{chop_osc_st\ up}$	启用斩波振荡器时的内部带隙启动延时	—	—	35	ms	—
V_{vdrift}	电压漂移 (全电压范围内的 $V_{max} - V_{min}$)	—	2	—	mV	1

- 关于 VREF 状态和控制寄存器的正确设置，请查看芯片的参考手册。
- 负载调节电压是空载 VREF_OUT 电压和特定负载电压之间的差值。

表 59. VREF 窄范围(0 - 50°C)特性

符号	说明	最小值	最大值	单位	注释
V_{out}	出厂前调整的电压基准输出	1.173	1.225	V	

5.3.6.2 CMP 和 6 位 DAC 的电气规格

表 60. 比较器和 6 位 DAC 的电气规格

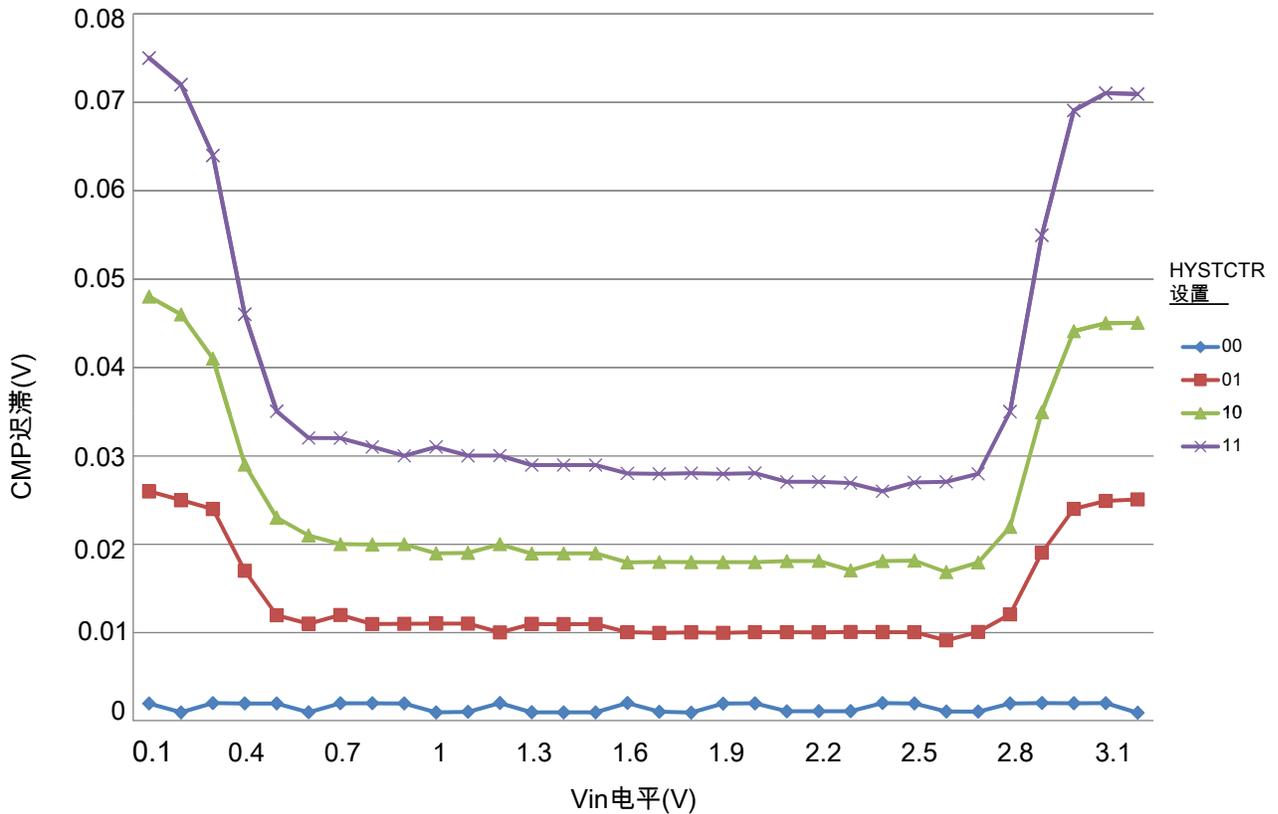
符号	说明	最小值	典型值	最大值	单位
V_{DD}	供电电压	1.71	—	3.6	V
I_{DDHS}	供电电流, 高速模式 (EN=1, PMODE=1)	—	—	200	μA
$I_{DDL S}$	供电电流, 低速模式 (EN=1, PMODE=0)	—	—	20	μA
V_{AIN}	模拟输入电压	$V_{SS} - 0.3$	—	V_{DD}	V
V_{AIO}	模拟输入偏移电压	—	—	20	mV
V_H	模拟比较器迟滞 ¹ <ul style="list-style-type: none"> • CR0[HYSTCTR] = 00 • CR0[HYSTCTR] = 01 • CR0[HYSTCTR] = 10 • CR0[HYSTCTR] = 11 	—	5	—	mV
		—	10	—	mV
		—	20	—	mV
		—	30	—	mV
V_{CMPOh}	输出高电平	$V_{DD} - 0.5$	—	—	V
V_{CMPOl}	输出低电平	—	—	0.5	V
t_{DHS}	传播延迟, 高速模式 (EN=1, PMODE=1)	20	50	200	ns
t_{DLS}	传播延迟, 低速模式 (EN=1, PMODE=0)	80	250	600	ns
	模拟比较器初始化延迟 ²	—	—	40	μs
I_{DAC6b}	6 位 DAC 增加电流 (使能)	—	7	—	μA

下一页继续介绍此表...

表 60. 比较器和 6 位 DAC 的电气规格 (继续)

符号	说明	最小值	典型值	最大值	单位
INL	6 位 DAC 积分非线性	-0.5	—	0.5	LSB ³
DNL	6 位 DAC 差分非线性	-0.3	—	0.3	LSB

1. 在输入电压范围限定为 0.6 至 $V_{DD}-0.6$ V 的条件下测定典型迟滞。
2. 比较器初始化延迟是指从软件执行写操作来改变控制输入 (写入 CMP_DACCR[DACEN]、CMP_DACCR[VRSEL]、CMP_DACCR[VOSEL]、CMP_MUXCR[PSEL]和 CMP_MUXCR[MSEL]) 到比较器输出达到稳定电平的时间。
3. $1 \text{ LSB} = V_{\text{reference}}/64$


 图 27. 典型迟滞与 Vin 电平的关系($V_{DD} = 3.3$ V, $P_{MODE} = 0$)

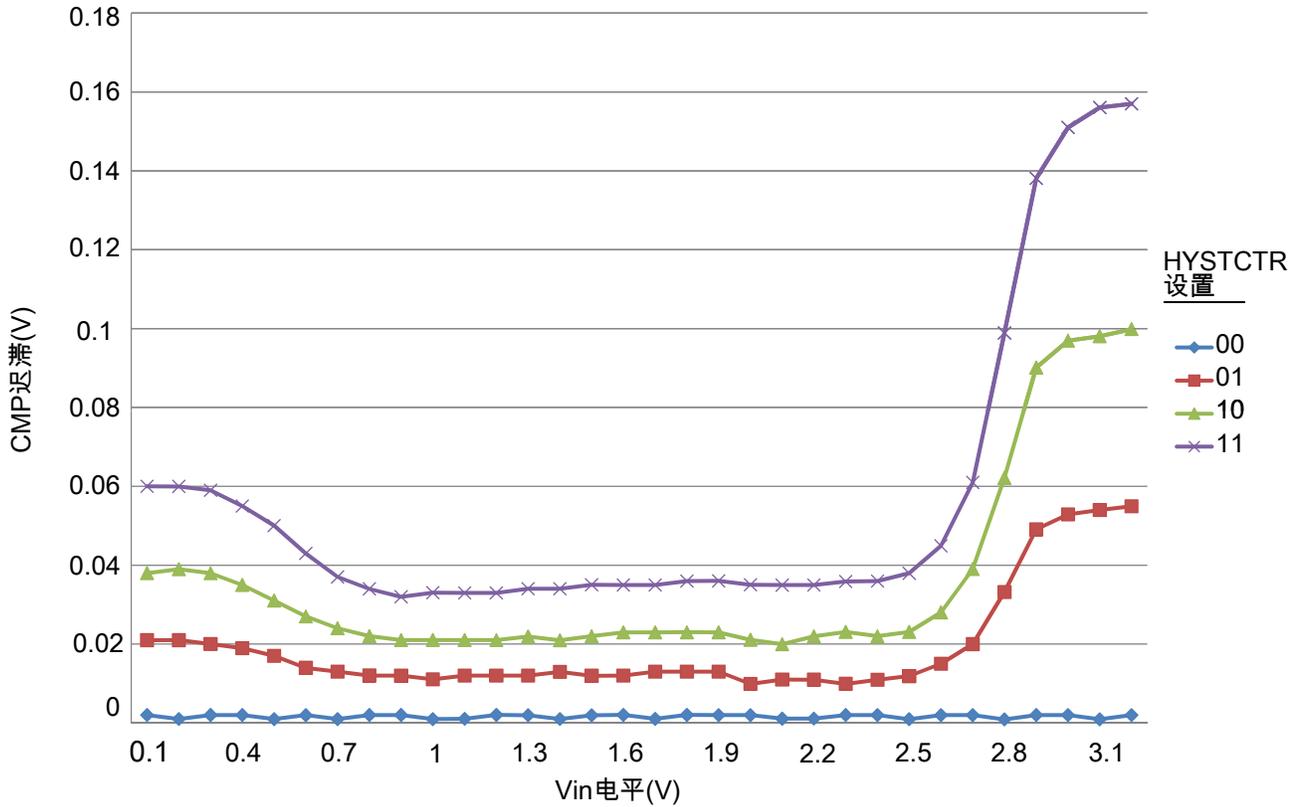


图 28. 典型迟滞与 Vin 电平关系(VDD = 3.3 V, PMODE = 1)

5.4 定时器

参见一般开关规格。

5.5 通信接口

5.5.1 USB 电气规格

设备模块的 USB 电气特性符合通用串行总线设计论坛上发布的标准。有关最新标准请访问 usb.org。

注

IRC48M 符合 USB 时钟恢复模式使能时设备模式下的 USB 抖动认证规格。

此设备不支持主机模式操作。

5.5.2 SPI 开关规格

串行外设接口(SPI)提供一种可实现主机和从机工作模式的同步串行总线。多数传输特性都是可编程的。下列表格提供了传统 SPI 时序模式的时序特性。如需了解与较慢的外设器件通信所用的可编程的传输属性,请参见芯片参考手册中的 SPI 章节。

除非另有说明,显示的所有时序相关条件均为 20% V_{DD} 和 80% V_{DD} 阈值,同时所有 SPI 引脚上的输入信号转换均为 3 ns,最大负载均为 30 pF。

表 61. SPI 主机模式时序 - 管脚禁用压摆率

编号	符号	说明	最小值	最大值	单位	注释
1	f_{op}	工作频率	$f_{periph}/2048$	$f_{periph}/2$	[Hz]	1
2	t_{SPSCK}	SPSCK 周期	$2 \times t_{periph}$	$2048 \times t_{periph}$	ns	2
3	t_{Lead}	使能前置时间	1/2	—	t_{SPSCK}	—
4	t_{Lag}	使能滞后时间	1/2	—	t_{SPSCK}	—
5	t_{WSPSCK}	时钟(SPSCK)高电平或低电平时间	$t_{periph} - 30$	$1024 \times t_{periph}$	ns	—
6	t_{SU}	数据建立时间 (输入)	18	—	ns	—
7	t_{HI}	数据保持时间 (输入)	0	—	ns	—
8	t_v	有效数据 (在 SPSCK 边沿后)	—	15	ns	—
9	t_{HO}	数据保持时间 (输出)	0	—	ns	—
10	t_{RI}	输入上升时间	—	$t_{periph} - 25$	ns	—
	t_{FI}	输入下降时间				
11	t_{RO}	输出上升时间	—	25	ns	—
	t_{FO}	输出下降时间				

- 对于 SPI0, f_{periph} 为总线时钟(f_{BUS})。对于 SPI1, f_{periph} 用作系统时钟(f_{SYS})。
- $t_{periph} = 1/f_{periph}$

表 62. SPI 主机模式时序--管脚使能压摆率

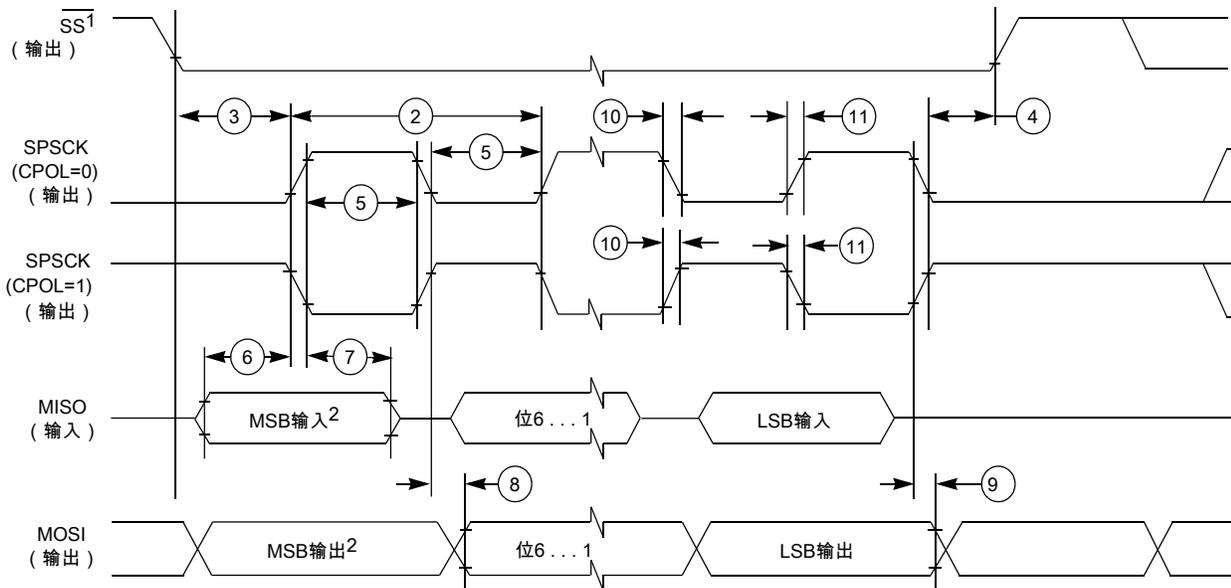
编号	符号	说明	最小值	最大值	单位	注释
1	f_{op}	工作频率	$f_{periph}/2048$	$f_{periph}/2$	[Hz]	1
2	t_{SPSCK}	SPSCK 周期	$2 \times t_{periph}$	$2048 \times t_{periph}$	ns	2
3	t_{Lead}	使能前置时间	1/2	—	t_{SPSCK}	—
4	t_{Lag}	使能滞后时间	1/2	—	t_{SPSCK}	—
5	t_{WSPSCK}	时钟(SPSCK)高电平或低电平时间	$t_{periph} - 30$	$1024 \times t_{periph}$	ns	—
6	t_{SU}	数据建立时间 (输入)	96	—	ns	—

下一页继续介绍此表...

表 62. SPI 主机模式时序--管脚使能压摆率 (继续)

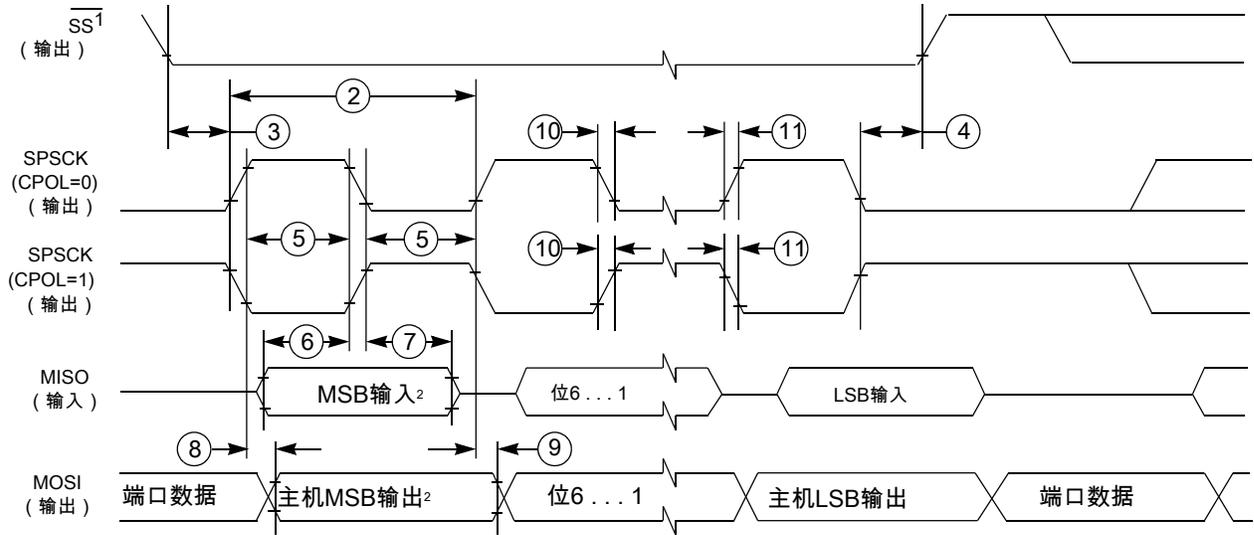
编号	符号	说明	最小值	最大值	单位	注释
7	t_{HI}	数据保持时间 (输入)	0	—	ns	—
8	t_v	有效数据 (在 SPSCCK 边沿后)	—	52	ns	—
9	t_{HO}	数据保持时间 (输出)	0	—	ns	—
10	t_{RI}	输入上升时间	—	$t_{periph} - 25$	ns	—
	t_{FI}	输入下降时间				
11	t_{RO}	输出上升时间	—	36	ns	—
	t_{FO}	输出下降时间				

- 对于 SPI0, f_{periph} 为总线时钟(f_{BUS})。对于 SPI1, f_{periph} 用作系统时钟(f_{SYS})。
- $t_{periph} = 1/f_{periph}$



- 如果配置为输出。
- LSBF = 0。对于 LSBF = 1, 位序为 LSB、位1、...、位6、MSB。

图 29. SPI 主机模式时序(CPHA = 0)



1. 如果配置为输出。
2. LSBF = 0。对于LSBF = 1，位序为LSB、位1、...、位6、MSB。

图 30. SPI 主机模式时序(CPHA = 1)
表 63. SPI 从机模式时序 - 管脚禁用压摆率

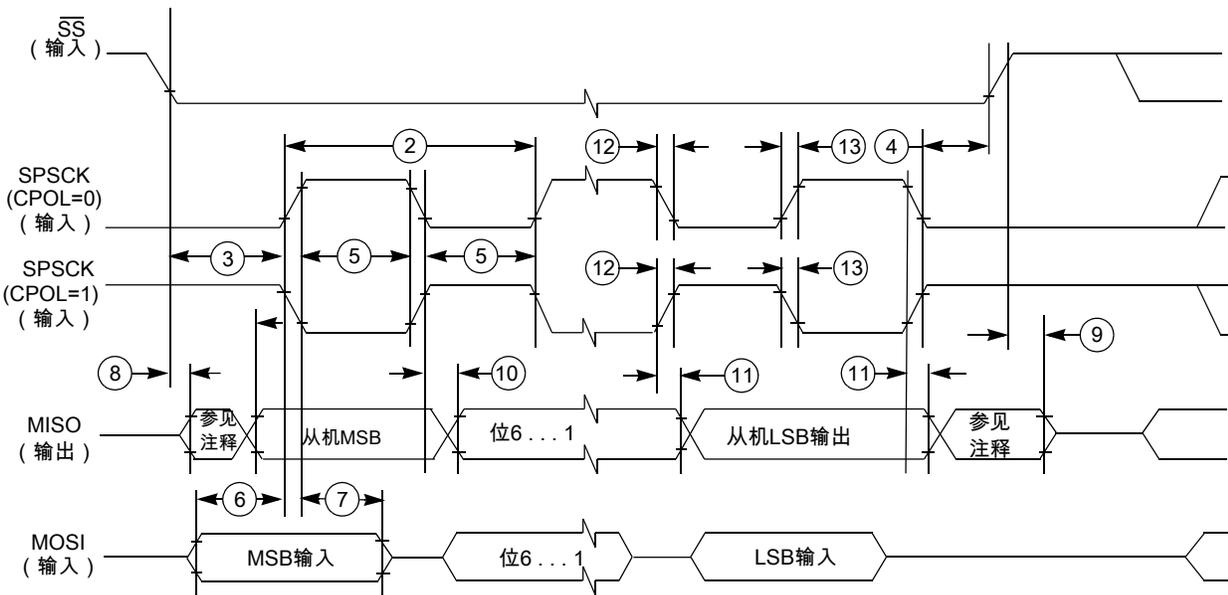
编号	符号	说明	最小值	最大值	单位	注释
1	f_{op}	操作频率	0	$f_{periph}/4$	[Hz]	1
2	t_{SPSCCK}	SPSCCK 周期	$4 \times t_{periph}$	—	ns	2
3	t_{Lead}	使能前置时间	1	—	t_{periph}	—
4	t_{Lag}	使能滞后时间	1	—	t_{periph}	—
5	$t_{WSPSCCK}$	时钟(SPSCCK)高电平或低电平时间	$t_{periph} - 30$	—	ns	—
6	t_{SU}	数据建立时间 (输入)	2.5	—	ns	—
7	t_{HI}	数据保持时间 (输入)	3.5	—	ns	—
8	t_a	从机访问时间	—	t_{periph}	ns	3
9	t_{dis}	从机 MISO 禁用时间	—	t_{periph}	ns	4
10	t_v	有效数据 (在 SPSCCK 边沿后)	—	31	ns	—
11	t_{HO}	数据保持时间 (输出)	0	—	ns	—
12	t_{RI}	输入上升时间	—	$t_{periph} - 25$	ns	—
	t_{FI}	输入下降时间				
13	t_{RO}	输出上升时间	—	25	ns	—
	t_{FO}	输出下降时间				

1. 对于 SPI0， f_{periph} 为总线时钟(f_{BUS})。对于 SPI1， f_{periph} 用作系统时钟(f_{SYS})。
2. $t_{periph} = 1/f_{periph}$
3. 从高阻抗状态到数据有效的的时间
4. 到高阻抗状态的保持时间

表 64. SPI 从机模式时序--管脚使能压摆率

编号	符号	说明	最小值	最大值	单位	注释
1	f_{op}	操作频率	0	$f_{periph}/4$	[Hz]	1
2	t_{SPSCK}	SPSCK 周期	$4 \times t_{periph}$	—	ns	2
3	t_{Lead}	使能前置时间	1	—	t_{periph}	—
4	t_{Lag}	使能滞后时间	1	—	t_{periph}	—
5	t_{WSPSCK}	时钟(SPSCK)高电平或低电平时间	$t_{periph} - 30$	—	ns	—
6	t_{SU}	数据建立时间 (输入)	2	—	ns	—
7	t_{HI}	数据保持时间 (输入)	7	—	ns	—
8	t_a	从机访问时间	—	t_{periph}	ns	3
9	t_{dis}	从机 MISO 禁用时间	—	t_{periph}	ns	4
10	t_v	有效数据 (在 SPSCK 边沿后)	—	122	ns	—
11	t_{HO}	数据保持时间 (输出)	0	—	ns	—
12	t_{RI}	输入上升时间	—	$t_{periph} - 25$	ns	—
	t_{FI}	输入下降时间				
13	t_{RO}	输出上升时间	—	36	ns	—
	t_{FO}	输出下降时间				

1. 对于 SPI0, f_{periph} 为总线时钟(f_{BUS})。对于 SPI1, f_{periph} 用作系统时钟(f_{SYS})。
2. $t_{periph} = 1/f_{periph}$
3. 从高阻抗状态到数据有效的的时间
4. 到高阻抗状态的保持时间



注释：未定义

图 31. SPI 从机模式时序(CPHA = 0)

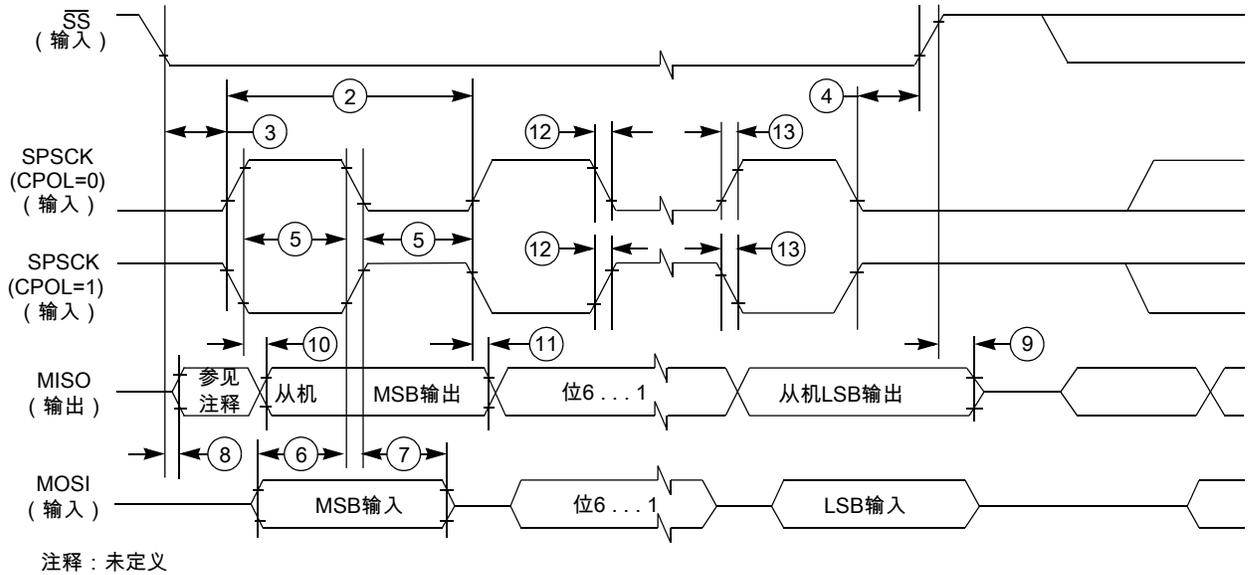


图 32. SPI 从机模式时序(CPHA = 1)

5.5.3 I2C 接口时序

表 65. I2C 时序

特性	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 时钟频率	f_{SCL}	0	100	0	400 ¹	kHz
重复 START 条件的保持时间。此周期后生成第一个时钟脉冲。	$t_{HD}; STA$	4	—	0.6	—	μs
SCL 时钟的 LOW 周期	t_{LOW}	4.7	—	1.25	—	μs
SCL 时钟的 HIGH 周期	t_{HIGH}	4	—	0.6	—	μs
重复 START 条件的建立时间	$t_{SU}; STA$	4.7	—	0.6	—	μs
I ² C 总线器件的数据保持时间	$t_{HD}; DAT$	0 ²	3.45 ³	0 ⁴	0.9 ²	μs
数据建立时间	$t_{SU}; DAT$	250 ⁵	—	100 ³ 、 ⁶	—	ns
SDA 和 SCL 信号的上升时间	t_r	—	1000	$20 + 0.1C_b$ ⁷	300	ns
SDA 和 SCL 信号的下降时间	t_f	—	300	$20 + 0.1C_b$ ⁶	300	ns
STOP 条件的建立时间	$t_{SU}; STO$	4	—	0.6	—	μs
STOP 和 START 条件之间的总线空闲时间	t_{BUF}	4.7	—	1.3	—	μs
输入滤波器必须抑制的尖峰脉宽	t_{SP}	N/A	N/A	0	50	ns

1. 在采用最大总线负载的快速模式下，仅当在全电压范围内使用高电流驱动引脚以及使用正常驱动引脚且 $V_{DD} \geq 2.7 V$ 时，才能获得最高 SCL 时钟频率。
2. 主机模式 I²C 在 SCL 下降沿的同时使地址字节的 ACK 变为无效。如果没有从机应答此地址字节，则产生负保持时间，具体取决于 SDA 和 SCL 线的边沿速率。
3. 只有在器件不延长 SCL 信号的 LOW 周期(t_{LOW})时，才必须满足最大 $t_{HD}; DAT$ 。
4. 输入信号压摆率 = 10 ns，输出负载 = 50 pF

- 如果 TX FIFO 为空，则从机-发送器模式下的建立时间为 1 个 IPBus 时钟周期。
- 可在标准模式 I2C 总线系统中使用快速模式 I²C 总线器件，但此时必须满足 $t_{SU; DAT} \geq 250 \text{ ns}$ 的要求。器件不延长 SCL 信号的 LOW 周期时，将自动适用该情形。如果此类器件确实延长了 SCL 信号的 LOW 周期，则它必须在释放 SCL 线之前，将下一个数据位输出至 SDA 线 $t_{rmax} + t_{SU; DAT} = 1000 + 250 = 1250 \text{ ns}$ (根据标准模式 I²C 总线规范)。
- C_b = 一条总线线路的总电容，单位为 pF。

要实现 1MHz I2C 时钟速率，请考虑以下建议：

- 为了抵消时钟拉伸的影响，可以配置 I2C 波特率选择位，以获得比所需更快的波特率。
- 使用高驱动引脚并在 PORTx_PCRn 寄存器中置位 DSE 位。
- 尽可能降低 I2C SDA 和 SCL 引脚上的负载，以确保最短的 SCL 线路上升时间，从而避免时钟拉伸。
- 在 SDA 和 SCL 上使用较小的上拉电阻，以降低 RC 时间常数。

表 66. I²C 1Mbit/s 时序

特性	符号	最小值	最大值	单位
SCL 时钟频率	f_{SCL}	0	1 ¹	MHz
重复 START 条件的保持时间。此周期后生成第一个时钟脉冲。	$t_{HD; STA}$	0.26	—	μs
SCL 时钟的 LOW 周期	t_{LOW}	0.5	—	μs
SCL 时钟的 HIGH 周期	t_{HIGH}	0.26	—	μs
重复 START 条件的建立时间	$t_{SU; STA}$	0.26	—	μs
I ² C 总线器件的数据保持时间	$t_{HD; DAT}$	0	—	μs
数据建立时间	$t_{SU; DAT}$	50	—	ns
SDA 和 SCL 信号的上升时间	t_r	$20 + 0.1C_b$	120	ns
SDA 和 SCL 信号的下降时间	t_f	$20 + 0.1C_b$ ²	120	ns
STOP 条件的建立时间	$t_{SU; STO}$	0.26	—	μs
STOP 和 START 条件之间的总线空闲时间	t_{BUF}	0.5	—	μs
输入滤波器必须抑制的尖峰脉宽	t_{SP}	0	50	ns

- 在全电压范围内使用高驱动引脚时，1 Mbit/s 最大 SCL 时钟频率支持最大总线负载。
- C_b = 一条总线线路的总电容，单位为 pF。

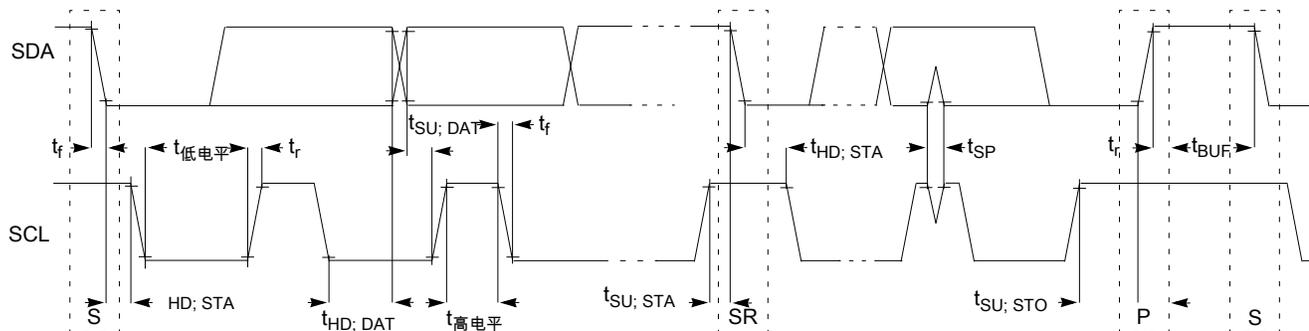


图 33. I²C 总线器件的时序定义

5.5.4 UART

参见一般开关规格。

6 设计考虑因素

6.1 硬件设计考虑因素

该设备包含保护电路，用于防止因高静态电压或电场导致损坏。但是，请采取正常的预防措施，以免任何高于最大额定电压的电压接入此高阻抗电路。

6.1.1 印刷电路板注意事项

- 将连接器或电缆置于电路板的一侧边沿，并且不要将数字电路置于连接器之间。
- 必须将用于 I/O 功能的驱动器和滤波器尽可能靠近连接器。将连接器处的 TVS 器件良好接地。将连接器处的滤波器电容良好接地。
- 如可能，通过物理方式将模拟电路与数字电路隔离。
- 将输入滤波器电容尽可能靠近 MCU。
- 为实现最佳 EMC 性能，让信号沿传输线路传送；在 LQFP 封装正下方使用接地层；将外露式焊盘(EP)焊接在 QFN 封装正下方。

6.1.2 功率输出系统

在功率输出系统中，请考虑以下事项：

- 使用接地平面。
- 使用 MCU VDD 电源平面（如可能）。
- 请务必先将接地布设为平面或连续面层，切勿布设为连续区段。
- 然后将电源平面或走线布设为与接地平面或走线平行。
- 将大容量电容（10 μF 或更大）置于电源平面入口。
- 将 MCU 电源域的旁路电路尽可能靠近每个 VDD/VSS 对，包括 VDDA/VSSA 和 VREFH/VREFL。
- 最小旁路要求将 0.1 μF 电容尽可能靠近封装电源引脚。

- USB_VDD 电压范围为 3.0 V 至 3.6 V。建议在滤波器电路中置入一个大容量电容（不小于 2.2 μF ）并在 USB_VDD 引脚处置入一个 0.1 μF 电容，以提高 USB 性能。
- 请务必特别小心，以降低 VREFH/VREFL 输入的噪声等级。可以选择将内部参考电压（通常为 1.2 V 输出电压）作为 ADC 参考电压。

注

内部参考电压输出(VREFO)在部分封装中连接到 VREFH 引脚，在其他封装中连接到 PTE30。使用 VREFO 输出时，需要使用 0.1 μF 电容作为滤波器。请勿将任何其他电源电压连接至已激活 VREFO 的引脚。

6.1.3 模拟设计

每个 ADC 输入必须具有一个 RC 滤波器，如下图所示。如果要求快速采样和高分辨率，则 R 的最大值必须为 $R_{AS\ max}$ 。电容 C 值的选择必须使 RC 时间常数与采样周期相比非常小。

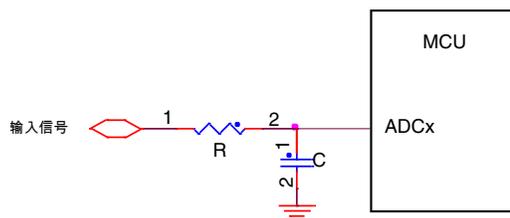


图 34. 用于 ADC 输入的 RC 电路

高电压测量电路需要分压、限流和过压保护，如下图所示。由 R1 – R4 组成的分压器产生的电压必须小于或等于 VREFH。电流必须小于注入电流限制。ADC 引脚没有接至 VDD 的二极管，所以必须配置外部钳位二极管防止瞬态过压。

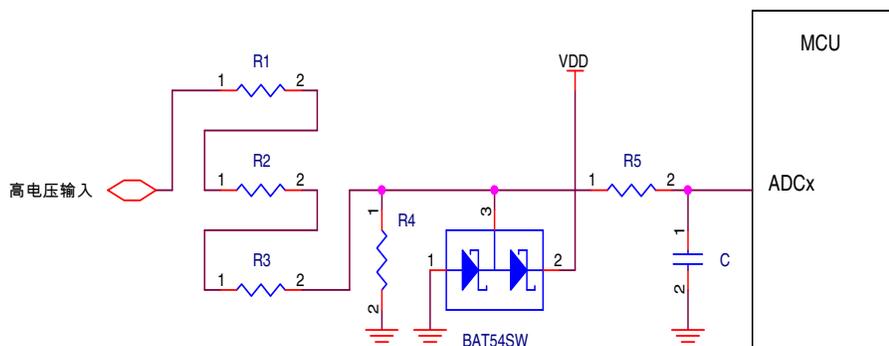


图 35. 通过 ADC 输入进行高电压测量

6.1.4 数字设计

确保所有 I/O 引脚无法上拉至高于 VDD (最大 I/O 为 VDD+0.3V)。

警告

请勿在 VDD 上电之前为 I/O 引脚供电, 特别是 RESET_b 引脚。

- RESET_b 引脚

RESET_b 引脚为具有一个内部上拉电阻的开漏 I/O 引脚。建议使用外部 RC 电路过滤噪音, 如下图所示。电阻值范围必须在 4.7 k Ω 至 10 k Ω 之间; 建议的电容值为 0.1 μ F。RESET_b 引脚还具有一个用于抑制杂散噪音的可选择数字滤波器。

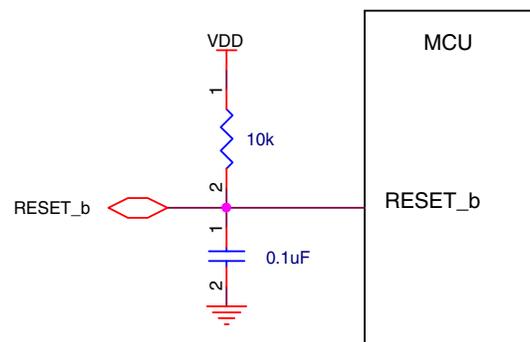


图 36. 复位电路

当外部主控芯片与 RESET_b 引脚相连时, 必须使用串联电阻来避免损坏主控芯片或 RESET_b 引脚, 如下图所示。串联电阻值 (以下为 RS) 的范围必须在 100 Ω 至 1 k Ω 之间, 具体取决于外部复位芯片的驱动强度。主控芯片必须是一个高电平有效、开漏输出的器件。

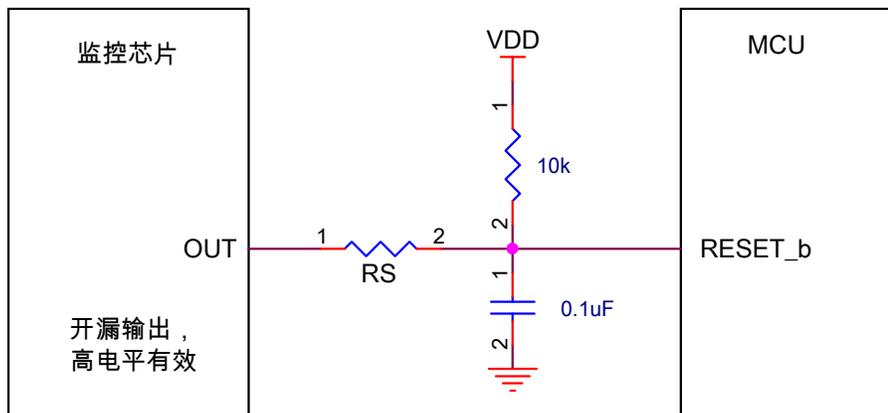


图 37. 外部复位芯片的复位信号连接

• NMI 引脚

不要在 NMI_b 引脚添加下拉电阻或电容，因为此引脚上的低电平将会触发不可屏蔽中断。如果此引脚作为 NMI 功能启用，则建议使用下图所示的上拉电阻(10 kΩ)，以提高稳定性。

如果将 NMI_b 引脚用作 I/O 引脚，则需要使用不可屏蔽中断程序，通过重新映射至其他功能来禁用 NMI 功能。可以通过将 FOPT[NMI_DIS]位设为 0 来禁用 NMI 功能。

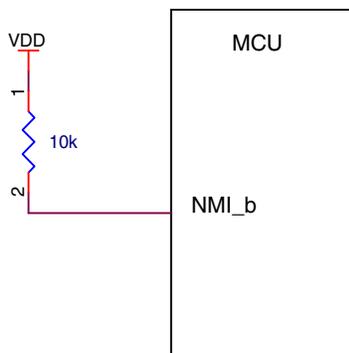


图 38. NMI 引脚偏置

• 调试接口

此 MCU 使用标准 ARM SWD 接口协议，如下图所示。当不需要上拉或下拉电阻（SWD_DIO 具有一个内部上拉电阻，SWD_CLK 具有一个内部下拉电阻）时，建议使用 10 kΩ 外部拉动电阻，以提高系统的稳定性。此外，还必须考虑以上提到的 RESET_b 引脚建议。

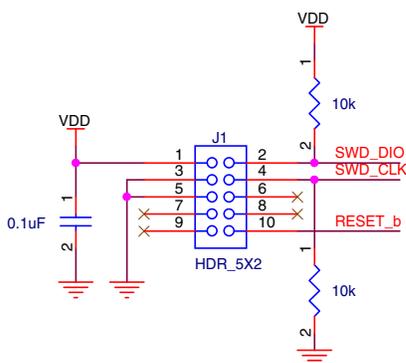


图 39. SWD 调试接口

- 低漏电停止模式唤醒

选择低漏电唤醒引脚(LLWU_Px)以将 MCU 从其中一种低漏电停止模式(LLS/VLLSx)中唤醒。引脚选择参见 [KL27 信号多路复用及引脚分配](#)。

- 未使用的引脚

未使用的 GPIO 引脚必须保持浮空(无电气连接),且该引脚的 PORTx_PCRn 寄存器的 MUX 字段必须等于 0:0:0。这会禁用至 MCU 的数字输入路径。

如果未使用 USB 模块,则保持 USB 数据引脚(USB0_DP、USB0_DM)浮空。如果未使用 USB 模块,则通过一个 10 kΩ 电阻将 USB_VDD 接地。

6.1.5 晶体振荡器

当使用外部晶振或陶瓷谐振器作为 MCU 时钟系统的频率参考时,请参考下面的表格和示意图。

反馈电阻(RF)从内部集成到低功耗振荡器中。使用高增益(HGO=1)模式时,需要使用外部反馈电阻。

当晶振或谐振器频率低于 2MHz 时,在高增益(HGO=1)模式下需要使用串联电阻(RS)。但是,此低功耗振荡器(HGO=0)不得具有任何串联电阻;频率高于 2MHz 的高频高增益振荡器无需任何串联电阻。

低频(32.786kHz)模式下提供内部负载电容(Cx、Cy)。使用 OSC0_CR 寄存器中的 SCxP 位调整晶振的负载电容。通常情况下,10pf 至 16pF 的值足以用于具有 12.5pF CL 特性的 32.768kHz 晶振。内部负载电容不得用于高频晶振和谐振器。

表 67. 外部晶振/谐振器连接

振荡器模式	振荡器模式
低频(32.768kHz)、低功耗	图 1
低频(32.768kHz)、高增益	图 2、图 4
高频(1-32MHz)、低功耗	图 3
高频(1-32MHz)、高增益	图 4

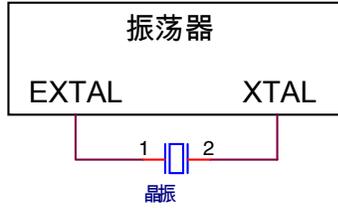


图 40. 晶振连接 - 图 1

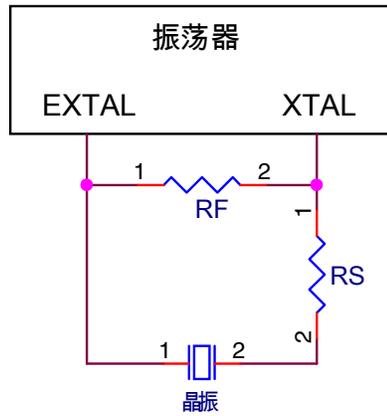


图 41. 晶振连接 - 图 2

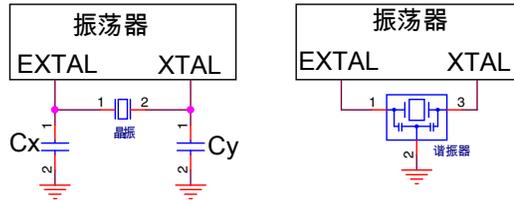


图 42. 晶振连接 - 图 3

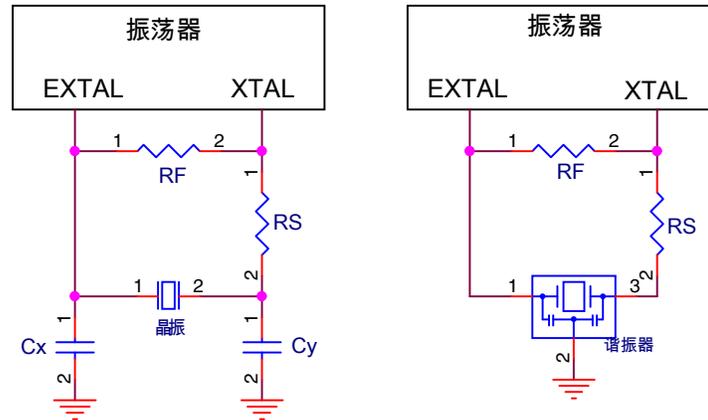


图 43. 晶振连接 – 图 4

6.2 软件方面

所有的 Kinetis MCU/单片机都会得到大量飞思卡尔和第三方软件开发解决方案的全面支持，从而可以降低开发成本，加快产品上市速度。以下所列为推荐软件和工具。访问 <http://www.freescale.com/kinetis/sw> 了解更多信息和支持性相关材料。

评估和硬件原型设计

- Freescale Freedom 开发平台: <http://www.freescale.com/freedom>
- 塔式系统开发平台: <http://www.freescale.com/tower>

面向 Kinetis MCU/单片机的 IDE

- Kinetis Design Studio IDE: <http://www.freescale.com/kds>
- 合作伙伴 IDE: <http://www.freescale.com/kide>

开发工具

- PEG 图形软件: <http://www.freescale.com/peg>
- Processor Expert 软件和嵌入式组件: <http://www.freescale.com/processorexpert>)

运行时软件

- Kinetis SDK: <http://www.freescale.com/ksdk>
- Kinetis 引导加载程序: <http://www.freescale.com/kboot>
- ARM mbed 开发平台: <http://www.freescale.com/mbed>
- MQX RTOS: <http://www.freescale.com/mqx>

有关所有其他合作伙伴开发的软件和工具，请访问 <http://www.freescale.com/partners>。

7 器件标识

7.1 说明

芯片的器件型号包含识别具体器件的字段。您可以使用这些字段的值来确定收到的具体器件。

7.2 格式

该设备的器件型号采用如下格式：

Q KL## A FFF R T PP CC N

7.3 字段

下表列出器件型号中每个字段的可能值（并非所有组合都有效）：

表 68. 器件型号字段说明

字段	说明	值
Q	认证状态	<ul style="list-style-type: none"> M = 完全合格，一般市场流通 P = 资格预审
KL##	Kinetis 系列	<ul style="list-style-type: none"> KL27
A	主要属性	<ul style="list-style-type: none"> Z = Cortex-M0+
FFF	P-Flash 存储器大小	<ul style="list-style-type: none"> 32 = 32 KB 64 = 64 KB
R	芯片版本	<ul style="list-style-type: none"> (空白) = 主版本 A = 主版本后的修订版本
T	温度范围(°C)	<ul style="list-style-type: none"> V = -40 至 105
PP	封装标识符	<ul style="list-style-type: none"> FM = 32 QFN (5 mm x 5 mm) FT = 48 QFN (7 mm x 7 mm)¹ LH = 64 LQFP (10 mm x 10 mm) MP = 64 MAPBGA (5 mm x 5 mm)¹ DA = 36 XFBGA (3.5 mm x 3.5 mm)
CC	最大 CPU 频率(MHz)	<ul style="list-style-type: none"> 4 = 48 MHz
N	封装类型	<ul style="list-style-type: none"> R = 盘卷 (空白) = 盘式

1. 此款产品暂不提供该封装。然而，它将包含在 Kinetis MCU 的“Package Your Way”计划中。访问 freescale.com/KPYW 了解更多详情。

7.4 示例

下面是一些器件型号示例：

MKL27Z32VLH4

8 修订历史记录

下表列出本文的修订历史记录。

表 69. 修订历史记录

修订版本号	日期	重大变更
4	2015 年 1 月 28 日	初始发布 <ul style="list-style-type: none"> • 更新了特性并完善了订购信息。 • 更新了表 9 - 功耗特性（最大值）。 • 在表 9 之前添加了注释。 • 更新了表 17 - IRC48M 规格。 • 更新了表 28。VREF 全范围(-40 – 105°C)特性（最小值、最大值和典型值） • 添加了章节 5.1 - USB 电气规格。 • 添加了表 36 - I²C 1Mbit/s 时序。
4.1	2015 年 2 月 2 日	<ul style="list-style-type: none"> • 将首页的订购信息移出，作为单独的章节。 • 添加了“模块信号说明”表和“封装尺寸”章节。
5	2015 年 4 月 21 日	<ul style="list-style-type: none"> • 32 引脚 QFN 封装现在为标准部分，添加了此封装的标记信息和热学属性。 • 添加了概述 章节 • 添加了存储器映射 章节 • 添加了引脚属性 • 为 Flash 时序规格 - 命令 中的 t_{rd1all} 添加了注释 • 为 I2C 接口时序 中快速模式下的最大 f_{SCL} 添加了注释 • 为 MCG-Lite 规格 中的 $\Delta f_{irc48m_ol_hv}$ 添加了脚注 • 添加了设计考虑因素 章节

How to Reach Us:

Home Page:
freescale.com

Web Support:
freescale.com/support

本文档中的信息仅供系统和软件实施方使用 Freescale 产品。本文并未明示或者暗示授予利用本文档信息进行设计或者加工集成电路的版权许可。Freescale 保留对此处任何产品进行更改的权利，恕不另行通知。

Freescale 对其产品在任何特定用途方面的适用性不做任何担保、表示或保证，也不承担因为应用程序或者使用产品或电路所产生的任何责任，明确拒绝承担包括但不限于后果性的或附带性的损害在内的所有责任。Freescale 的数据表和/或规格中所提供的“典型”参数在不同应用中可能并且确实不同，实际性能会随时间而有所变化。所有运行参数，包括“经典值”在内，必须经由客户的技术专家对每个客户的应用程序进行验证。Freescale 未转让与其专利权及其他权利相关的许可。Freescale 销售产品时遵循以下网址中包含的标准销售条款和条件：freescale.com/SalesTermsandConditions。

Freescale, Freescale logo, Energy Efficient Solutions logo, and Kinetis are trademarks of Freescale Semiconductor, Inc., Reg. U.S. Pat. & Tm. Off. All other product or service names are the property of their respective owners. ARM and Cortex are registered trademarks of ARM Limited (or its subsidiaries) in the EU and/or elsewhere. All rights reserved.

© 2015 Freescale Semiconductor, Inc.

© 2015 飞思卡尔半导体有限公司