

# IMXRT500HDG

## i.MX RT500 硬件设计指南

第 0 版 — 2022 年 11 月 15 日

用户指南

### 文档信息

信息	内容
关键字	IMXRT500HDG、i.MX RT500、MIMXRT595-EVK
摘要	本用户指南提供了有关系统硬件设计的详细信息，旨在帮助用户开发基于 i.MX RT500 的设计



# 1 介绍

本用户指南提供了有关系统硬件设计的详细信息，旨在帮助用户开发基于 i.MX RT500 的设计。以下章节还介绍了基于恩智浦 MIMXRT595-EVK 板的建议和示例，用于阐释这些概念。

## 1.1 MIMXRT595 硬件设计指南综述

本节概要介绍了 MIMXRT595 硬件设计指南，并列出了以下的详细说明：

- 电源域：芯片上的多个电源域以及如何对其进行滤波或解耦
- 外部时钟：芯片上可用的外部系统时钟
- 调试、跟踪、扫描和编程：连接审查
- 布板建议：EVK 布板要求

详情请参见图 1。

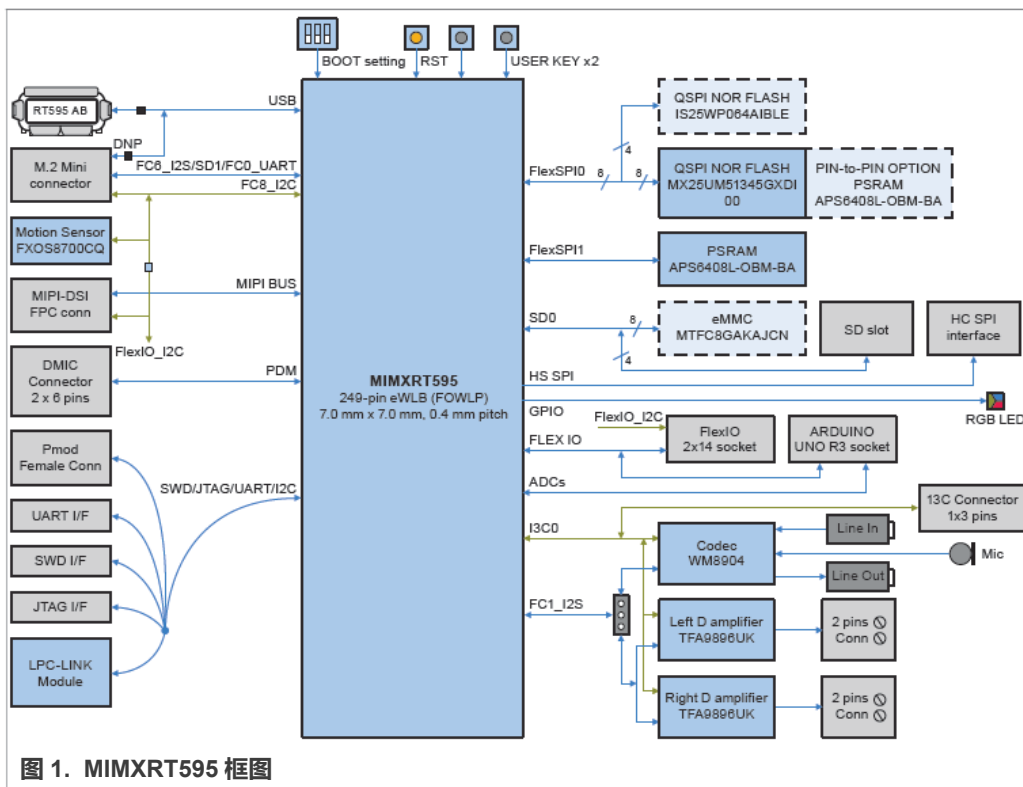


图 1. MIMXRT595 框图

主要特性如下所示：

- 28FDSOI 技术
- Cortex M33
- Fusion F1 DSP
- 图形子系统
- 5 MB 低漏电 SRAM
- 连接
- 定时器

工作参数：

- 电源：
  - VDDCORE : 0.6 V 至 1.155 V
  - VDDIO\_0/1/2/4 : 1.71 V 至 1.89 V
  - VDDIO\_3 : 1.71 V 至 3.6 V
- 环境温度范围：-20°C 至 +70°C

## 2 缩略语

[表 1](#) 定义了本文档中使用的缩略语。

表 1. 缩略语

缩略语	定义
BGA	Ball Grid Array
CLKIN	Clock-In
CMOS	Complementary Metal-Oxide-Semiconductor
FOWLP	Fan-Out Wafer-Level Package
GPIO	General-Purpose Input/Output
HDI	High Density Interconnect
ISP	In-System Programming
ITM	Instrumentation Trace Macrocell
LDO	Low-Dropout Regulator
MCU	Microcontroller Unit
MLCCs	Multi-layer Ceramic Capacitors
OTP	One-Time-Programmable
PCB	Printed-Circuit board
PFM	Pulse-Frequency Mode
PMIC	Power Management IC
PWM	Pulse Width Modulation
PIU	Port Interface Unit
QFN	Quad Flat-pack No Lead
QSPI	Quad Serial Peripheral Interface
RTC	Real-Time Clocks
SDIO	Secure Digital I/O
SWD	Serial Wire Debug
SWO	Serial Wire Output
SWC	Serial Wire Clock
WLCSP	Wafer-Level Chip-Scale Package
WLCSP	Wafer-Level Chip-Scale Package
XTAL	Crystal

### 3 电源域

本节详细介绍了芯片和系统中的电源域。

#### 3.1 i.MX RT500 的常开电源域，GPIO 和模拟

i.MX RT500 有多个数字和模拟电源，为内部电路和与系统对接的 GPIO 端口供电。[表 2](#) 列出了电源轨，以及每个电源轨的最小、最大和典型电压。

**注：**每个电源的最小建议滤波方法，包括大容量电容和本地解耦电容；以及电源域供电的简短描述。

- VDD\_AO1V8 是低功耗常开电源，为内部模块和通用寄存器供电，使芯片可随时响应低功耗唤醒事件。其中包括实时时钟模块、通用寄存器 (GPREG[7:0])、RESETN 输入和 PMIC 控制脚。
- 芯片有 5 个独立的 GPIO 电源域，为芯片周围的 I/O 功能供电。这 5 个 I/O 电源轨的工作电压为 1.8 V，其中 1 个 (VDDIO\_3) 可在 3.3 V 下工作。
- VDD1V8 电源轨为片上模拟功能供电。

表 2. 电源轨

电源轨	最小电压 (V)	典型电压 (V)	最大电压 (V)	解耦和大容量电容 (最少数量)	说明
VDD_AO1V8	1.71	1.8	1.89	1 × 0.22 μF + 1 × 1 μF	1.8 V 电源，用于常开功能。它包含 RTC 模块、通用寄存器 GPREG[7:0]以及 RESETN 和 PMIC 控制引脚 (LDO_ENABLE、PMIC_IRQ_N、PMIC_MODE0 和 PMIC_MODE1)。
VDDIO_0	1.71	1.8	1.89	3 × 0.22 μF + 1 × 10 μF	用于 GPIO 的 1.8 V 电源
VDDIO_1	1.71	1.8	1.89	3 × 0.22 μF + 1 × 10 μF	用于 GPIO 的 1.8 V 电源
VDDIO_2	1.71	1.8	1.89	1 × 0.22 μF + 1 × 1 μF	用于 GPIO 的 1.8 V 电源
VDDIO_3	1.71	1.8	1.89	1 × 0.22 μF + 1 × 1 μF	用于 GPIO 的 1.8 V 或 3.3 V 电源
	3.0	3.3	3.6		
VDDIO_4	1.71	1.8	1.89	1 × 0.22 μF + 1 × 1 μF	用于 GPIO 的 1.8 V 电源
VDD1V8 VDD1V8_1	1.71	1.8	1.89	5 × 0.22 μF + 1 × 10 μF	用于片上模拟功能的电源电压。VDD1V8_1 为片上 OTP 控制模块供电。

#### 3.2 i.MX RT500 的电源域、ADC 和内核逻辑电源

1. ADC 的工作电压为 1.8 V，它只能测量高度低于 VDDA 电平，见[表 3](#)中的 [VDDA\\_ADC1V8](#) 行。
2. VDDCORE 为系统核心逻辑电源，启动时的电压为 1.0 V，其电压可以在应用程序中更改。

在活动模式下，最低电压为 0.7 V 以节省功耗，但在保持模式下，此电压还可以降低。VDDCORE 需要相当多的解耦电容。关于如何在 12 个 VDDCORE 引脚上应用最少数量的电容，请参考以下步骤。

- 当 LDO\_ENABLE 外部连接低电平时，用户必须在 VDDCORE = 1.0 V 或更高（低功耗/普通时钟模式-OTP 设置-BOOT\_CLK\_SPEED）或 VDDCORE = 1.13 V（高速时钟-OTP 设置-BOOT\_CLK\_SPEED）下启动。之后，可以将 VDDCORE 调整到期望的电平。
- 当 LDO\_ENABLE 外部连接高电平时，PMC 中 VDDCORE 内核电压的片上稳压器设置为默认值 1.05 V（低功耗/普通时钟模式-OTP 设置-BOOT\_CLK\_SPEED）或 1.13 V（高速时钟-OTP 设置-BOOT\_CLK\_SPEED）。之后，  
POWER\_SetLdoVoltageForFreq API 函数可用于配置片上稳压器输出设置 VDDCORE 电压。
- 在执行任何 OTP 读/写功能时，当 LDO\_ENABLE 外部连接高或低电平时，VDDCORE 电压必须设置为 1.0 V 或更高。

3. 对于 ADC 模拟参考，VREFP 是 1.8 V 参考，其电平必须与 VDDA\_ADC1V8 相同。

表 3. ADC 和 CORE 逻辑电源

电源轨	最小电压 (V)	典型电压 (V)	最大电压 (V)	解耦和大容量电容 (最少数量)	说明
VDDA_ADC1V8	1.71	1.8	1.89	1 × 0.22 μF	用于 ADC 的 1.8 V 模拟电源电压。
VDDA_BIAS	1.71	1.8	1.89	1 × 0.22 μF + 1 × 1 μF	对于 ADC 和比较器，输入范围为 0–1.8 V。
VDDCORE	0.6	1.0	1.155	5 × 0.22 μF + 1 × 10 μF	在保持模式下，最小电压为 0.6 V，在活动模式下为 0.7 V。
	0.7	1.0	1.155		内核逻辑的电源可以由片上稳压器或片外 PMIC 供电。这些引脚始终需要外部滤波电容。如需了解详细信息，请参见电源连接信息中的数值和其他建议。
	1.0	1.0	1.155		最小的 VDDCORE 启动电压为 1.0 V。
VREFP	1.71	1.8	1.89	1 × 0.22 μF	ADC 正参考电压输入

### 3.3 i.MX RT500 的电源域、内置稳压器

这个功能域章节列出了 LDO\_ENABLE 输入信号，LDO\_ENABLE 是控制内部 VDDCORE LDO 稳压器使能的控制信号。当 VDDCORE 不使用外部电源供电时，该引脚被拉高以启用内部 LDO，当外部电源提供 VDDCORE 时，该引脚被拉低。参见[第 3.6 节](#)。

除了大容量电容和解耦电容的最少数量外，我们还应查看关于放置电容的位置和电容参数建议的[注意事项](#)。

在使用球栅阵列封装的高速设计中，焊球被焊接到顶层，信号被走线到至少两层，电源引脚被走线到两个或多个其他层。大多数（如果不是全部）解耦电容应在底层的 MCU 正下方的区域，连接至其地和电源域。

关于解耦网络中使用的 3 组主要电容、这些电容的封装尺寸、公差、额定电压和介电建议，请参见[表 4](#)。电容信息请参见[第 7 章](#)。

表 4. 电容信息

信号	说明
LDO_ENABLE	当 LDO_ENABLE 为高电平时，VDDCORE 由片上稳压器供电，当 LDO_ENABLE 为低电平时，VDDCORE 由片外 PMIC 供电。  此引脚不能保持浮空。建议使用 100 kΩ 外部上拉电阻或 10 kΩ 外部下拉电阻。

**注：**

3. 解耦电容和大容量电容必须放置在 PCB 的底部，MCU 的下方，以实现最小的回路。

- 对于 0.22 μF 电容，使用 0201 封装，10 V，20%，X5R 或 X7R
- 对于 1 μF 电容，使用 0402 封装，10 V，10%，X5R 或 X7R
- 对于 10 μF 电容，使用 0603 封装，16 V，20%，X5R 或 X7R

**注：**可以接受 0805 封装。

### 3.4 GPIO 的电源域

[表 5](#) 列出了特定 VDDIO 和 VDD\_AO1V8 电源域中的 GPIO。

表 5. 电源域

VDDIO 电源轨	GPIO 引脚
VDDIO_0	PIO0_0 至 PIO0_13
	PIO1_11 至 PIO1_15
	PIO1_18 至 PIO1_29
	PIO2_14 至 PIO2_15
	PIO3_25 至 PIO3_29
	PIO4_0 至 PIO4_6
	PIO6_27

表 5. 电源域 (续)

VDDIO 电源轨	GPIO 引脚
VDDIO_1	PIO0_14 至 PIO0_19
	PIO0_21 至 PIO0_25
	PIO0_28 至 PIO0_31
	PIO1_0
	PIO1_3 至 PIO1_7
	PIO1_9 至 PIO1_10
	PIO2_24 至 PIO2_31
	PIO3_1 至 PIO3_3
	PIO4_11 至 PIO4_17
	PIO4_18
	PIO5_4, PIO5_8
	PIO5_15 至 PIO5_18
	PMIC_I2C_SCL
	PMIC_I2C_SDA
VDDIO_2	PIO1_30 至 PIO1_31
	PIO2_0 至 PIO2_8
	PIO2_9 至 PIO2_11
VDDIO_3	PIO4_20 至 PIO4_31
	PIO5_0 至 PIO5_3
VDDIO_4	PIO3_8 至 PIO3_18
	PIO3_19 至 PIO3_21
VDD_AO1V8	RESETN
	LDO_ENABLE
	PMIC_IRQ_N
	PMIC_MODE0 和 PMIC_MODE1
	RTCXIN 和 RTCXOUT

- VDDIO\_0、VDDIO\_1、VDDIO\_2 和 VDDIO\_4 电源可在 1.71 V 到 1.89 V 之间供电。
- VDDIO\_3 可在 1.71 V 和 3.6 V 之间供电。

### 3.5 使用 PMIC 的上电顺序 (内部 LDO 被禁用时)

内部和外部电源轨必须按顺序上电，以避免启动问题。对 VDDCORE 节点，使用外部 PMIC 供电和使用内部 LDO 供电的上电顺序是类似的。

1. 必须先为常开电源上电，或与为初始化 MCU 的主要模拟功能供电的 VDD1V8 电源一起上电。

2. PMIC 模式引脚是由一个常开电源控制的输出。这些引脚必须有拉到 VDD\_AO1V8 的外部上拉，它们在 VDD\_AO1V8 稳定后的几微秒后状态生效。
3. VDDA\_ADC1V8 电源和 VREFP 参考与 VDD1V8 同时上电或在 VDD1V8 上电之后上电。
4. VDDIO 电源轨和 VDDA\_BIAS 也和 VDD1V8 同时上电或在 VDD1V8 上电之后上电。  
**警告：**当 VDDIO\_3 为 3.0 V 时，在升压过程中，电压差不得超过 1.89 V。
5. VDDCORE 最后由 PMIC 供电，PMIC 处理电源时序。

**注：**当 LDO\_ENABLE 外部连接为低电平时，用户必须在 VDDCORE = 1.1 V 或更高（低功耗/普通时钟模式-OTP 设置-BOOT\_CLK\_SPEED）或 VDDCORE = 1.13 V（高速时钟-OTP 设置-BOOT\_CLK\_SPEED）时启动。之后，可以将 VDDCORE 调整到期望的电平。在 VDDCORE 稳定后，PMIC 再释放 RESETN。

在不使用 PMIC 时，启用内部 VDDCORE LDO 以提供 VDDCORE。当 VDDCORE 稳定后，PMC 在内部释放 RESETN。

**注：**对于 ERR050716，通常所有 1.8 V 电源引脚由同一个稳压器供电，因此所有引脚在同一相对时间应用。当所有 1.8 V 电源域同时上电时，解耦电容的充电延迟可以忽略不计。



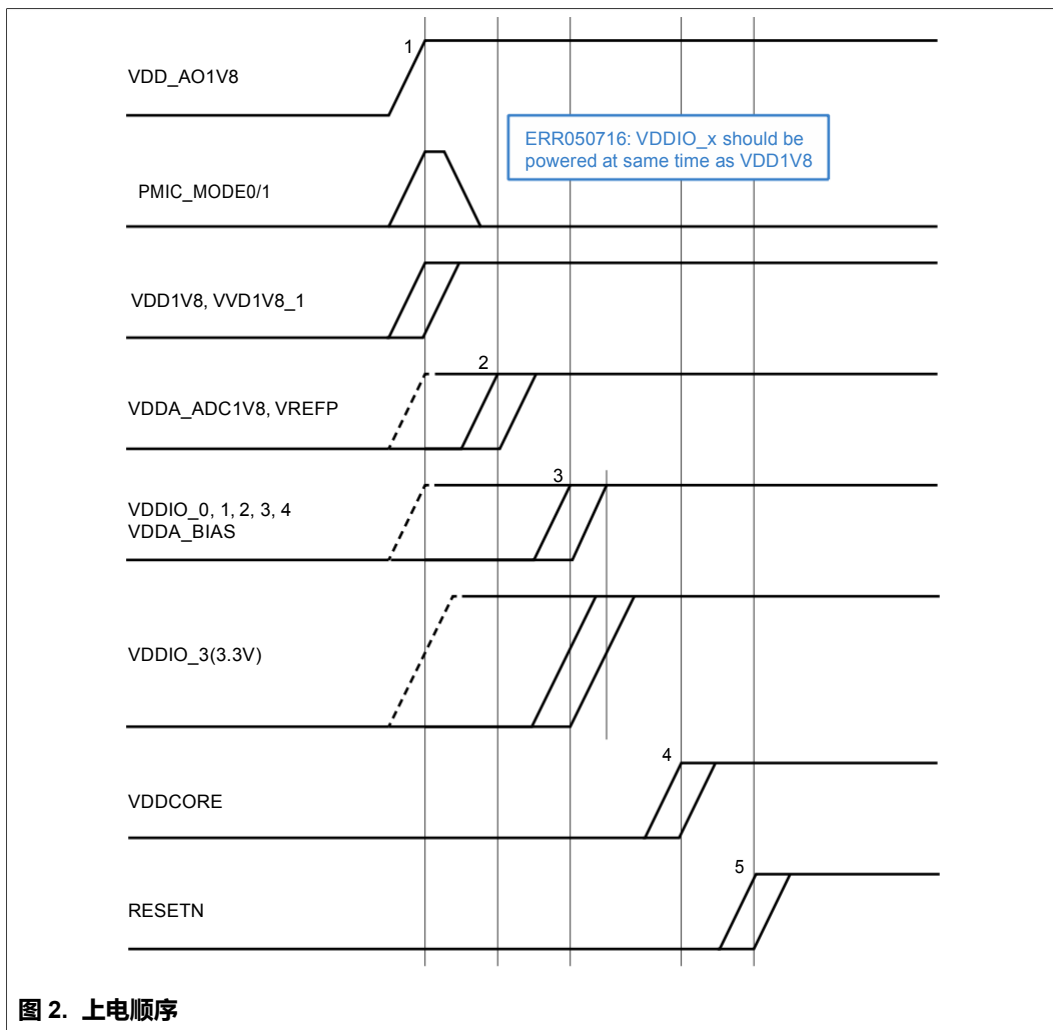


图 2. 上电顺序

图 2 所示的上电顺序如下：

1. VDD\_AO1V8、VDD1V8 和 VDD1V8\_1 应先上电。如果使用 PMIC，模式引脚将被上拉到常开电源，直到模式引脚被激活。
2. VDDA\_ADC1V8 和 VREFP 可与 VDD\_AO1V8 和 VDD1V8 同时上电或稍后上电。
3. VDDIO\_x 和 VDDA\_BIAS 可与 VDD1V8 同时上电或稍后上电。当 VDDIO\_3 为 3.3 V 时，VDDIO\_3 和 VDD1V8 之间的电压差必须为 1.89 V 或更低。
4. 在所有其他电源完成升压之前，不应提升开机 VDDCORE 的电压。
5. 使用 PMIC 时，将 RESETN 保持在低电平，直到 VDDCORE 有效。使用内部 VDDCORE LDO (LDO\_ENABLE = 1) 时的唯一区别是，当 VDDCORE 稳定后，内部 PMC 释放内部 RESETN。

### 3.6 恩智浦 PCA9420 PMIC

恩智浦 PCA9420 PMIC 与 i.MX RT500 和 i.MX RT600 微控制器配套使用。该 PMIC 具有两个 LDO 稳压器和两个开关式稳压器。

该 PMIC 提供两种小型封装：

- BGA 型晶圆级芯片规模封装 WLCSP
- 24 引脚 4 线扁平封装，无引脚 QFN

图 3 所示的框图取自 PCA9420 数据手册。

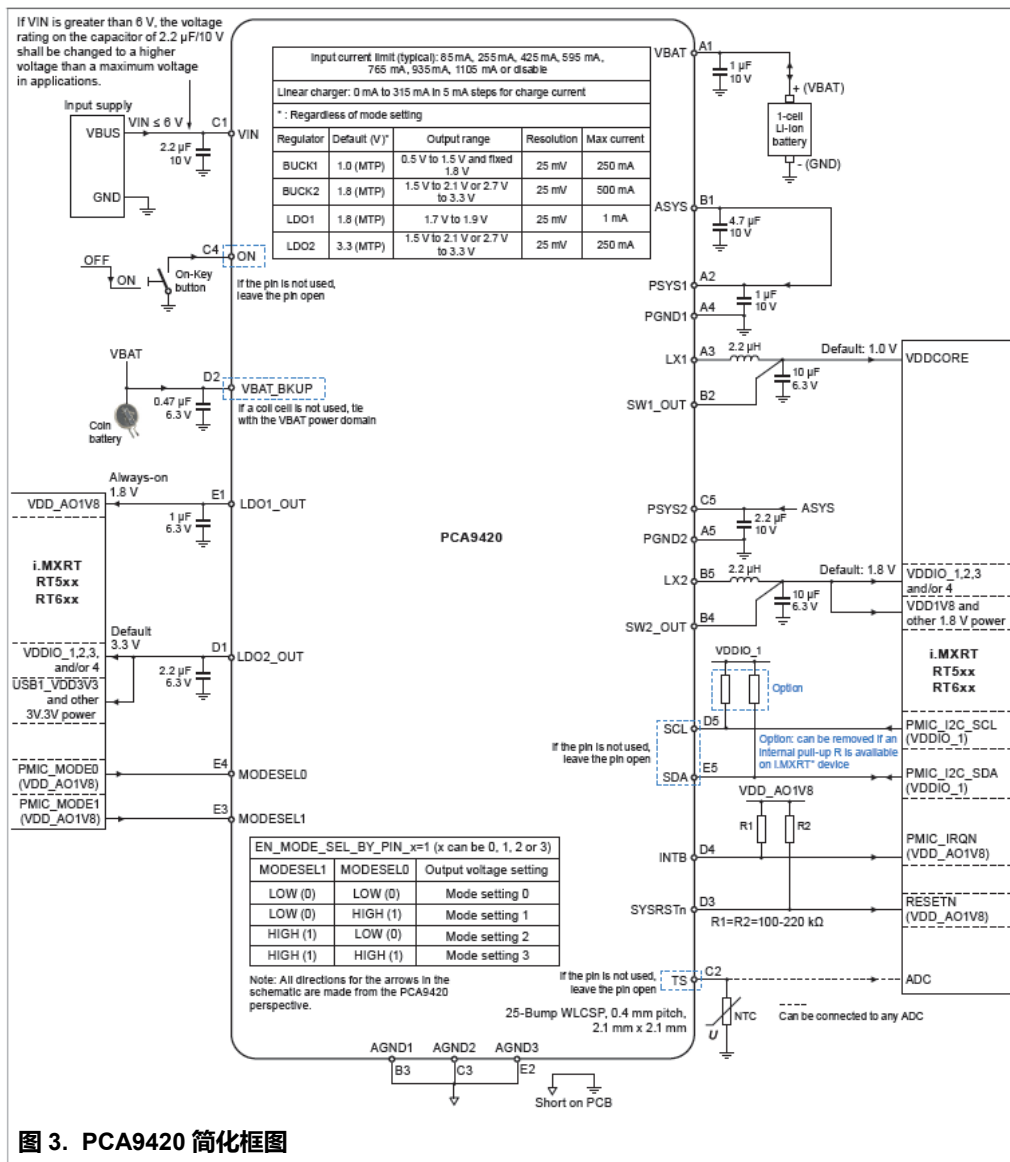


图 3. PCA9420 简化框图

- 用于低功耗微控制器应用的电源管理 IC
- 两个 LDO 稳压器和两个开关式稳压器
- 5 x 5 凸点 WLCSP 或 24 引脚 QFN 封装-EVK 使用 WLCSP 封装

### 3.7 MIMXRT595-EVK PMIC 电源分配

图 4 重点展示了 PCA9420 PMIC 的输出部分，我们可以看到左边有两个 LDO 输出，右边有两个开关输出。

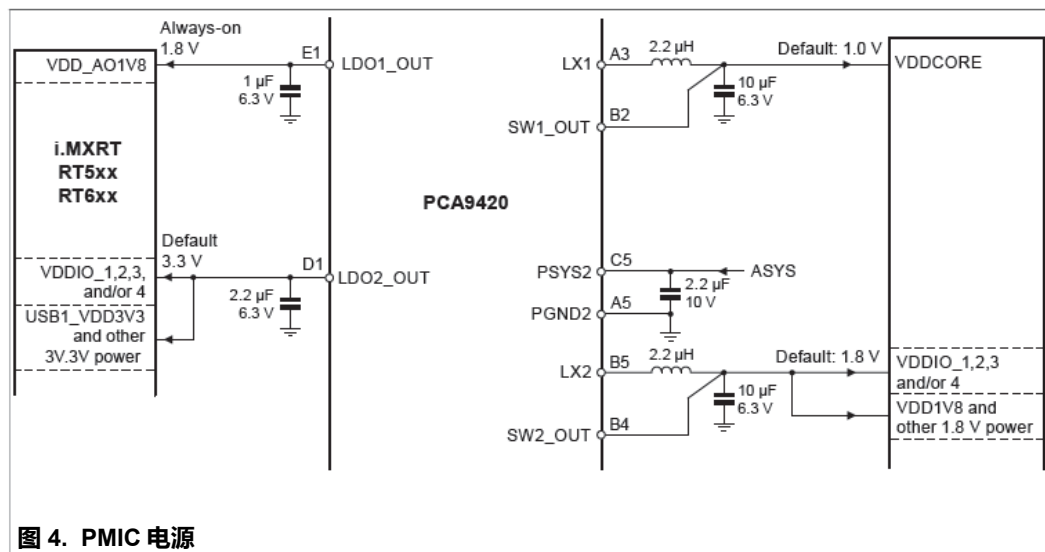


图 4. PMIC 电源

表 6. PMIC 电源

PMIC 电源	说明	电源轨
LDO1_OUT	低功耗常开 1.8 V 电源	VDD_AO1V8
LDO2_OUT	3.3 V 电源	USB1_VDD3V3、VDDA_BIAS、VDDIO_3
SW1_OUT	1.0 V 内核电源	VDDCORE、MIPI_DSI_VDD11
SW2_OUT	高电流 1.8 V 电源	VDD1V8、VDD1V8_1、VDDIO_0、VDDIO_1、VDDIO_2、VDDIO_3、VDDIO_4、VDDA_ADC1V8、VREFP

- LDO1\_OUT 被配置为低功耗常开电源，这也会偏置 RESETN 和 PMIC 控制信号上拉电阻。
- LDO2\_OUT 被配置为 USB 模块和 VDDIO\_3 域的主 3.3 V 电源。
- SW1\_OUT 被配置为 1.0 V CORE 电源，MIPI\_DSI 模块也使用该电源。
- SW2\_OUT 是高电流 1.8 V 电源，为其余 1.8 V 域和负载供电。

**注：** SW2\_OUT 在低负载条件下（小于 50 mA）以脉冲频率模式（PFM）运行，以提高能效，在高负载条件下以 1 MHz PWM 模式运行。在低负载条件下，PFM 运行在该电源上产生超过 20mV 的纹波，这会传播到主振荡器并导致抖动。如果 MCU 在低负载条件下运行且时钟抖动不可接受，则必须为 VDD1V8 电源必须使用外部 1.8 V LDO 稳压器。

**注：** 您可以为 PMIC 请求特定的默认电源电压和时序，PMIC 团队会为您生成新的部件号。

## 4 i.MX RT500 电源域，其他电源轨

其他电源轨包括：

- USB 3.3 V 电源
- 用于 MIPI\_DSI 数字内核的 1.1 V MIPI\_DSI\_VDD11 电源（我们建议将其连接到 VDDCORE 电源）
- 用于 MIPI\_DSI PHY 的 1.8 V MIPI\_DSI\_VDD18 电源
- 1.8 V MIPI\_DSI\_VDD18\_VDDA\_CAP 域，该内部域需要一个稳定电容
- USB1\_VBUS 是来自 USB 连接器的 3 V 至 5 V 信号，用于检测是否有活动 USB 电缆。这是一个输入而不是电源轨。
- 有若干内部 VSS 连接（VSS、VSSA、MIPI\_DSI\_VSS，和 VREFN）必须连接到公共接地节点。

关于未使用引脚的端接，请参见表 7。如需了解更多详细信息，请参见《i.MX RT500 低功耗跨界处理器数据手册》（含附录）中的“未使用引脚端接”章节（文档 [IMXRT500EC](#)）。

表 7. 其他电源轨

电源轨	最小电压 (V)	典型电压 (V)	最大电压 (V)	解耦和大容量电容 (最少数量)	说明
USB1_VDD3V3	3.0	3.3	3.6	1 × 0.22 μF	USB1 模拟 3.3 V 电源
USB1_VBUS	3.0	5.0	5.5	1 × 0.22 μF	USB1_VBUS 输入，用于验证 USB 的存在
MIPI_DSI_VDD11	0.85	1.1	1.155	1 × 0.22 μF	MIPI DSI 1.1 V 数字内核输入电压源。建议尝试 VDDCORE 电压。
MIPI_DSI_VDD18	1.71	1.8	1.89	1 × 0.22 μF	MIPI DSI 1.8 V PHY I/O 输入电压源
MIPI_DSI_VDD18_VDDA_CAP	—	—	1.155	1 × 0.22 μF	内部域
VREFN	—	0	—	—	ADC 负参考电压。连接至 GND
VSSA	—	0	—	—	模拟负电源。连接至 GND
VSS	—	0	—	—	MCU 负极电源。连接至 GND
MIPI_DSI_VSS	—	0	—	—	MIPI_DSI_VSS。连接至 GND

## 5 外部时钟

本章详细介绍晶振、外部时钟输入和多功能 CLKOUT 输出。

## 5.1 外部时钟

主晶振 ( XTALIN / XTALOUT ) 可以驱动 4 MHz 至 32 MHz 的晶体。

主晶振可以在低功耗或高增益模式下工作，频率范围为 4 MHz 至 32 MHz，由于片上 PLL 的限制，实际范围为 5 MHz 至 26 MHz。

实时时钟 ( RTC ) 振荡器 ( RTCXIN / RTCXOUT ) 只用于：

- 32 kHz 实时时钟 ( RTC )，可用作系统时钟和定时器时钟
- 内部负载电容选择 32.768 kHz 晶体

它只在低功耗模式下运行，并具有内部负载电容器组来调整晶体频率，从而减少元器件数量。

CLKIN 和 CLKOUT 功能：

- CLKIN 输入时钟——备用输入时钟
- CLKOUT 输出时钟：
  - 便捷的输出时钟，用于测量晶体或系统频率
  - 用于调谐系统和 RTC 振荡器

## 5.2 主晶振 ( XTALIN/XTALOUT )

主晶振使用专用的 XTALIN 和 XTALOUT 引脚。该高频振荡器用作 PLL 和内部系统时钟的源。

PLL 倍频器限制了晶体频率的实际范围，参见表 8。PLL 晶振有一个限制，其晶体频率范围为 5 MHz 至 26 MHz，PLL 倍频器的范围为 16 至 22，产生 80 MHz 到 572 MHz 的 VCO 频率范围。该振荡器具有低功耗模式，以正常增益启动，并自动调整到较低增益以保持振荡。在该模式下，振荡器的功耗最低，但如果系统有电噪声，则易受噪声影响。低功耗振荡器的配置具有内部反馈电阻，因此不需要或不建议使用外部反馈电阻。

高增益振荡器是普通增益放大器，不调整其驱动电平。高增益模式需要外部 1 MΩ 反馈电阻。高增益模式对系统噪声不太敏感，但消耗的功率更多。

低功耗和高增益等配置都需要晶体引脚上的外部负载电容，参见图 5。如需了解有关振荡器负载电容的更多详细信息，请参见第 5.9 节。

该振荡器可被配置为 CLKOUT 引脚输出，以测量频率并根据需要调整负载电容。该振荡器也可以通过将外部时钟信号连接到 XTALIN 引脚来旁路。

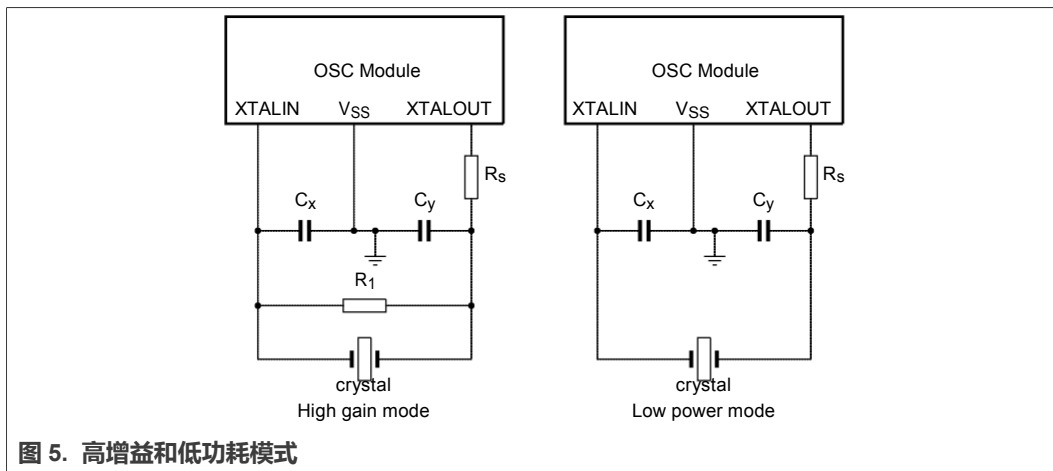


表 8. PLL 频率

基于倍频器的 PLL 频率 ( MHz )							
晶体 ( MHz )	16	17	18	19	20	21	22
4	64	68	72	76	80	84	88
5	80	85	90	95	100	105	110
8	128	136	144	152	160	168	176
10	160	170	180	190	200	210	220
16	256	272	288	304	320	336	352
20	320	340	360	380	400	420	440
24	384	408	432	456	480	504	528
26	416	442	468	494	520	546	572
32	512	544	576	608	640	672	704

VCO 范围为 80 MHz 至 572 MHz。

### 5.3 主晶振 ( XTALIN/XTALOUT ) 高增益模式

高增益模式是复位时的默认设置。振荡器需要软件配置，因此在固件初始化振荡器之前，它不会在上电时启动。高增益模式需要 1 MΩ 反馈电阻和外部负载电容，参见图 6。

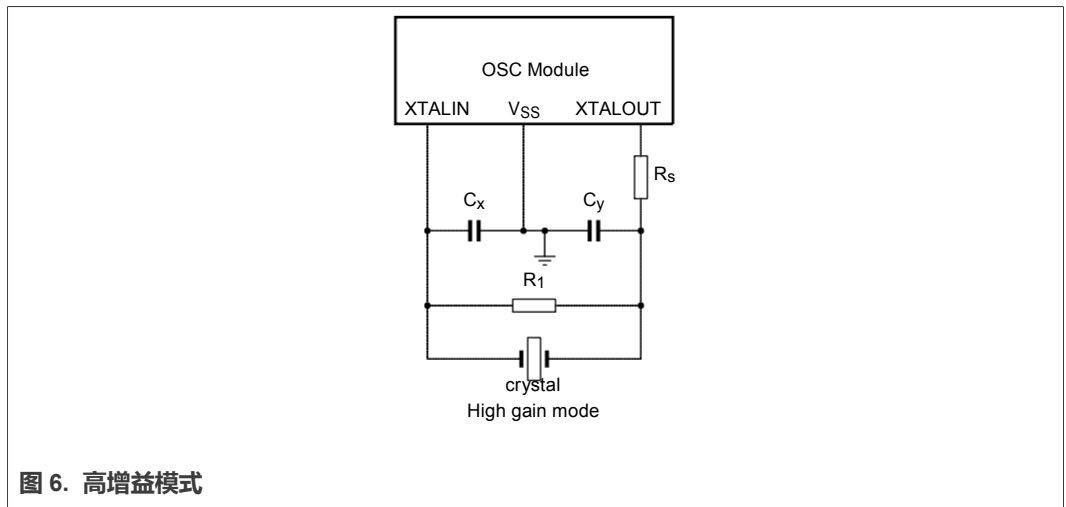


图 6. 高增益模式

**注：**串联电阻位于 XTALOUT 输出端。较小值的电阻可用于低频 (<8MHz) 晶体，但通常不需要。

虽然高增益模式能够以轨到轨电平驱动低频晶体，但在较高频率下，这些电平会有所衰减。在嘈杂环境中工作时，使用高增益模式。这种模式更能容忍噪声并减少系统时钟抖动。

然而，如果振荡器加载不当，高增益模式也可能产生更高的电磁干扰。负载电容过小会导致晶振输出频率偏高。

#### 5.4 主晶振 ( XTALIN/XTALOUT ) 低功耗模式

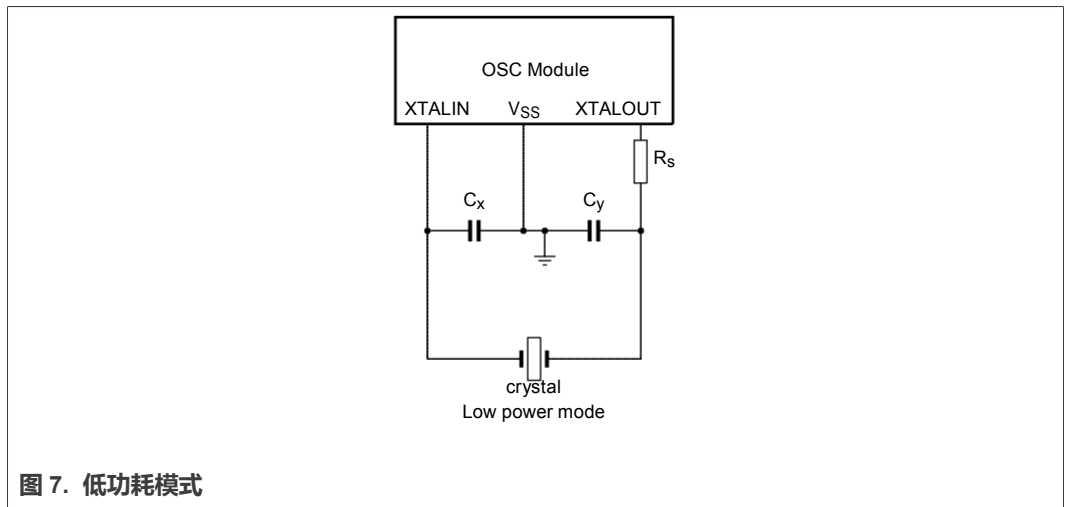
使用振荡器控制寄存器中的 LP\_ENABLE 位选择低功耗模式。低功耗配置具有内部反馈电阻，不需要或不建议使用外部反馈电阻。低功耗模式振荡器需要外部负载电容来调整晶振频率。通过设置 SYSOSCCTL0 中的 LP\_ENABLE 位来选择低功耗模式。低功耗模式通过在初始振荡后减少驱动电流来节省功耗：

- 振荡电平约为 0.8 V 峰峰值
- 请勿尝试测量振荡电平

如前所述，低功耗模式以正常增益驱动开始，然后自动降低增益以保持振荡。如有必要，增益控制电路还可以增加增益以保持振荡。虽然可以在低功耗模式下测量晶体信号，但将示波器探头连接到这些引脚中的任何一个，即可改变增益特性、振幅、波形和频率。通常情况下，最好避免探测振荡器引脚（在任何模式下），并使用 CLKOUT 函数来调整振荡器频率。振荡器在低功耗模式下电流为数个微安，而在高增益模式下电流为数个毫安，因此在低功耗模式下节能效果显著，参见图 7。

**注：**串联电阻位于 XTALOUT 输出端中，不建议用于低功耗振荡器。它是皮尔斯振荡器惯用电路的一部分。

由于振荡波形较小，低功耗配置对系统噪声更敏感，并且由于减小了幅度可能产生更多的抖动。



## 5.5 主晶振 ( XTALIN/XTALOUT ) 旁路模式

主晶振可通过外部振荡器旁路。

建议执行以下操作：

1. 将 1.8 V CMOS 电平输出晶振 ( 称为 XO ) 连接到 XTALIN 输入，并将 XTALOUT 输出悬空。
2. 通过清除系统振荡器控制寄存器 SYSOSCCTL0 中的 LP\_ENABLE 位来启用高增益振荡器。
3. 设置 SYSOSCCTL0 中的 BYPASS\_ENABLE 位以启用旁路功能。

CLKIN 输入可在几个 GPIO 引脚上使用，如有必要，除了 XTALIN 旁路模式，也可以旁路主振荡器而使用 CLKIN 作为系统时钟源。

振荡器的旁路模式与输出为削峰正弦波的温度补偿晶振 TCXO 不兼容。然而，当启用低功耗振荡器时，可以在没有旁路模式的情况下使用输出为削峰正弦波的 TCXO。

1. 将 TCXO 输出 ( 最小 800mVp-p ) 连接到 XTALIN 输入并浮空 XTALOUT。
2. 通过设置系统振荡器控制寄存器 SYSOSCCTL0 中的 LP\_ENABLE 位来启用低功耗振荡器。

**注：**请勿设置 BYPASS\_ENABLE 位。

AC 耦合电容 ( 也称为隔直电容 ) 是 TCXOs，通常在使用低功耗振荡器时不需要，因为振荡器具有内部耦合电容。

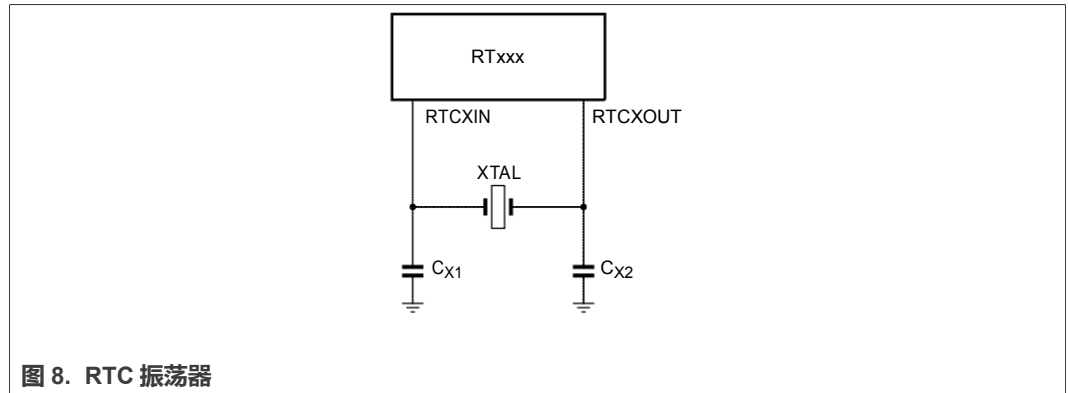
## 5.6 实时时钟 ( RTC ) 振荡器 ( RTCXIN/RTCXOUT )

RTC 是为 32.768 kHz 晶体开发的低功耗振荡器。它的输出可以配置为系统时钟。如需了解更多详细信息，请参见图 8。

- RTC 振荡器使用专用 RTCXIN 和 RTCXOUT 引脚。
- RTC 振荡器具有内部反馈电阻。不需要也不建议使用外部反馈电阻。RTC 振荡器具有内部负载电容以减少元器件数量。它们是根据固件选择的。

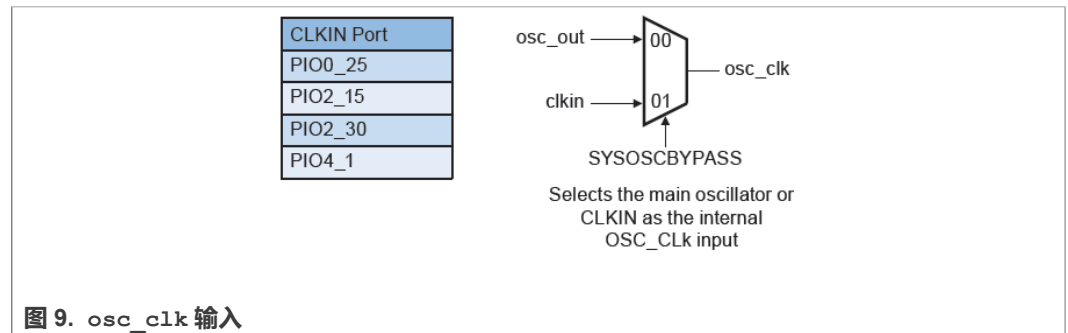


- 可以通过测量 CLKOUT 或 32KHZ\_CLKOUT 输出频率来调整 RTC 振荡器频率。



## 5.7 CLKIN 输入时钟

i.MX RT500 上 4 个 GPIO 引脚之一可复用为 CLKIN 输入功能，参见图 9。系统振荡器 bypass 位可选择主晶振或 CLKIN 输入作为振荡器时钟源，如图 9 中的 osc\_clk 所示。



时钟波形必须为 CMOS (Complementary Metal-Oxide-Semiconductor) 1.8 V 轨对轨方波。由于引脚负载限制，最大输入频率为 50 MHz。使用 GPIO IOPCTL 寄存器中的适当 FSEL 字段设置配置 CLKIN 功能。同时，通过在 SYSOSCBYPASS 中将 SEL 字段设置为 0b001，选择 CLKIN 时钟输入。

CLKIN 功能在 IO 引脚功能选择寄存器 (IOPCTL) 中配置，并选择为带有系统振荡器 bypass 位的 osc\_clk。

## 5.8 CLKOUT 输出时钟

CLKOUT 输出可在 i.MX RT500 上 5 个 IO 引脚之一作为复用功能使用，参见图 10。

CLKOUT 输出可以用作其他设备的专用时钟输出，具有广泛的源时钟和分频数，如图 10 左侧所示。

该时钟输出在系统开发过程中非常有用，可用于验证内部系统时钟的频率，并调整晶振，无论其使用内部还是外部负载电容。CLKOUT 输出可以在量产时关闭。

**注：**CLKOUT 函数在 GPIO 引脚上共享，其负载可能比专用输出更多。因此，波形在高频时可能会衰减或变形，但足以进行外部频率测量。

**注：**频率较高的时钟可能会因加载和驱动强度而出现波形变形。可以设置管脚的驱动能力为高来解决这个问题。

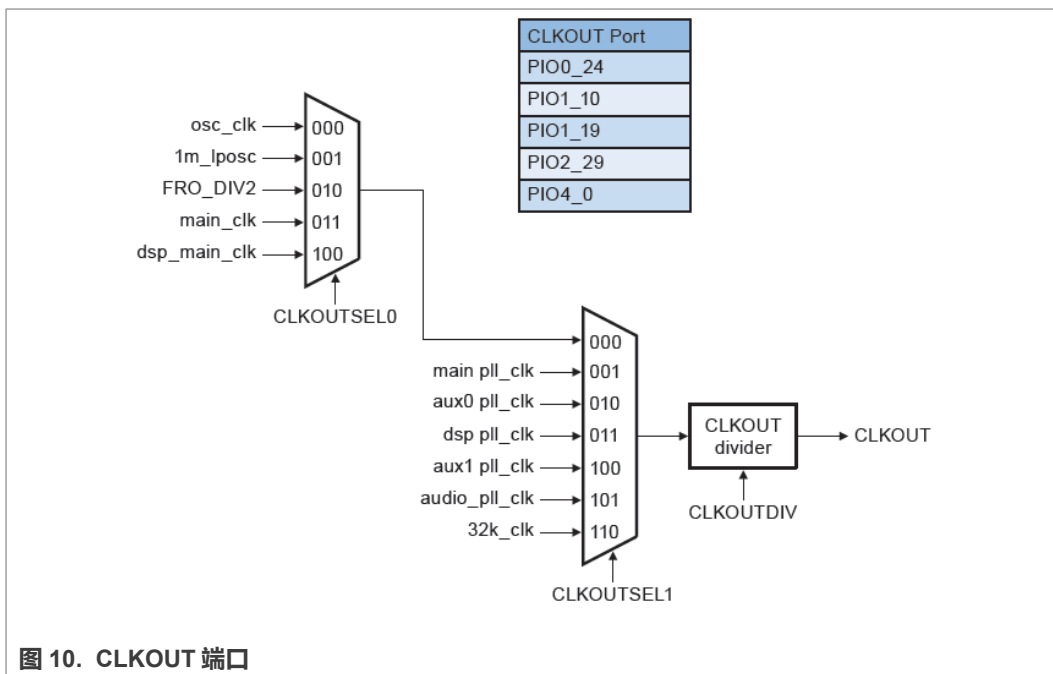


图 10. CLKOUT 端口

### 5.9 振荡器负载电容

为晶振选择负载电容值需要花更多时间进行讨论和阐释。首先，让我们看看负载电容是什么。晶体的负载电容（也称为  $C_L$ ）不同于放置在晶体引脚上的负载电容值（也称为  $C_x$  和  $C_y$ ）。晶体负载电容是供应商用于制造和测试每个晶体的晶体参数。

晶体供应商通常在其数据手册中指定  $C_L$  值的范围作为制造和测试条件。例如，32.768 kHz 晶体数据手册的  $C_L$  值范围可以从 9 pF 到 12.5 pF。客户可选择所需的值。客户应负责调整电路中的晶体。必须知道晶体的  $C_L$  值才能开始调整。

负载电容  $C_x$  和  $C_y$  从晶体支路放置接地。虽然看起来这些电容是平行的，但实际上它们在晶体中是串联的，参见图 11。

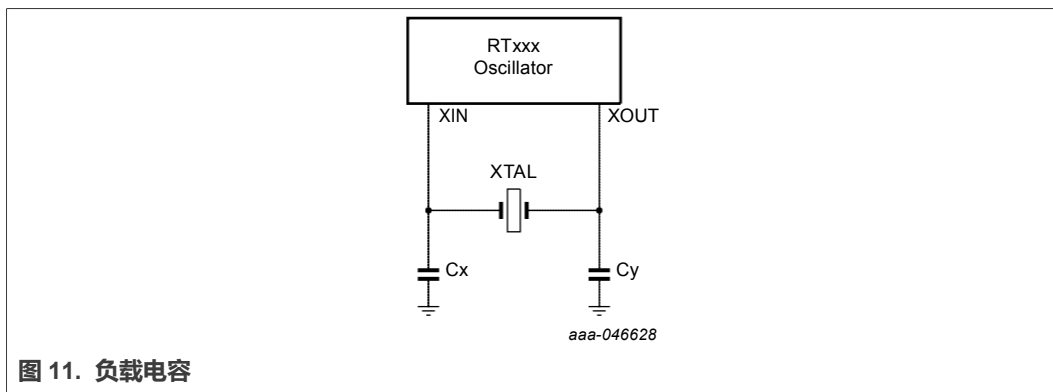


图 11. 负载电容

计算负载电容的方法有很多，但都不准确。充其量只是近似值。

我们建议使用简单的计算来确定外部负载电容的初始值。然后，将这些值应用在晶体上后，用 CLKOUT 引脚测量频率。如果频率高于预期，可以增加负载电容，如果频率低于预期，则可减少负载电容。

#### 定义：

- $C_L$  - 晶体的负载电容
- $C_x$ 、 $C_y$  - 晶体引脚上负载电容的值
- $C_{Pin}$  - XTALIN 和 XTALOUT 引脚电容
- $C_{Stray}$  - 杂散板电容

#### 负载电容表达式：

1.  $C_x = C_y \approx 2C_L - C_{Pin} - 2C_{Stray}$   
或
2.  $C_x = C_y \approx 2(C_L - C_{Stray}) - C_{Pin}$

**注：**这是近似值。

#### 例 1：典型的 32.768 kHz 晶体：

$$C_L = 12.5 \text{ pF}$$

$$C_{Pin} = 3 \text{ pF}$$

$$C_{Stray} = 0 \text{ (在电容值估算中忽略)}$$

$$C_x = C_y \approx 2(12.5 \text{ pF} - 0 \text{ pF}) - 3 \text{ pF} = 22 \text{ pF}$$

#### 例 2：32.768 kHz 小晶体：

$$C_L = 9 \text{ pF}$$

$$C_{Pin} = 3 \text{ pF}$$

$$C_{Stray} = 0 \text{ (在电容值估算中忽略)}$$

$$C_x = C_y \approx 2(9 \text{ pF} - 0 \text{ pF}) - 3 \text{ pF} = 15 \text{ pF}$$

以下是模型和简单计算中使用的符号的定义：

- $C_L$  是从供应商那里获得的晶体的负载电容。
- $C_x$  和  $C_y$  是放置在晶体引脚上的物理负载电容。
- $C_{Pin}$  MCU 的晶体引脚 XTALIN 和 XTALOUT 电容，每个引脚约~3 pF。
- $C_{Stray}$  是晶体行业术语，表示未知板电容。

负载电容表达式由标准晶体行业公式推导而来，其中涉及  $C_L$  和未知的  $C_{Stray}$  参数。

**注：**导出的表达式是近似值。事实上，行业公式和其他负载电容计算也是近似值，因为存在其他无法在简单模型中定义的相关性。

参考[负载电容表达式 1](#)：设  $C_x$  和  $C_y$  的值相等。将晶体负载电容  $C_L$  乘以 2，减去引脚电容，再减去 2 x 杂散电容。

该表达式可以用第二种方式（[负载电容表达式 2](#)）表示。在[例 1](#)中，我们使用  $C_L$  为 12.5 pF 的 32.768 kHz 晶体，芯片的引脚电容为 3 pF，并在估算中忽略杂散电容效应。我们看到  $C_x$  和  $C_y$  负载电容应分别为约 22 pF。对负载电容使用这个值并测量频率。这个值可能比较高，因为我们忽略了杂散电容，所以使用较小值会有所改善。根据需要用电容进行迭代，以获得所需的频率容差。

[例 2](#)展示了  $C_L$  为 9 pF 的晶体的第一逼近。

$C_{Pin}$  的范围可以从 3 pF 到 8 pF 或更大，具体取决于芯片的封装尺寸。较小的封装通常具有较低的引脚电容。

$C_{Stray}$  取决于 PCB 布板和板参数。它可以在 PCB 上测量，但这并不一定意味着晶体看到相同的值，因为测量仅从引脚到地执行，不包括其他依赖关系。晶体行业建议将该参数指定为 3 pF 到 5 pF 之间的任意值。

给定  $C_{pin}$  范围信息和  $C_{Stray}$  任意值，我们看到想以绝对精度计算负载电容值是徒劳的。

恩智浦的建议（取初始负载电容的近似值并测量产生的频率）消除了许多猜测和繁琐的电容测量工作。因此，根据这一关系计算出近似的最大负载电容值，选择最接近的标准电容值，测量得到的 CLKOUT 频率，然后相等地调整  $C_x$  和  $C_y$ ，直到达到所需的频率精度。

由于所涉及元器件的差异和容差，建议用所选的  $C_x$  和  $C_y$  来表征多个板和单元（主要是 MCU 和晶体），以获得总体精度分布。CLKOUT 函数比测量晶体信号更容易、更准确。

[例 3](#)和[例 4](#)使用不同的 24 MHz  $C_L$  值。在[例 3](#)中，较大的晶体具有较高的  $C_L$  值。典型的 24 MHz 晶体的负载电容为 18 pF，[例 3](#)显示负载电容的初始值应为 33 pF。

将这些连接到晶体上，并在启用的 CLKOUT 引脚上测量产生的频率。

- 频率可能低于 24 MHz。
- 减小电容值，直到达到所需的精度。
- 较小的 24 MHz 晶体封装的  $C_L$  值较低。

如需了解更多细节，请参见[例 3](#)和[例 4](#)计算这些晶体。

**例 3**：典型的 24 MHz 晶体：

$C_L = 18$  pF

$C_{Pin} = 3$  pF

$C_{Stray} = 0$ （在电容值估算中忽略）

$$C_x = C_y \approx 2(18 \text{ pF} - 0 \text{ pF}) - 3 \text{ pF} = 33 \text{ pF}$$

例 4 : 24 MHz 小晶体 :

$$C_L = 10 \text{ pF}$$

$$C_{Pin} = 3 \text{ pF}$$

$C_{Stray} = 0$  (在电容值估算中忽略)

$$C_x = C_y \approx 2(10 \text{ pF} - 0 \text{ pF}) - 3 \text{ pF} = 17 \text{ pF}$$

## 6 调试、跟踪、JTAG 扫描和编程

本章提供有关 i.MX RT500 的调试和编程功能的信息。

### 6.1 串行调试线 (SWD) 模式

i.MX RT500 使用 SWD 模式支持 Arm Cortex-M33 处理器和 Fusion DSP 的调试。i.MX RT500 SWD 信号在多个 GPIO 引脚上复用。时钟和数据信号在复位时默认初始化为 SWD 功能。

时钟信号在复位时被使能为输入。

**警告：**使用至少 10 K $\Omega$  作为外部上下拉电阻，但为了电路板的安全，建议使用 100 K $\Omega$  pull-xxxx。

如需了解详细信息，请参见[表 9](#)。

可选的串行线输出 (SWO) 提供来自 Instrumentation Trace Macrocell 的数据，以增强调试支持。

MIMXRT595-EVK 评估板有基于 LPC4322 的 Link2 调试器，能够为用户节省成本。它提供了与 MCU 的 SWD 接口的 USB 调试连接。

表 9. SWD 调试

GPIO/信号	说明	建议
PIO2_25 / SWCLK	来自调试器的串行线时钟 (SWC) 输入。复位时内部弱下拉。	增加一个外部 100 K $\Omega$ 的下拉。
PIO2_26 / SWDIO	双向 SWD 数据 I/O。复位时内部弱上拉。	增加一个 100 K $\Omega$ 的外部上拉。
PIO2_24 或 PIO2_31 / SWO	串行线输出 (SWO) 可选择提供来自 ITM 的数据，供外部调试工具进行评估。	使用前必须作为其选中引脚功能。

### 6.2 跟踪信号

i.MX RT500 上提供跟踪端口接口单元 (TPIU) 连接，参见[表 10](#)。高速 TRACE 时钟和数据引脚在 GPIO 引脚复用。

表 10. 跟踪信号

信号	I/O	GPIO	说明
TRACECLK	输出	PIO0_21 或 PIO4_23	Trace 时钟
TRACEDATA0	输出	PIO0_22 或 PIO4_24	Trace 数据 0
TRACEDATA1	输出	PIO0_23 或 PIO4_25	Trace 数据 1
TRACEDATA2	输出	PIO0_24 或 PIO4_26	Trace 数据 2
TRACEDATA3	输出	PIO0_25 或 PIO4_27	Trace 数据 3

### 6.3 JTAG 边界扫描

JTAG 在初始重置时被禁用，Boot ROM 通过检查 OTP 的调试接口访问及安全限制使能 JTAGE 功能。JTAG 信号管脚在复位时高阻态，参见表 11。JTAG 边界扫描在 i.MX RT500 上可用。JTAG 边界扫描模式可以在芯片复位时通过一系列引脚时序进入，请参见《i.MX RT500 低功耗跨界处理器参考手册》（含附件）（文档 [IMXRT500RM](#)）的“启用 TAP 控制器”章节。

*注：JTAG 不用于调试，只用于边界扫描。*

表 11. JTAG 边界扫描

信号	I/O	GPIO	说明
TCK	输入	PIO0_8	JTAG Test Clock：当 JTAG 模式激活时，此引脚是用于 JTAG 边界扫描的时钟。在边界扫描模式下启用输入缓冲区。
TMS	输入	PIO0_9	JTAG Test Mode Select：TMS 引脚选择 TAP 状态机中的下一个状态。当 JTAG 模式激活时，此引脚用于 JTAG 边界扫描。该引脚在边界扫描模式下启用内部上拉和输入缓冲区。
TDI	输入	PIO0_10	JTAG Test Data In：它是移位寄存器的串行数据输入。当 JTAG 模式激活时，用于 JTAG 边界扫描。该引脚在边界扫描模式下启用内部上拉和输入缓冲区。
TDO	输出	PIO0_11	JTAG Test Data Output：它是移位寄存器的串行数据输出。数据在 TCK 信号的下降沿移出设备。当 JTAG 模式激活时，此引脚用于 JTAG 边界扫描。在边界扫描模式下启用输入缓冲区。
TRST_N	输入	PIO0_7	JTAG Test Reset：TRST_N 引脚可用于复位调试逻辑内的测试逻辑。当 JTAG 模式激活时，它用于 JTAG 边界扫描。该引脚在边界扫描模式下启用内部上拉和输入缓冲区。

### 6.4 由 OTP PRIMARY\_BOOT\_SRC [3:0]位选择启动源

复位完成后，Boot ROM 首先检查 OTP 位设置，以确定启动源。在执行任何 OTP 读/写功能时，VDDCORE 电压必须设置为 1.0 V 及以上不论 LDO\_ENABLE 引脚外部接高或者接低，参见表 12。

如果启动源字段没有编程，启动加载程序将检查 3 个 GPIO 引脚的状态，以确定从哪里启动。

表 12. 启动会话

启动模式	字段	主启动源 (也称为 master boot source)
ISP_PIN_BOOT	b'0000	ISP 引脚决定启动源。
QSPI_BOOT	b'0001	从 FlexSPI0 上的 8 线/4 线 SPI Flash 设备启动。
SDHC0_BOOT	b'0010	从连接到 SDHC0 端口的 eMMC 设备启动。
SDHC1_BOOT	b'0011	从连接到 SDHC1 端口的 eMMC 设备启动。
SPI_SLV_BOOT	b'0100	使用主启动模式通过 SPI 从接口启动。
	b'0101	保留
UART_BOOT	b'0110	使用主启动模式通过 UART 接口启动。
SPI_FLASH_BOOT	b'0111	通过 SPI 接口从 1 位 NOR Flash 启动。使用的 SPI 实例由熔丝字 0x60 第 17 位至第 19 位选择，如需了解详细信息，请参见 OTP 熔丝映射。
USB_HID_ISP	b'1000	使用 USB-HID 接口将启动映像下载到 SRAM 并启动。
ISP_FUSE_BOOT	b'1001	启动至 ISP 模式，熔丝字 0x60 第 4 位至第 6 位决定用于 ISP 模式的外设，如需了解详细信息，请参见 OTP 熔丝映射。
	b'1010	保留
	b'1011	保留
FlexSPI_REC_BOOT	b'1100	从 FlexSPI0 上的 8 线/4 线 SPI Flash 设备启动；如果未找到映像，请通过 FlexComm 使用 SPI Flash 设备检查恢复启动。使用的 FlexComm 实例由熔丝字 0x60 第 17 位至第 19 位选择。如需了解详细信息，请参见 OTP 熔丝映射。
SDHC0_REC_BOOT	b'1101	从 SDHC0 端口设备启动。如果未找到映像，请通过 FlexComm 使用 SPI Flash 设备检查恢复启动。使用的 FlexComm 实例由熔丝字 0x60 第 17 位至第 19 位选择。如需了解详细信息，请参见 OTP 熔丝映射。
SDHC1_REC_BOOT	b'1110	从 SDHC1 端口设备启动。如果未找到映像，请通过 FlexComm 使用 SPI Flash 设备检查恢复启动。使用的 FlexComm 实例由熔丝字 0x60 第 17 位至第 19 位选择。如需了解详细信息，请参见 OTP 熔丝映射。
	b'1111	保留

## 6.5 从 ISP\_Pin [2:0]选择启动源

如果未设置 OTP 位，Boot ROM 读取 3 个在线系统编程 (ISP) 引脚状态，以确定 USB、外部存储器或串行通信通道的启动源。

表 13. 启动源 Boot

启动模式	ISP2 引脚 PIO3_29	ISP1 引脚 PIO3_28	ISP0 引脚 PIO1_15	说明
保留	低	低	低	保留
保留	低	低	高	保留



表 13. 启动源 (续)

启动模式	ISP2 引脚 PIO3_29	ISP1 引脚 PIO3_28	ISP0 引脚 PIO1_15	说明
USB HID ISP	低	高	低	使用 USB-HID 类启动至 ISP 模式
FlexSPI Boot	低	高	高	从连接到 FlexSPI 接口 0 的 QSPI/8 线 Flash 设备启动。i.MX RT5xx 在外部 QSPI/8 线 Flash 设备中查找有效镜像。如果未找到有效镜像，i.MX RT5xx 将进入恢复启动或 ISP 启动模式。
SDIO 0 (eMMC)	高	低	低	从连接到 SDIO 0 接口的 eMMC 设备启动。i.MX RT5xx 在 eMMC 设备中寻找有效镜像。如果未找到有效镜像，i.MX RT5xx 将根据 OTP DEFAULT_ISP_MODE 位的值 (6:4, BOOT_CFG [0]) 进入 ISP 启动模式。
保留	高	低	高	保留
串行 ISP (UART、I2C、SPI)	高	高	低	串行接口 (UART、I2C、SPI) 用于编程 OTP、外部 FLASH 或 eMMC 设备。
串行下载	高	高	高	Serial Master 启动用于通过串行接口 (SPI 从设备或 UART、I2C、USB-HID) 下载启动镜像。

### 6.6 EVK 板上的物理 ISP 引脚配置

可以使用 MIMXRT595-EVK 板上的外部启动配置 ISP 开关 SW7 配置启动模式。SW7 开关配置为串行下载模式，如图 12 所示。如果采用串行下载模式，建议采用弱上拉和强下拉。

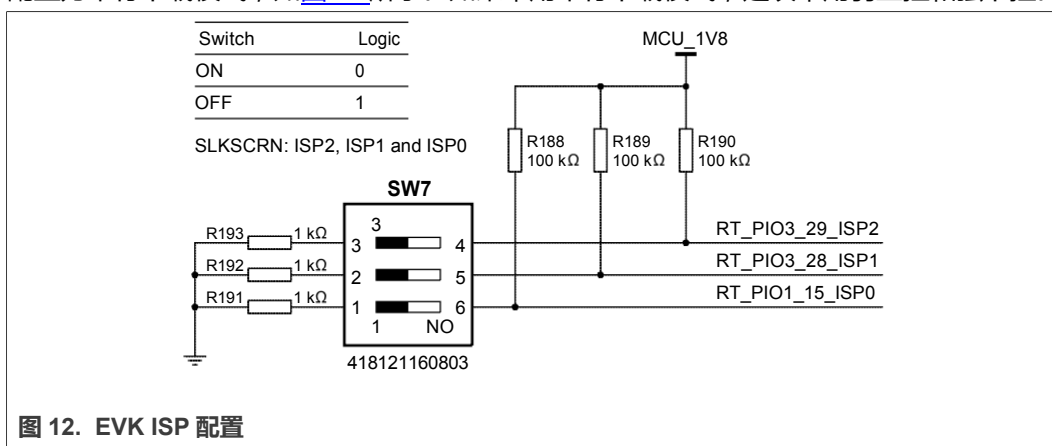
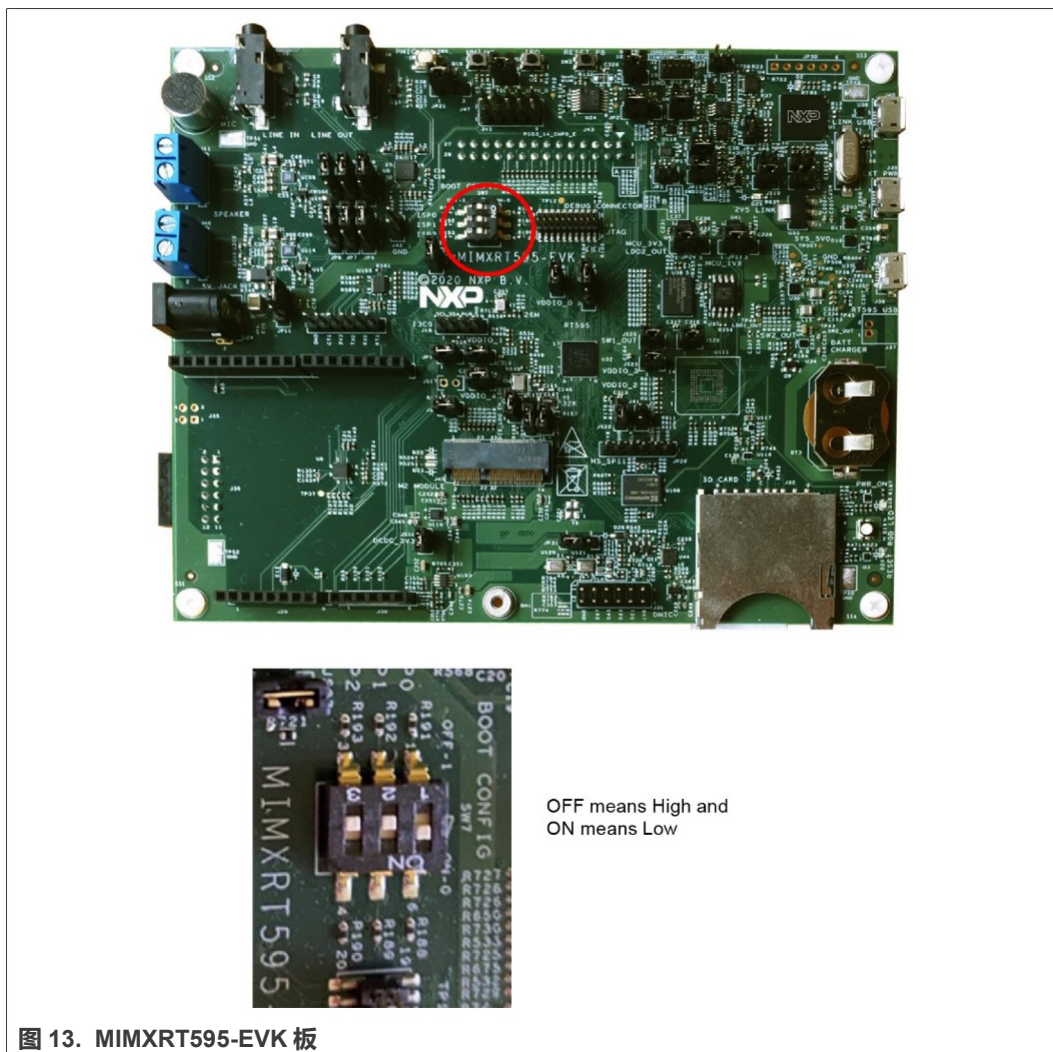


图 12. EVK ISP 配置

如需了解更多详细信息，请参见图 13。





### 6.7 复位引脚

外部复位引脚为低电平有效。低电平会复位设备，导致 I/O 端口和外设进入默认状态，并执行启动代码。RESETN 从深度掉电模式唤醒设备，参见表 14。

当与 PMIC 一起使用时，将此引脚连接到 SYSRSTb 引脚或 POWER\_OK 引脚，并将 100 KΩ 外部上拉至 VDD\_AO1V8。

在启用了内部 VDDCORE LDO 后，此引脚应有 100 KΩ 外部上拉至 VDD\_AO1V8。如果与开关一起使用，则添加一个 10 nF 电容以消除抖动。该引脚具有模拟滤波器，可抑制 8 ns 至 20 ns 的电子脉冲。

表 14. 复位引脚

信号	说明	建议
RESETN	外部复位输入：此引脚上的低电平会复位设备，导致 I/O 端口和外设进入默认状态，并执行启动代码。从深度掉电模式唤醒设备。	当与 PMIC 一起使用时，将此引脚连接到 <code>SYSRSTb</code> 引脚或 <code>POWER_OK</code> 引脚，并将 100 kΩ 外部上拉至 <code>VDD_AO1V8</code> 。  在启用了内部 <code>VDDCORE_LDO</code> 后，此引脚应有 100 kΩ 外部上拉至 <code>VDD_AO1V8</code> 。如果与开关一起使用，则添加一个 10 nF 电容以消除抖动。该引脚具有模拟滤波器，可抑制 8 ns 至 20 ns 的电子脉冲。

## 7 布板建议

本章提供有关 i.MX RT500 布板的详细信息。

### 7.1 基本 PCB 设计建议

i.MX RT500 微控制器采用两种小型 BGA 封装。

- 249 端子 FOWLP 封装 (7.0 mm x 7.0 mm x 0.725 mm，间距为 0.4 mm)。
- 141 端子 WLCSP 封装 (4.525 mm x 4.525 mm x 0.49 mm，间距为 0.35 mm)。

如需了解其他尺寸和详细的封装信息，请参见《i.MX RT500 低功耗跨界处理器数据手册》(带附录) (文档 [IMXRT500EC](#))。

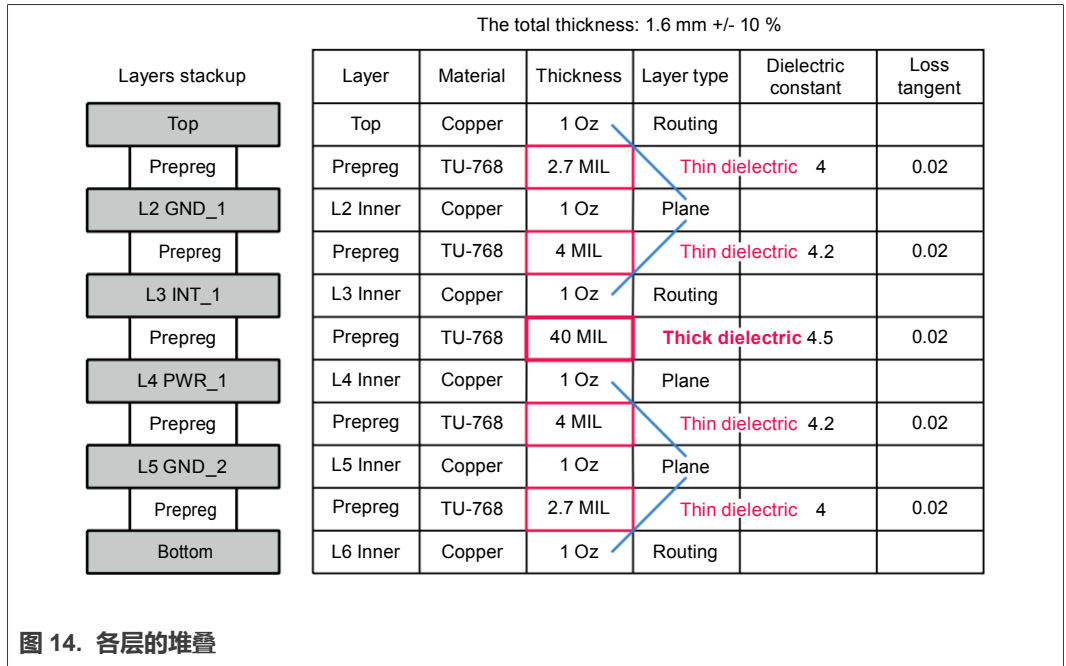
高密度互联 (HDI) 设计方法预计将用于 249 引脚 FOWLP 和 141 引脚 WLCSP 封装。MIXMR595-EVK 板对 MCU (MIMXRT595SFFOC)、PMIC (PCA9420UK) 和音频放大器 (TFA9896UK) 等采用窄间距的 BGA 封装使用 HDI 技术。

与传统 PCB 设计的通孔过孔不同，高密度互联方法使用只连接两层或三层的较小过孔 (微过孔)。传统 PCB 设计互联 (通孔过孔) 可与 HDI 一起使用。

### 7.2 叠层建议

高速设计需要适当的 PCB 叠层，以确保重要接口的阻抗控制，并最大限度地减少 EMC 影响。阻抗控制取决于若干因素，例如走线宽度和间距、相关的电介质和铜厚度以及所需的阻抗。高速信号必须在相邻层上有参考平面，以提供恒定阻抗。

建议每个封装的分层为 6 层或更多层，参见图 14。MIXMR595-EVK 使用 6 个层，采用 7 mm 方形 Fan-Out WLP 封装。



首先，注意连续层之间的电介质厚度。L1 通过 2.7mil 电介质与 L2 紧耦合。L3 通过 4mil 电介质与 L2 紧耦合。

- L3 和 L4 之间通过 40mil 芯板隔离 mil。
- L4 通过 4mil 电介质与 L5 紧耦合。
- L6 通过 2.7mil 电介质与 L5 紧耦合。

信号通过薄电介质与平面紧耦合是阻抗控制的基础。信号层上的走线宽度和间距决定了所需的信号阻抗。

建议每个封装的分层为 6 层或更多层。MIXMR595-EVK 对于 7 mm x 7 mm FOWLP 封装使用了 6 层。

- L1 - 信号和元器件
- L2 - 地平面
- L3 - 信号、电源和接地

厚内核：

- L4 - 电源和接地
- L5 - 地平面
- L6 - 信号、电源、接地和元器件

L2 和 L5 是提供完整参考平面的完整的地平面：

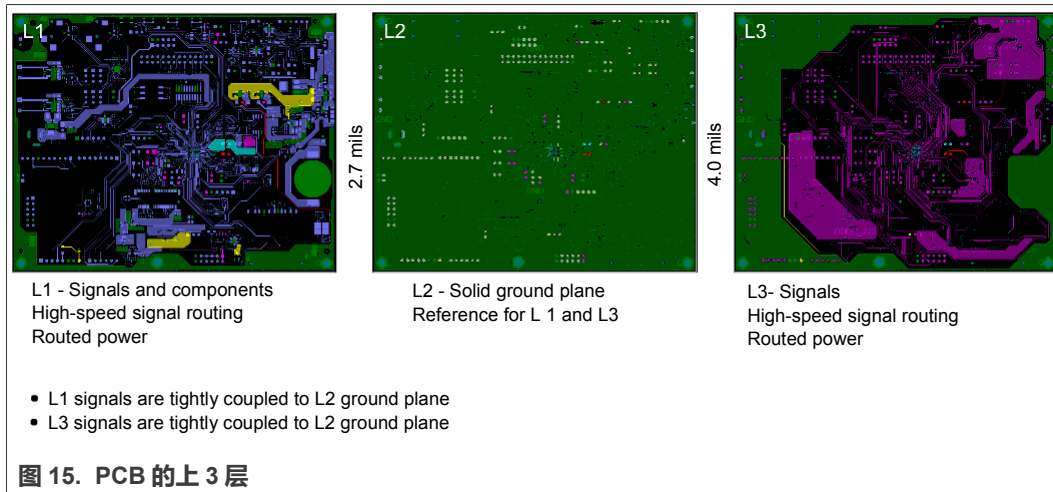
- L1 和 L3 与 L2 紧耦合，作为参考平面
- L4 和 L6 与 L5 紧耦合，作为参考平面

### 7.3 EVK 叠层详解，上 3 层

图 15 展示了上面 3 个 PCB 层的耦合。

层 1 和层 3 紧耦合到层 2 上的接地平面。

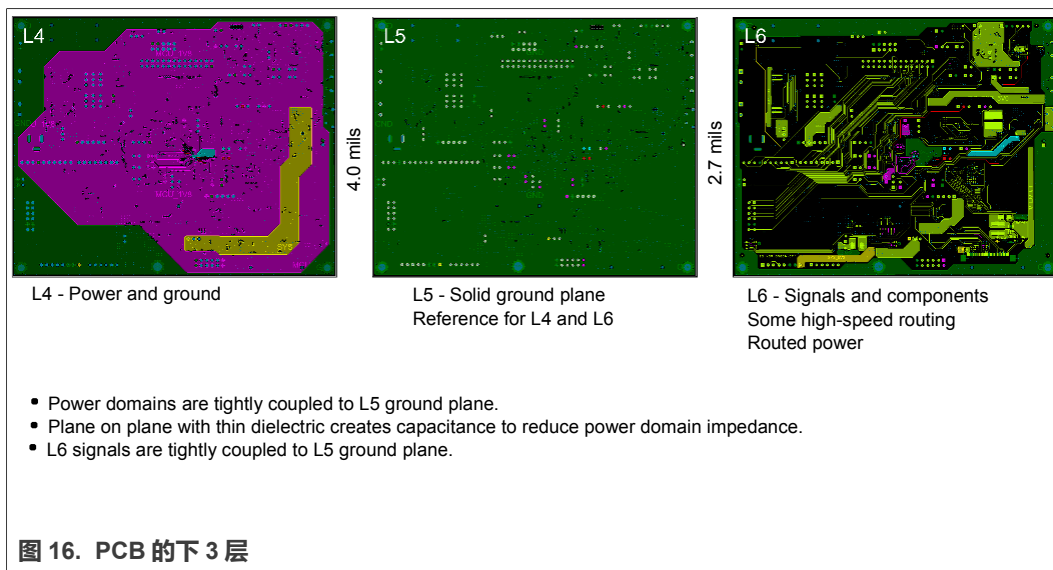
- L1 - 包含信号和元器件、高速信号布线和电源走线。
- L2 - 它是一个完整的接地平面，是为 L1 和 L3 信号提供返回路径的参考平面。
- L3 - 包含高速信号、电源布线和接地。



#### 7.4 EVK 叠层详解，下 3 层

图 16 展示了底部 3 个 PCB 层的耦合。L4 和 L6 紧耦合到 L5 上的接地平面。

- L4 - 包含主电源域和接地。
- L5 - 它是一个完整的接地平面，是为 L6 信号提供返回路径的参考平面。  
L4 和 L5 之间的薄电介质在电源域和接地之间产生了耦合电容。该附加电容有助于降低电源平面阻抗。
- L6 - 包含高速和低速信号、电源布线和元器件。



## 7.5 走线阻抗要求

MIMXRT595-EVK PCB 的走线阻抗要求由板供应商制定，供应商根据信号阻抗要求提供指南。

- 除临界阻抗走线外，我们规定的最小走线宽度为 4.0mil，最小间距为 5.0mil。
- 对于 50Ω 阻抗，大多数单端高速走线的宽度为 4.5mil，电介质为 2.7mil。
- 对于 USB 90Ω 差分阻抗，使用 4.5mil 宽度（间距为 5mil）和 2.7mil 电介质。
- MIPI\_DSI 信号的 100Ω 差分阻抗使用 3.5mil 宽度和 7mil 的间距。
- 此外，对于大多数高速信号，使用 mil 的最小过孔内环直径为 8mil 和外环直径为 18mil。

MIMXRT595-EVK PCB 要求由板供应商确定，参见图 17：

- 最小走线宽度为 4.0mil，最小间距为 5.0mil，但某些关键阻抗走线除外。
- 大多数单端高速走线的 50Ω 阻抗（在 2.7mil 电介质上使用 4.5mil 宽度）。
- 某些差分对走线的 90Ω 差分阻抗，如 USB（使用 4.5mil 宽度和 5mil 间距）。
- 其他差分对走线的 100Ω 差分阻抗，如 MIPI\_DSI（使用 3.5mil 宽度和 7mil 间距）。
- 介电厚度为 2.7mil 至 4.0mil。
- 最小过孔内径为 8mil，外径为 18mil。

Layers	Single ended		Single ended		Differential			Differential			Differential		
	Trace width (Mils)	Impedance (Ohms)	Trace width (Mils)	Impedance (Ohms)	Trace width (Mils)	Trace spacing airgap (Mils)	Impedance (Ohms)	Trace width (Mils)	Trace spacing airgap (Mils)	Impedance (Ohms)	Trace width (Mils)	Trace spacing airgap (Mils)	Impedance (Ohms)
L1_TOP	4.5	50						4.5	5	90	3.5	7	100
L3 and L4	4.5	50						4.5	5	90	3.5	7	100
L6_BOTTOM	4.5	50						4.5	5	90	3.5	7	100

图 17. 走线阻抗要求

## 7.6 一般高速布线建议

这是高速布线的一般建议，我们可能夸大了高速布线这一术语，但事实证明，当所有信号都被作为高速信号路由时，系统的电气和 EMC 性能更佳。

高速信号（存储器总线、串行接口、时钟信号等）必须具有确定的返回电流路径（通常在相邻参考平面上）。为了实现高速设备之间的正确通信，需要走线长度和阻抗控制，请考虑 USB 串行数据的眼图参数。虽然低速信号不一定需要参考平面来引导返回电流，但在没有参考平面的情况下，这些信号会受到开关噪声或辐射电磁能量的影响。

高速信号避免穿过不同的参考平面，跨分割会导致信号返回路径不连续，从而引起电平反射。

避免参照平面中出现槽、空隙和锯齿状。这些会导致不连续性，从而降低信号完整性并产生辐射。检查过孔空隙，确保它们不会产生锯齿状。

在不同参考接地平面之间转换时，提供与信号过孔相邻的接地返回过孔。这将引导各层之间的回流。

在球栅阵列（BGA）封装正下方的底层区域放置储能电容和去耦电容。

## 7.7 HDI 建议

HDI 技术的 EVK 六层实现使用微过孔将第 1 层上的封装球连接到第 2 层上的地面，并将第 1 层的封装球与第 3 层上的信号连接。加厚的芯板（40mil 的 FR-4）将上 3 层（参考第 2 层）与下 3 层（参考第 5 层）隔开。

微过孔比标准通孔过孔小，因为它们只钻穿两到 3 个紧密间隔的层。（参考上面分层中的第 1 层和第 2 层以及第 2 层和第 3 层之间的薄电介质厚度）。

该 HDI 技术使用焊盘中孔工艺来实现球间距较小的 BGA 封装的高效布线。

## 7.8 HDI 建议，微过孔尺寸

MIXMR595-EVK 板上使用的微过孔尺寸如下所示：

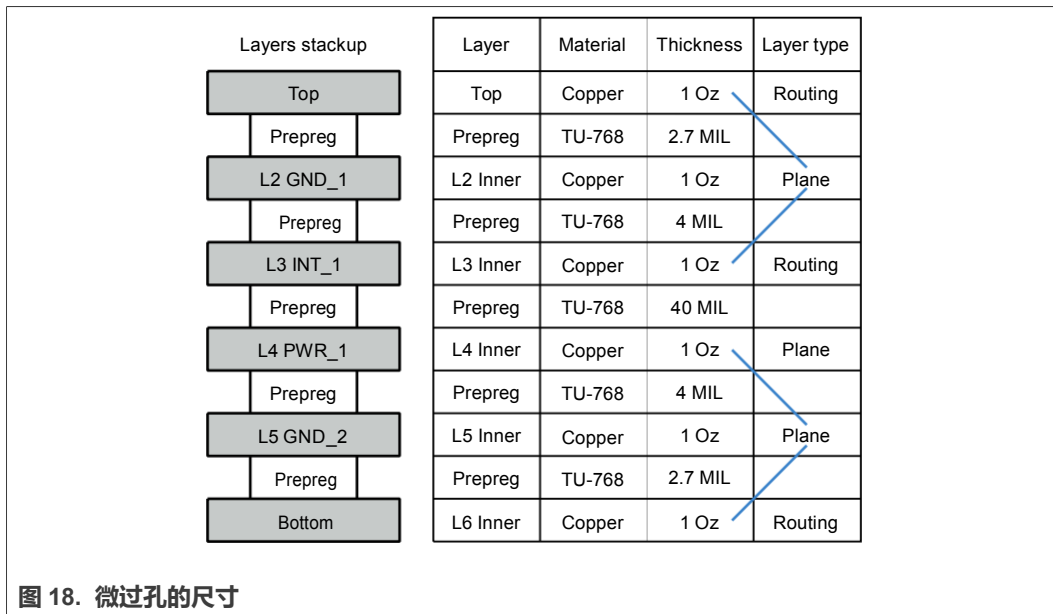
- L1 至 L2：127 $\mu$ m 钻孔/250 $\mu$ m 焊盘（5.0mil 钻孔/9.8425mil 焊盘）
- L2 至 L3：127 $\mu$ m 钻孔/250 $\mu$ m 焊盘
- L3 至 L4：150 $\mu$ m 钻孔/400 $\mu$ m 焊盘（5.9055mil 钻孔/15.7480mil 焊盘）
- L4 至 L5：127 $\mu$ m 钻孔/250 $\mu$ m 焊盘
- L5 至 L6：127 $\mu$ m 钻孔/250 $\mu$ m 焊盘

**注：**由于 L3-L4 芯板较厚，L3 到 L4 钻孔更大。

由于大多数信号的最小过孔尺寸为 8mil 钻孔和 18mil 焊盘。MIXMR595-EVK 板上使用的微过孔小于以下值：

上 3 层（L1-L3）和下 3 层（L4-L6）使用 127 微米钻孔和 250 微米焊盘连接每个组内的第 2 层或第 3 层。[图 18](#) 中列出了以 mil 为单位的相应尺寸。中间的两个层（L3-L4）的芯板比较厚，因此钻孔尺寸增加到 150 微米，焊盘为 400 微米。

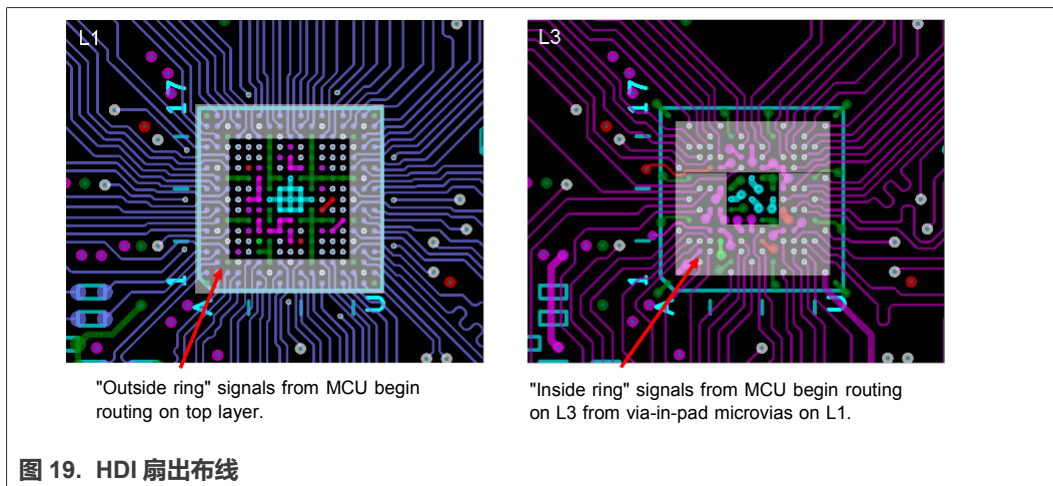




### 7.9 HDI 扇出布线

HDI 走线间距减小了，目的是允许内部信号通过窄引脚（球）间距进行逃逸。由于所有球都在 3 个层（最上层、第 2 层和第 3 层）上布线，只有最上层和第 3 层需要封装中具有更小的走线和间距尺寸。球的外圈位于最上层。这些信号稍后可能会连接到其他层，但逃逸路线是最上层。

球内圈在第 3 层上布线，以利用第 2 层接地平面。第 1 层到第 3 层的迁移需要使用焊盘中孔的微过孔。



### 7.10 HDI 建议——第 1 层至第 3 层

一般来说，封装上的 2 个通用电源球被路由到最上层的一个微过孔，如左图底部所示。一些微过孔连接到 3 个或 4 个通用电源球。这些电源具有多个电容，如 VDD1V8、VDDCORE、VDDIO\_0 和 VDDIO\_1 电源。

左图中重点展示了布线至 4 个微过孔的 12 个 VDDCORE 球。微过孔用于连接 1-2、2-3、3-4、4-5 和 5-6 层。

埋孔用于连接 1-3 层和 4-6 层，如右图所示。如图 20 所示，由于 L3/L4 电介质较厚，第 3 层和第 4 层之间的内核过孔较大。

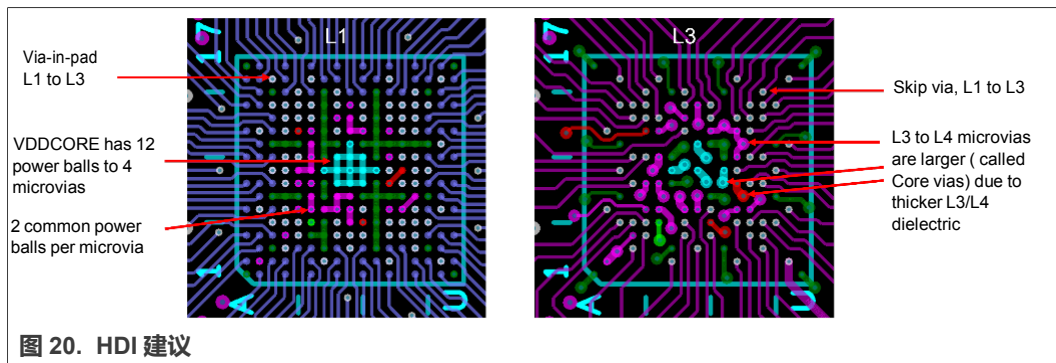


图 20. HDI 建议

### 7.11 HDI 建议——第 6 层

直接位于封装（最底层 L6）下方的电容数量通常为每过孔 1 个去耦电容，外加一个或两个额外的储能电容。它将某些电源域上的电容数量从每引脚 1 个减少到每 2 个或更多引脚 1 个。

然而，当多个球共用一个过孔时，应使用较大的解耦电容值。在这款设计中，我们使用 0.22  $\mu\text{F}$  陶瓷旁路电容，而传统的每引脚 1 个电容设计中通常使用 0.1  $\mu\text{F}$  电容。

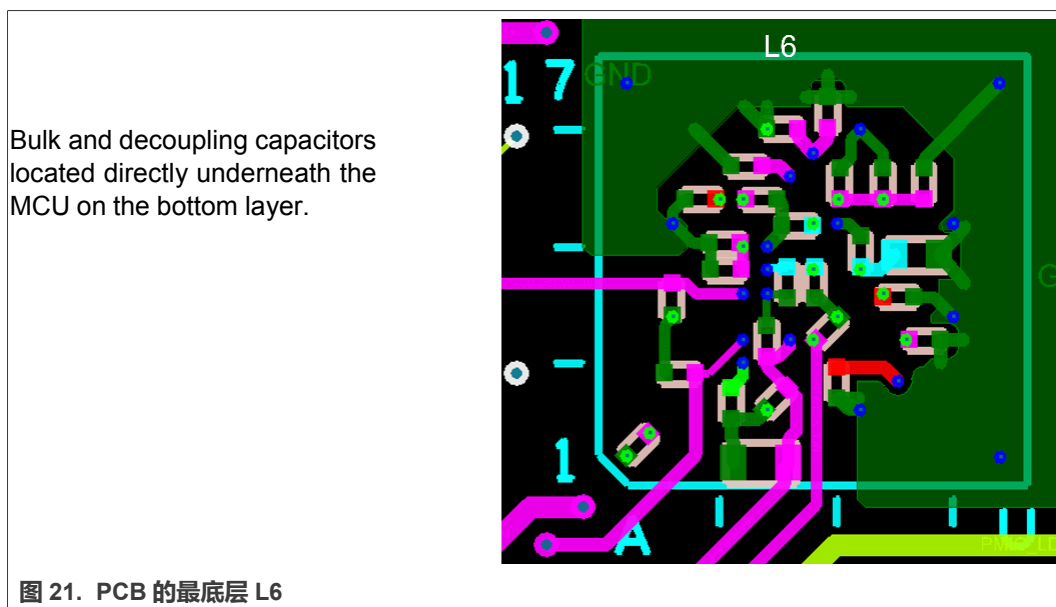


图 21. PCB 的最底层 L6

### 7.12 HDI 实现

HDI 实现意味着从最上层到最底层可以有不同数量的过孔。

观察从顶层到底层的过孔布局，参见图 22：



- 图 A 展示了最上层的所有 MCU 球引脚。
- 图 B 展示了最上层 MCU 的相应焊盘中孔微过孔。
- 图 C 表明，连接到最底层解耦电容的微过孔更少。

有两个原因：

1. 最上层上的许多微过孔是在 L3 连接的信号。
2. 一些电源微过孔在中间层连接在一起。

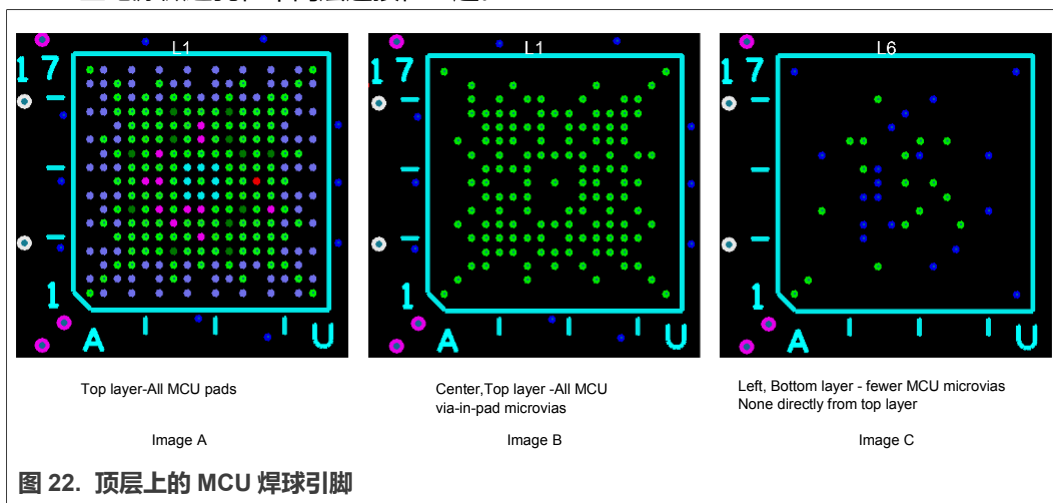


图 22. 顶层上的 MCU 焊球引脚

### 7.13 储能和去耦电容放置

对于所有的高速 BGA 器件（如 MCU 和存储器），都应该将较小的解耦电容和较大的大容量电容放置在 PCB 的底侧，直接放在器件的下面。0201 解耦以及 0402 和 0603 大容量电容必须安装在尽可能靠近电源过孔的位置。可以在 BGA 过孔阵列的边缘附近放置额外的大容量电容。将解耦电容放置在电源球附近，这有助于最大限度地减少电感并确保满足处理器的高速瞬态电流需求。

下面列出了实施正确解耦方案的主要建议：

- 将最大的电容放在预算和制造能够支持的最小封装中。
- 对于高速旁路，选择采用最小封装的所需电容（例如 0.22  $\mu\text{F}$  和封装 0201）。
- 将走线长度（电感）减至最小，因为串联电感抵消了电容。
- 使用过孔将电容直连到 GND 平面。
- 将电容靠近适当电源域电源触点。

### 7.14 晶振 PCB 指南

本指南适用于晶振布板。将晶体和元器件放在与 MCU 相同的层上。晶体引脚通常沿着封装的边缘放置，以实现同层布线，从而避免像过孔那样的不连续性。相邻层应为接地平面。它一直是数字和模拟电路的通用布线规则。

走线应尽可能短，不得与其他信号线交叉或耦合。晶体信号环路面积必须尽可能小，以最大限度地减少通过 PCB 进行耦合的噪声，尽量减少寄生效应。这意味着在同一层上使走线尽可能短。环形区域是 2 个晶体走线之间的所有间隔。如需了解更多详细信息，请参见图 23。

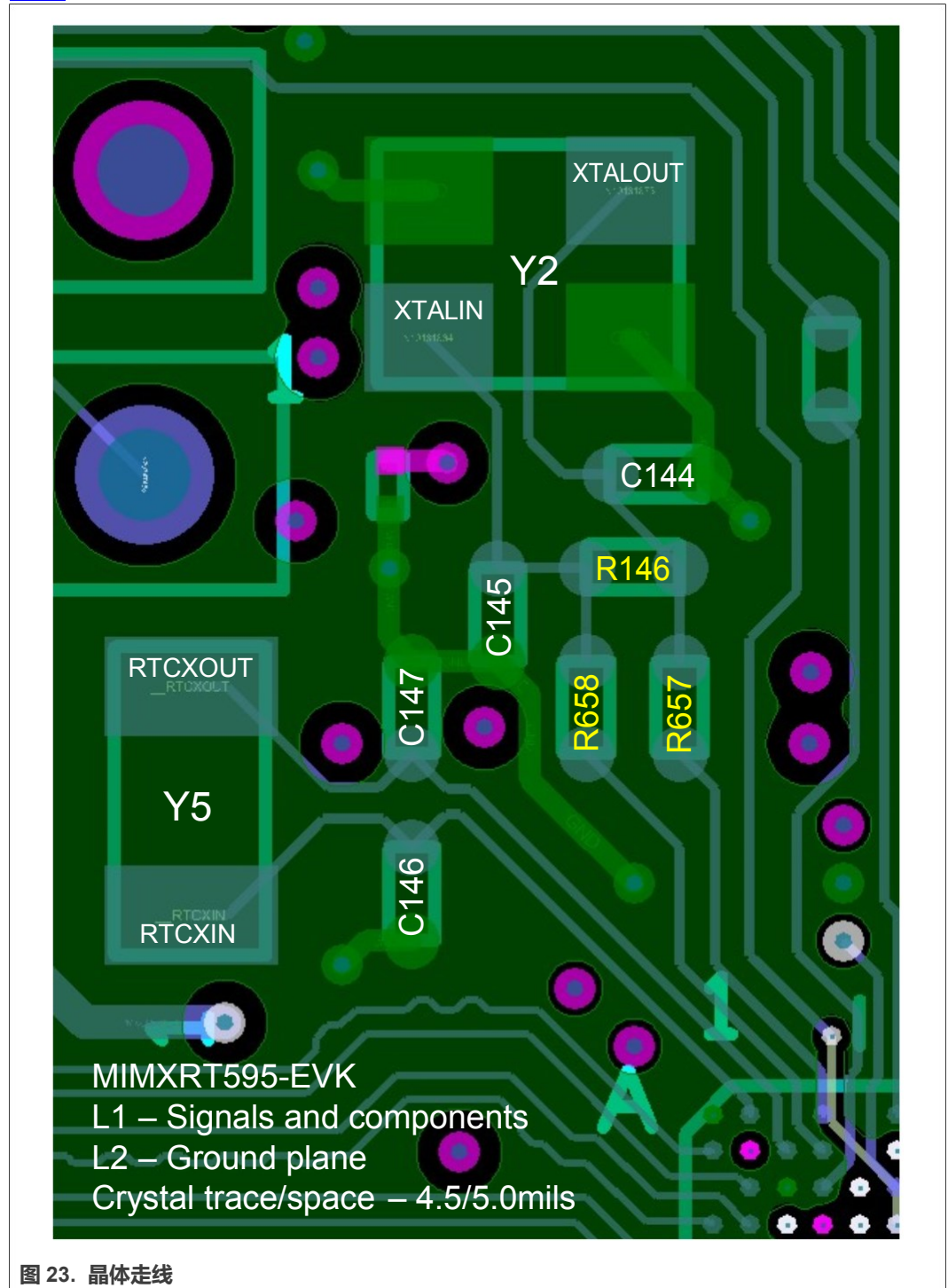


图 23. 晶体走线

即使使用内置电容，我们也建议为 RTC 振荡器安装负载电容，以防内部电容没有足够的调谐分辨率。准确保持 RTC 频率非常重要。

**注：**图 23 中几个电阻用黄色突出显示。R146 是主晶振反馈电阻，仅在使用高增益模式时才需要。

R657 是一个小型 22 Ω 电阻，用于在高增益模式下限制电流。8 MHz 以上的晶体不需要串联电阻。

R658 是一个短路电阻，R685 的唯一用处是如果该节点使用了外部有源振荡器，则移除 R658。不建议在晶体应用中直接使用 0 欧姆电阻，详细信息见芯片手册 3.5 XTAL oscillator。

### 7.15 EVK 存储器 8 线 Flash ( U38 )

EVK 外部存储器原理图和布板展示了一些常规应用和非常规应用的设计实践，参见图 24 和图 25。一些常规应用和非常规应用设计实践描述如下：

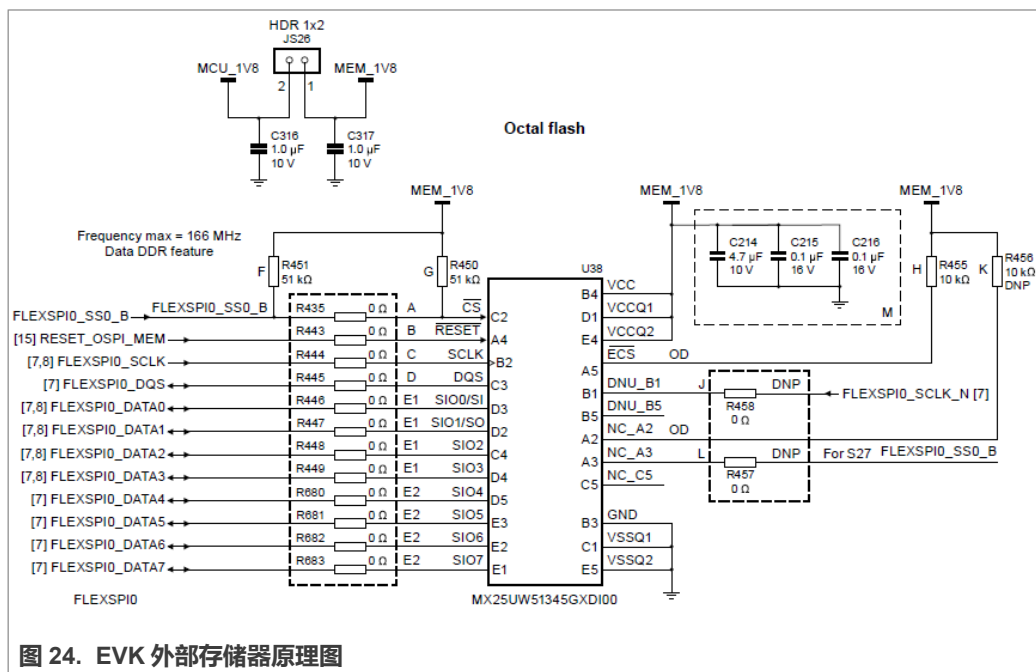


图 24. EVK 外部存储器原理图

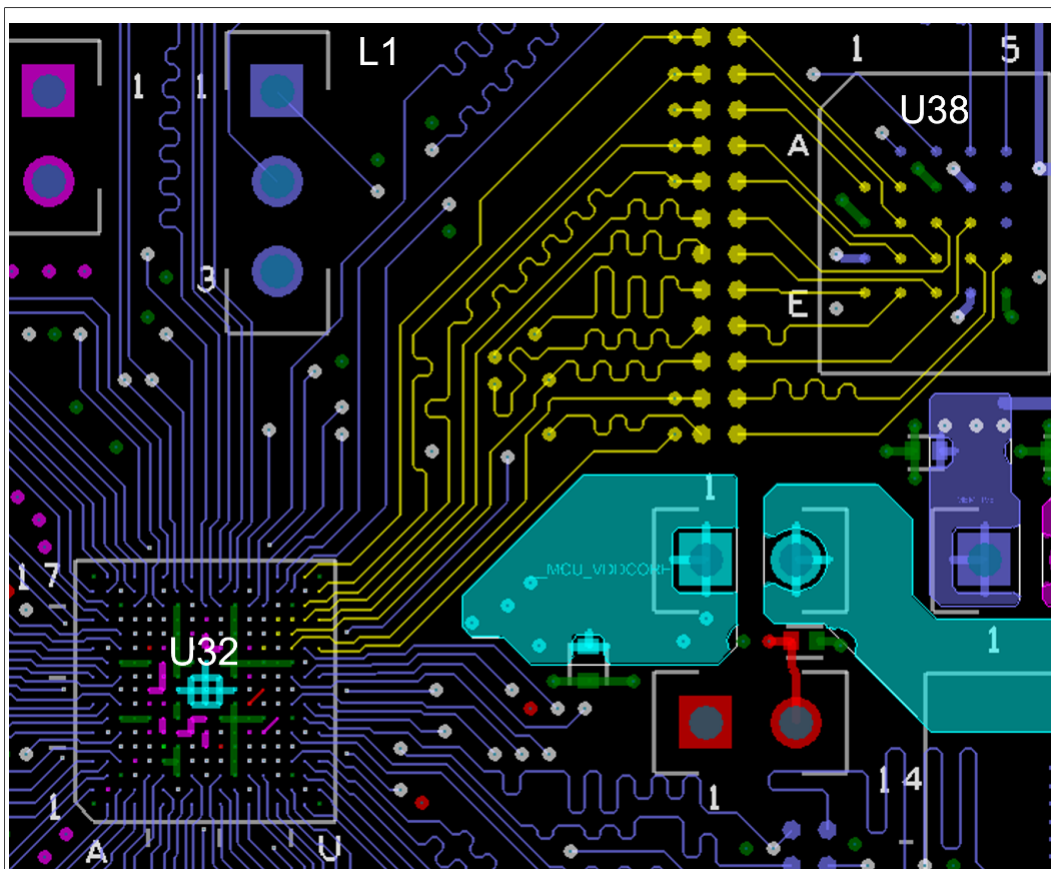


图 25. EVK 外部存储器布板

- 8 线 Flash：大多数数据和控制线都在 L1 上布线，这种安排比较好，因为 MCU 和存储器之间的所有信号都必须要在同一层上。MCU 和存储器可以在不同的层上，但所有调整信号都应该在使用相同的布线拓扑。
- 匹配信号长度：高速总线信号完整性要匹配信号长度、层布线和匹配过孔是良好的实践，也是需要满足的要求。
- 用于阻抗控制的 L2 接地参考：这是良好的实践，因为所有 HS 信号应具有用于返回电流的接地平面。
- 多条数据线在 L1 和 L3 上布线：这是较差的设计安排，因为 MCU 和存储器之间的所有高速信号都应该在同一层上。
- 共用元件和信号的短路电阻：这是较差的设计安排，因为这些选项会产生短截线并干扰阻抗控制。然而，这些选项对于在评估板上演示多路复用功能是必要的。短路电阻必须在开发环境中使用，不能在生产中使用。

**注：**此接口使用 *FLEXSPI0* 总线，该总线与 EVK 上的 QSPI Flash 共享。

## 7.16 EVK 存储器 QSPI Flash ( U37 )

继续查看下面所示的较好和较差的设计实践，如需了解更多详细信息，请参见图 26 和图 27。

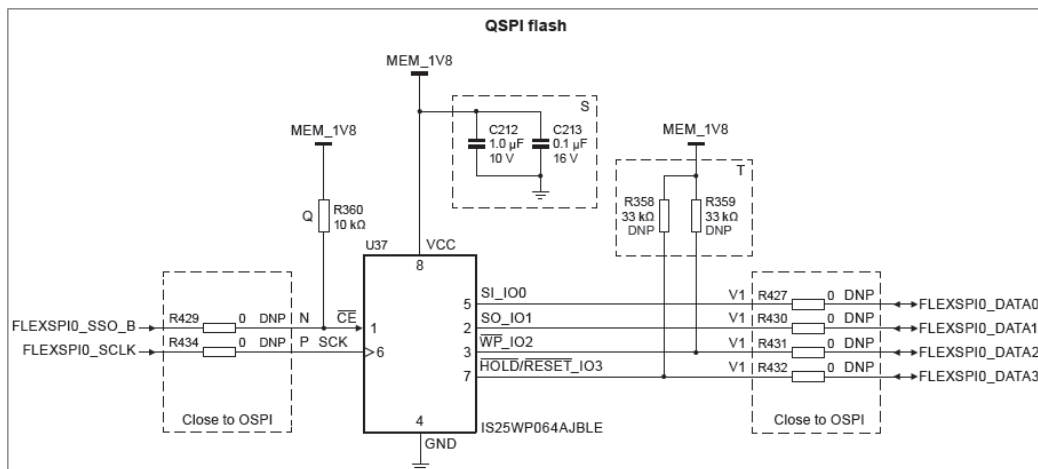


图 26. QSPI flash 原理图

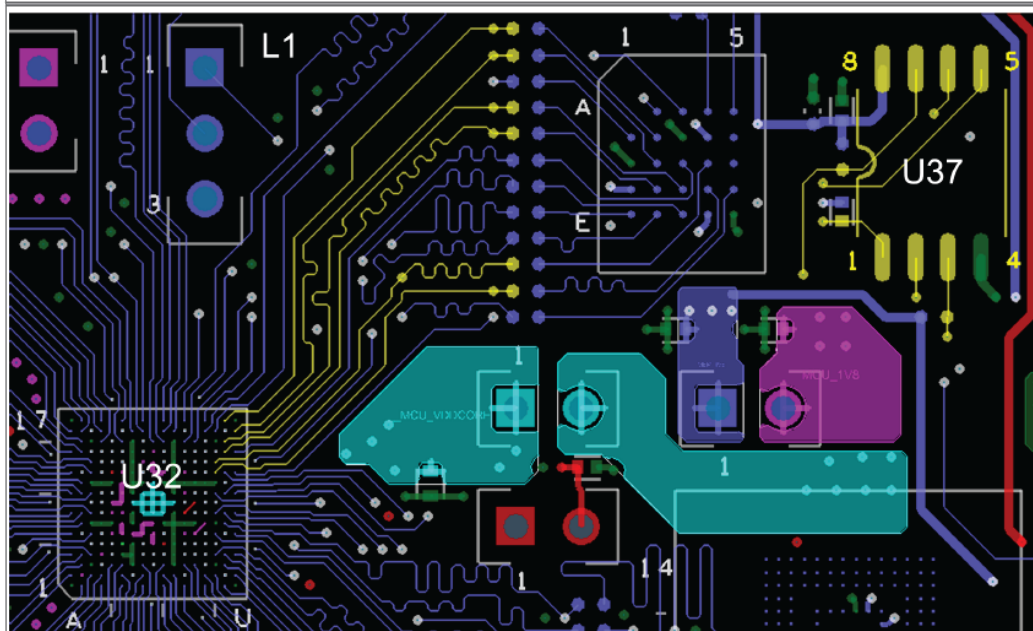


图 27. QSPI flash 布板

- QSPI Flash、数据和控制线在 L1 上共用，并通过复用电阻切换到 L6 层继续走线：这是较差的设计安排，因为 MCU 和存储器之间的所有 HS 信号都应在同一层上。电阻产生的短截线会降低信号完整性。
- 共享元件和信号的短路电阻：由于这些选项会产生短截线并干扰阻抗控制，因此是较差的设计实践。

同样，这些设计选择对于在评估板上演示功能是必要的。存储器接口可以工作，但不能保证具有最佳的信号完整性。更糟糕的是，短截线和层转换会导致辐射。请勿复制该设计用于生产。

**注意：**此接口使用 FLEXSPI0 总线，并和 EVK 上的 8 线 Flash 共享该总线。

7.17 EVK 存储器 PSRAM ( U108 )

继续了解较好的和较差的设计实践，如下所示，如需了解更多详细信息，请参见图 28 和图 29。

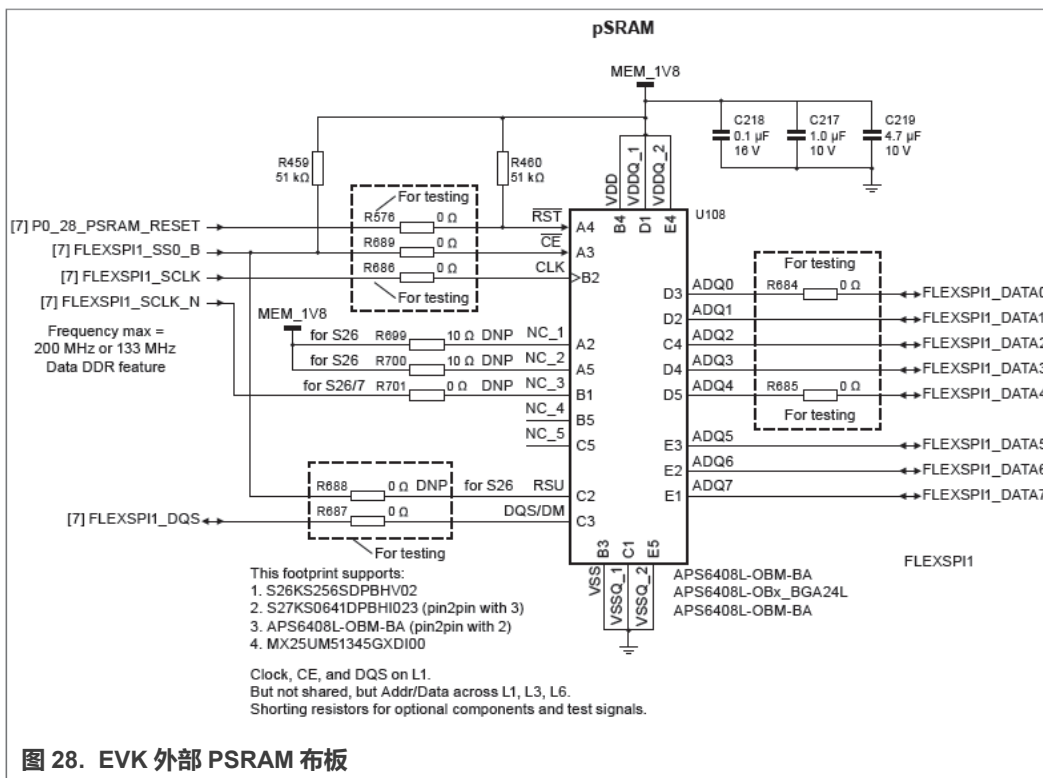


图 28. EVK 外部 PSRAM 布板



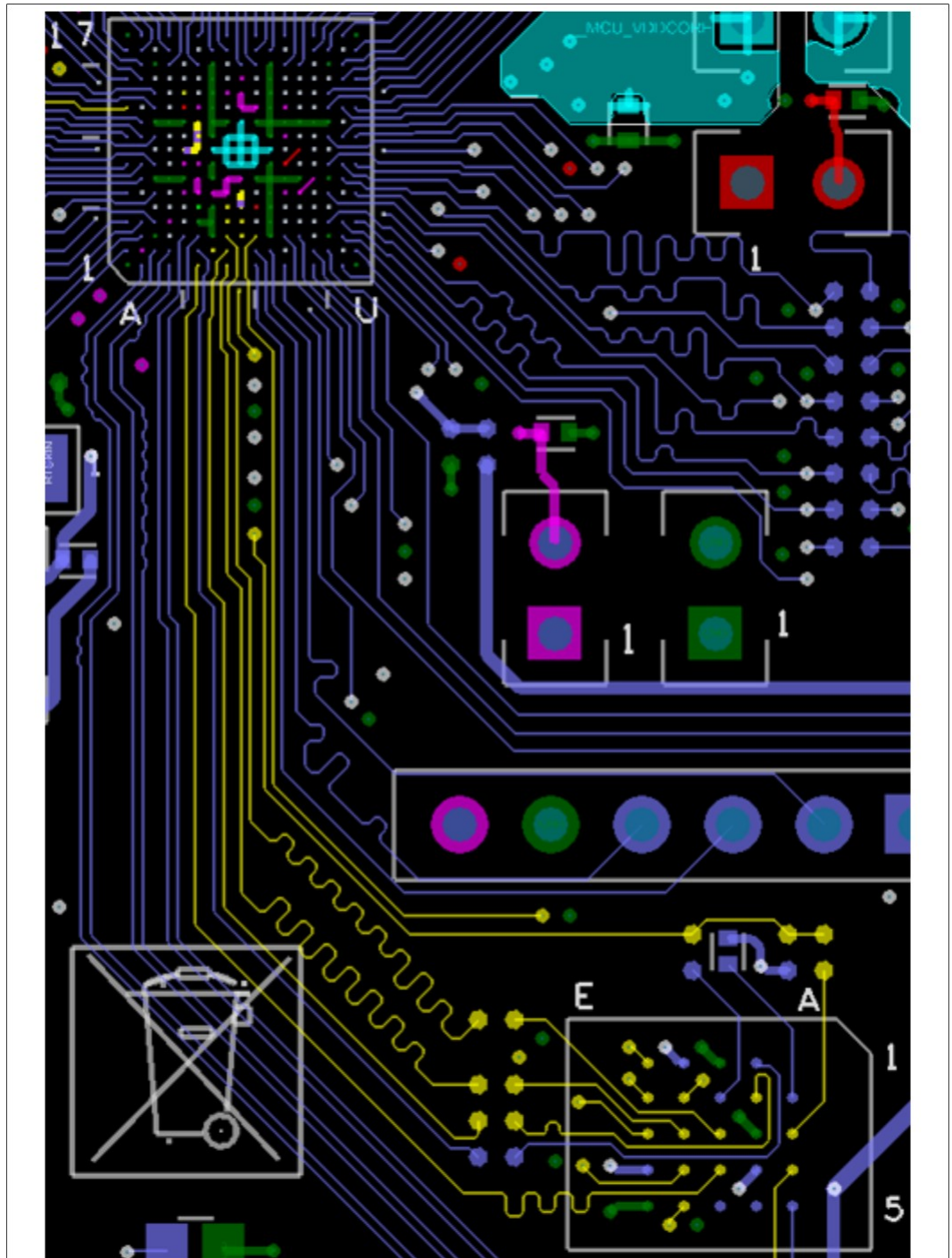


图 29. EVK 外部 PSRAM 布板

由于 PSRAM 的布局和布线限制，有部分信号直接通过 TOP 层布线连接 MCU 和 PSRAM 芯片。

- Addr/Data 线跨多个层布线：这是较差的设计安排，因为 MCU 和存储器之间的所有 HS 信号都应位于同一层，且长度要匹配以保证较高的信号完整性。





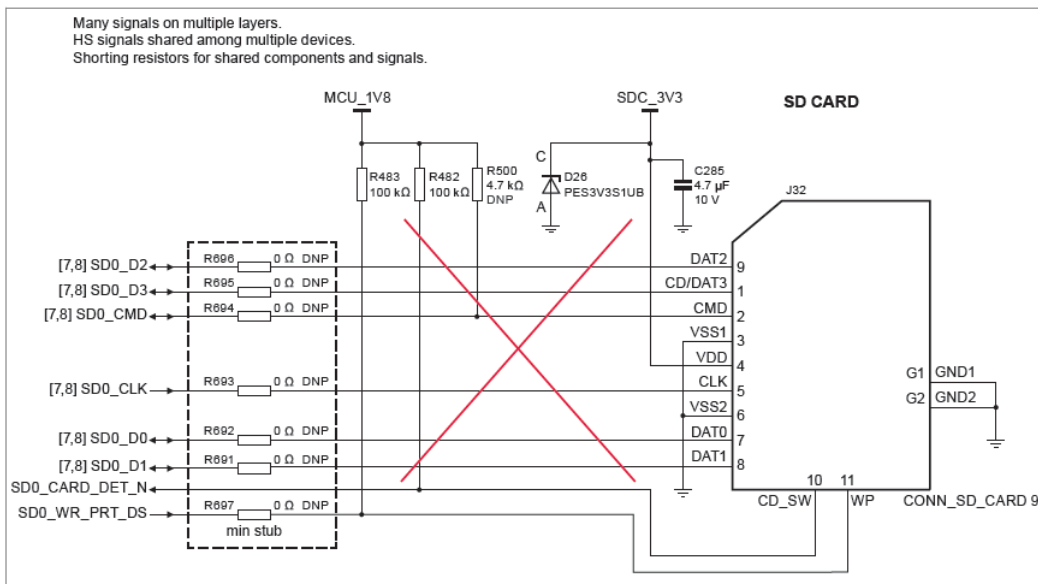


图 31. EVK SD 卡原理图

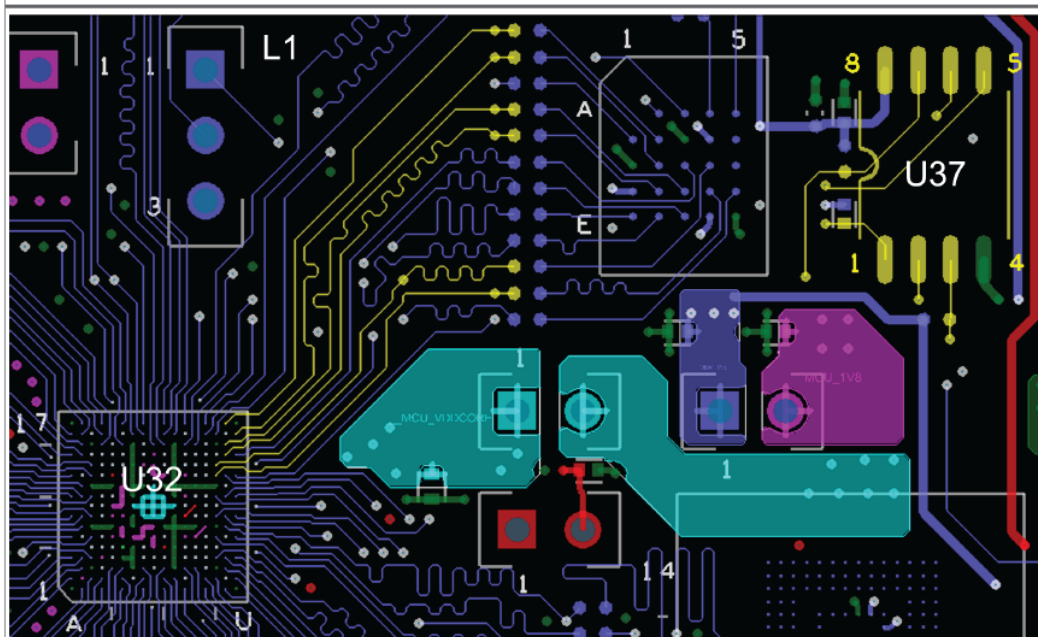


图 32. EVK 外部 eMMC 和 SD 卡布板

- eMMC 和 SD 卡接口在多个层上有许多信号：因为 MCU 和存储器之间的所有 HS 信号都应在同一层上，所以这种设计安排不合理。
- 共用元件和信号的短路电阻：因为这些选项会产生短截线并干扰阻抗控制，所以这种设计安排不合理。
- L2 接地参考：所有 HS 信号应具有用于返回电流的接地平面。L6 信号没有与 L1 信号相同的参考。

同样，这些设计选择对于在评估板上演示功能是必要的。请勿复制用于生产。

该接口使用 EVK 上的 SD0 总线。

由于移除了高速引脚上的 3.3 V 支持，不再支持 SD 卡接口。这大大减少了 VDD1V8 上的电流泄漏。我们发布了一个勘误表，提供进一步的说明。我们正在评估使用外部电平转换器来实现这一点。

**注：**SDIO 和 MMC 器件不受影响。

### 7.19 i.MX RT500 电源域

下面提供了关于评估板上的跳线的注释和注意事项。EVK 上使用跳线和 0 Ω 电阻，以实现各种软硬件配置的电流测量。

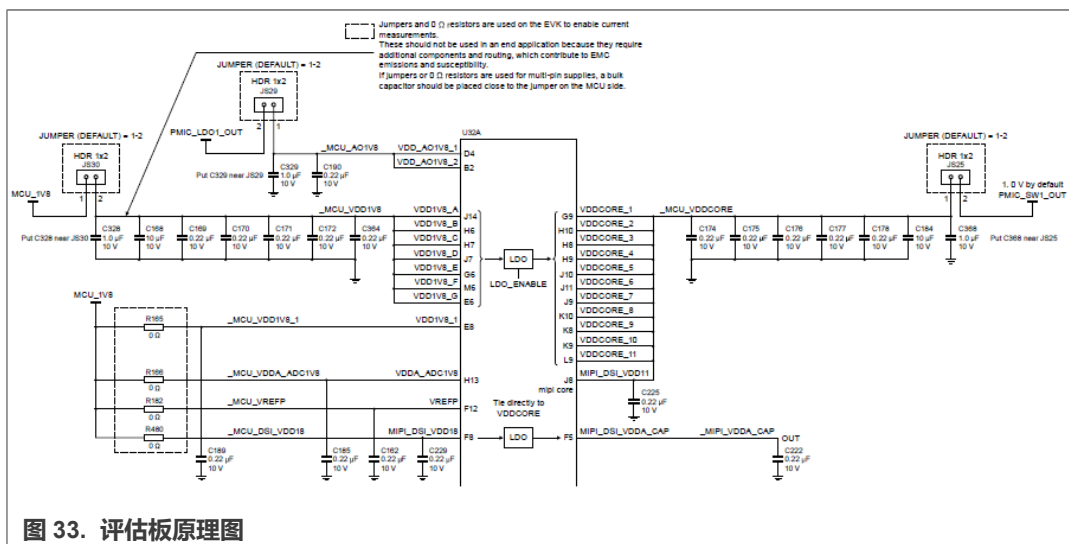
这些不能用于最终应用，因为它们需要额外的元件和布线。需要额外的走线长度来将跳线/电阻放置在距离目标更远的位置，这会增加电源域的电感。跳线采用高大的结构，可以辐射或耦合外部噪声。这不利于 EMC 辐射和抗扰性。

**注：**评估板通常按照 A 级辐射水平进行测试，这比消费类产品的 B 级辐射水平更宽松。

**警告：**如果跳线或 0 Ω 电阻用于多引脚电源，则应在 MCU 侧的跳线附近放置一个大容量电容。这确保在移除跳线或电阻并将外部电源连接到节点时，能够获得最小的大容量电容。

图 33 所示的 3 个跳线用于方便地连接到电流表上，并且在 MCU 侧具有大容量电容。40 Ω 电阻可以替换为低值电阻进行差分电压测量，从而计算电流。

**注：**由于解耦电容位于 MCU 侧，MCU 侧不需要大容量电容。



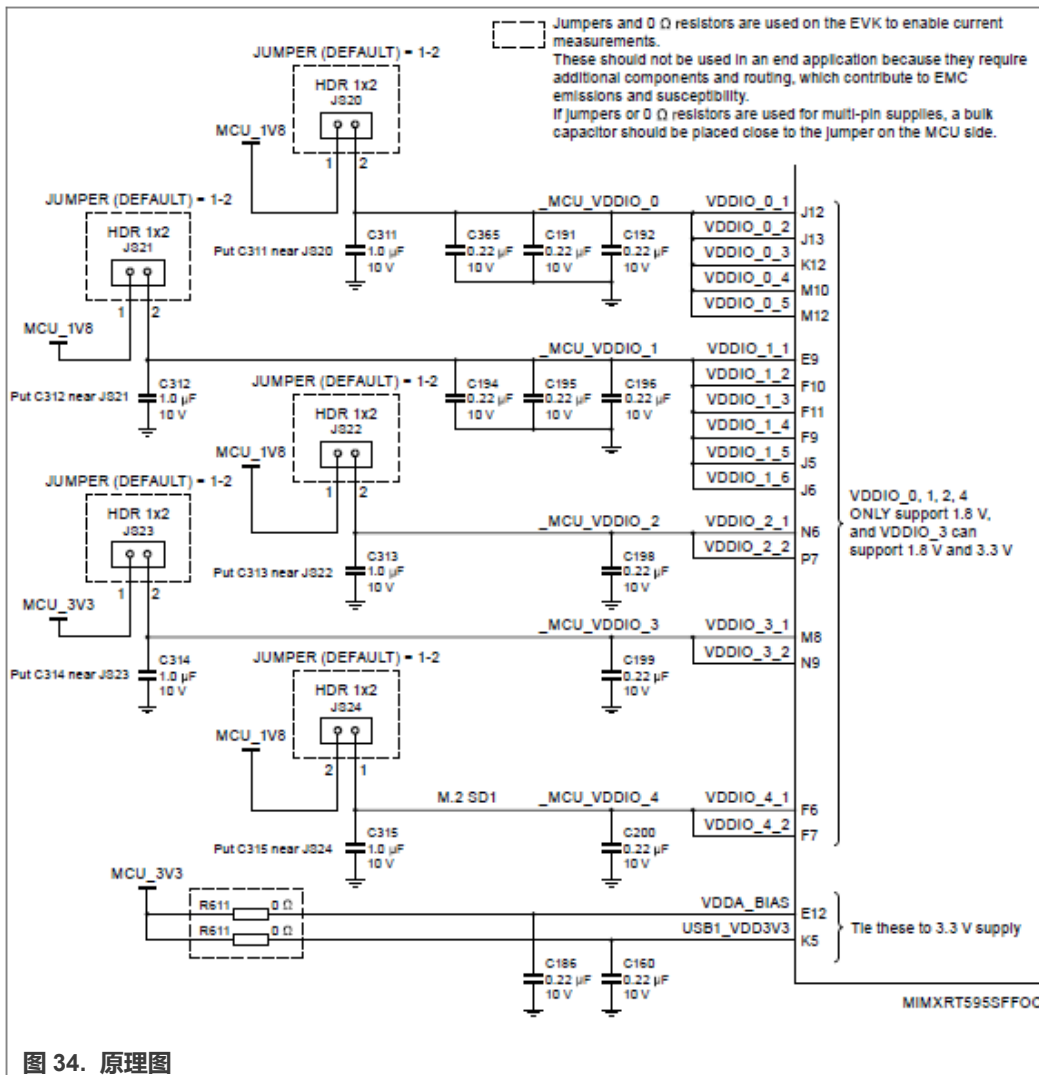


图 34. 原理图

### 7.20 MLCC 电容直流偏置效应

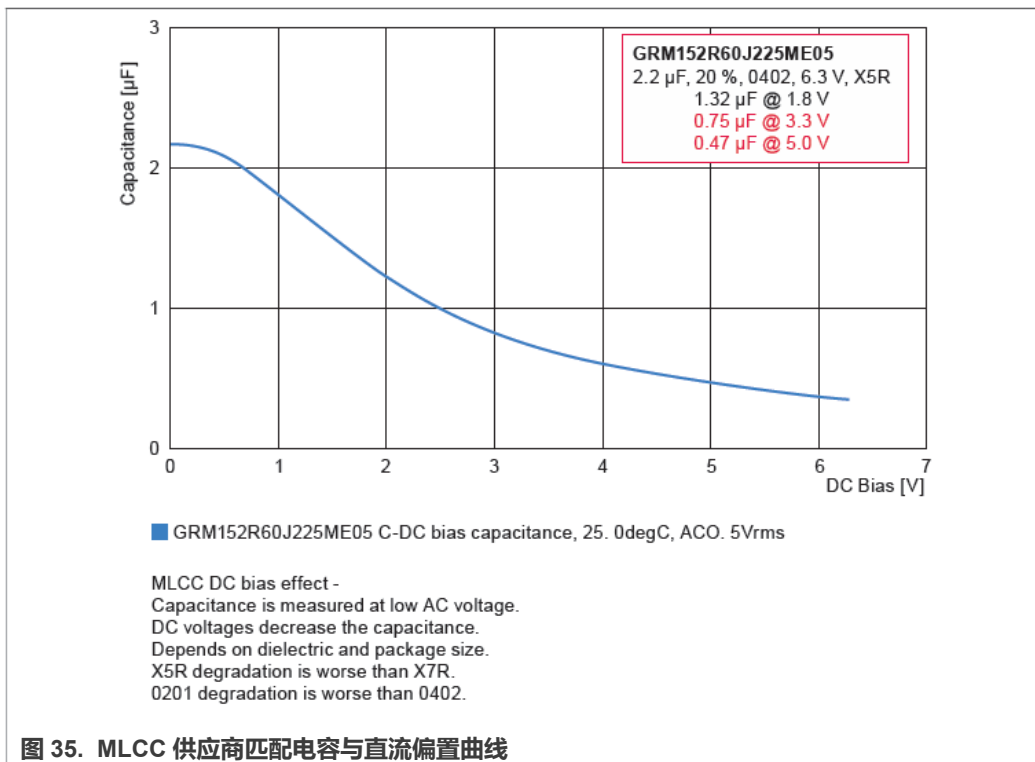
多层片式陶瓷电容 (MLCC) 比较好, 因为它们最大限度地减小了充分解耦电源域所需的许多陶瓷电容的尺寸。然而, MLCC 有一个必须解决的取舍问题, 即直流偏置效应:

- 当直流电压升高时, 小封装的电容会急剧下降
- MLCC 在额定电压下可能小于其额定电容的 25%

如果在信号切换期间没有足够的电荷传递到解耦电容, 这对于电源域上的大容量电容来说至关重要, 参见图 35。

一个经验法则是选择 3 倍直流电压——然而, 在最终选择元器件之前, 应进行验证。

该示例表明, 0402 封装中所选的额定电压为 6.3 V 的 2.2  $\mu$ F 电容在 3.3 V 时的电容小于 1  $\mu$ F, 比 6.3 V 时的电容值小得多。这可能是优点也可能是缺点, 具体取决于用例。



### 7.21 MLCC 电容直流偏置效应建议

下面列出了 MLCC 电容直流偏置效应建议。

- 建议 10 µF 电容采用 0603 封装，16 V，20%，X5R 或 X7R。  
– 0805 封装可接受。
- 建议 1 µF 电容采用 0402 封装，10 V，10%，X5R 或 X7R。
- 建议 0.22 µF 电容采用 0201 封装，10 V，20%，X5R 或 X7R。
- 使用 Murata SimSurfing 工具选择这些电容型号。也可以使用其他部件。

**注：**MLCC 厚度也会影响直流偏置特性。

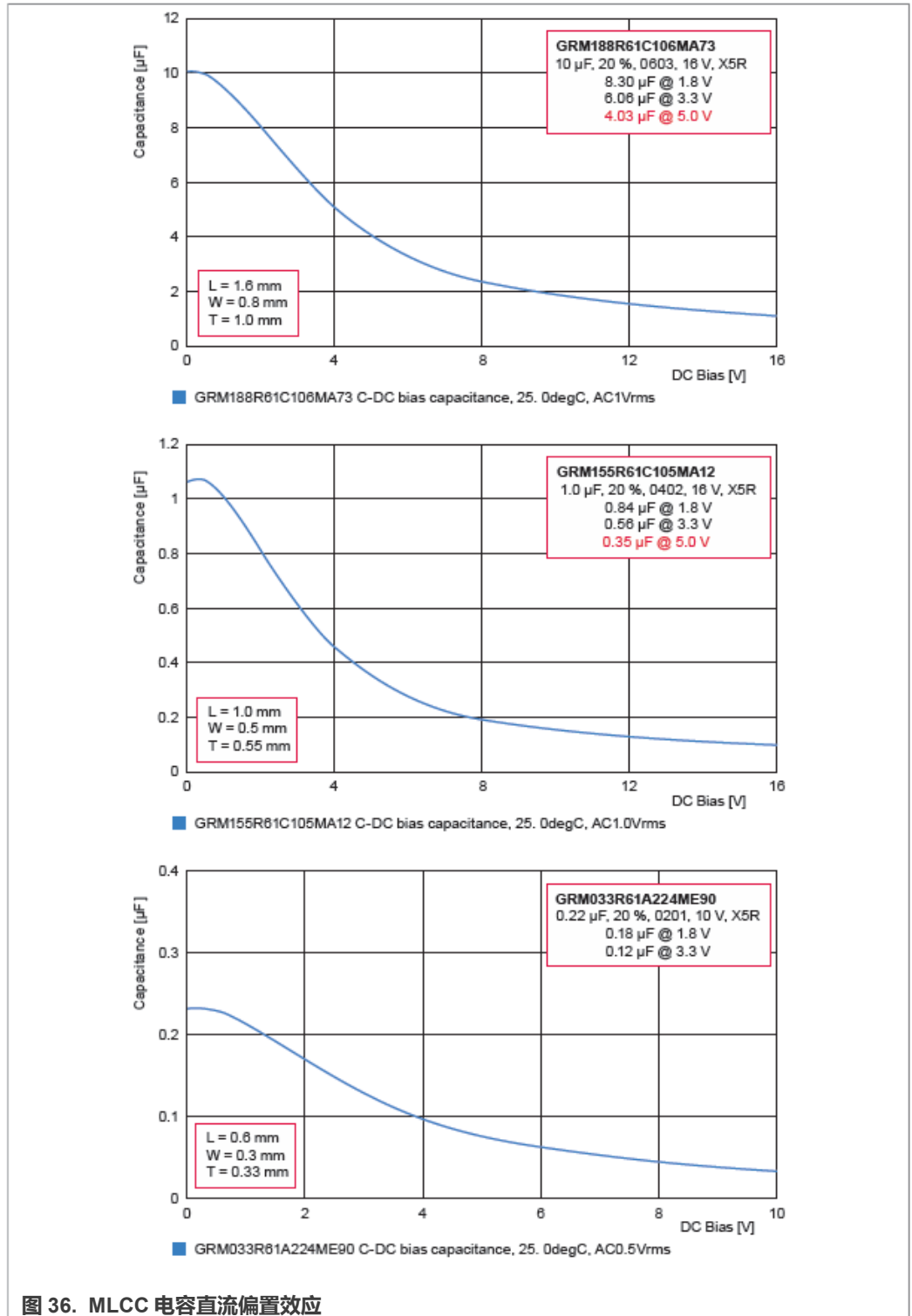


图 36. MLCC 电容直流偏置效应

## 8 结束语

本文档回顾了芯片上的多个电源域、如何对其进行电源滤波、这些电源域的上电时序，以及 i.MX RT500 系统电源的推荐 PMIC 实现。

研究了为内部时钟系统提供时钟的晶振，以及这些振荡器的特性。此外，还回顾了外部时钟输入和时钟输出功能。此外，还介绍了晶体负载电容和确定适当负载电容值的建议。

回顾了调试、跟踪、JTAG 扫描和在线系统编程连接。以 i.MX RT500 EVK 为例介绍了布板要求和建议。讨论了一般高速设计和具体 HDI 设计建议。列出了 EVK 的设计权衡，这些是为实际应用复制准确的电路和布板之前采取的预防措施。最后，我们讨论了 MLCC 电容的直流偏置效应，并为解耦电容的选择提供了指导。

## 9 修订历史

[表 15](#) 汇总了自初始发布以来对本文档所做的更改。

### 修订历史

版本号	日期	实质性变更
0	2022 年 11 月 15 日	初版发布

## 10 Legal information

### 10.1 Definitions

**Draft** — A draft status on a document indicates that the content is still under internal review and subject to formal approval, which may result in modifications or additions. NXP Semiconductors does not give any representations or warranties as to the accuracy or completeness of information included in a draft version of a document and shall have no liability for the consequences of use of such information.

### 10.2 Disclaimers

**Limited warranty and liability** — Information in this document is believed to be accurate and reliable. However, NXP Semiconductors does not give any representations or warranties, expressed or implied, as to the accuracy or completeness of such information and shall have no liability for the consequences of use of such information. NXP Semiconductors takes no responsibility for the content in this document if provided by an information source outside of NXP Semiconductors.

In no event shall NXP Semiconductors be liable for any indirect, incidental, punitive, special or consequential damages (including - without limitation - lost profits, lost savings, business interruption, costs related to the removal or replacement of any products or rework charges) whether or not such damages are based on tort (including negligence), warranty, breach of contract or any other legal theory.

Notwithstanding any damages that customer might incur for any reason whatsoever, NXP Semiconductors' aggregate and cumulative liability towards customer for the products described herein shall be limited in accordance with the Terms and conditions of commercial sale of NXP Semiconductors.

**Right to make changes** — NXP Semiconductors reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

**Suitability for use** — NXP Semiconductors products are not designed, authorized or warranted to be suitable for use in life support, life-critical or safety-critical systems or equipment, nor in applications where failure or malfunction of an NXP Semiconductors product can reasonably be expected to result in personal injury, death or severe property or environmental damage. NXP Semiconductors and its suppliers accept no liability for inclusion and/or use of NXP Semiconductors products in such equipment or applications and therefore such inclusion and/or use is at the customer's own risk.

**Applications** — Applications that are described herein for any of these products are for illustrative purposes only. NXP Semiconductors makes no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

Customers are responsible for the design and operation of their applications and products using NXP Semiconductors products, and NXP Semiconductors accepts no liability for any assistance with applications or customer product design. It is customer's sole responsibility to determine whether the NXP Semiconductors product is suitable and fit for the customer's applications and products planned, as well as for the planned application and use of customer's third party customer(s). Customers should provide appropriate design and operating safeguards to minimize the risks associated with their applications and products.

NXP Semiconductors does not accept any liability related to any default, damage, costs or problem which is based on any weakness or default in the customer's applications or products, or the application or use by customer's third party customer(s). Customer is responsible for doing all necessary testing for the customer's applications and products using NXP Semiconductors products in order to avoid a default of the applications and the products or of the application or use by customer's third party customer(s). NXP does not accept any liability in this respect.

**Terms and conditions of commercial sale** — NXP Semiconductors products are sold subject to the general terms and conditions of commercial sale, as published at <http://www.nxp.com/profile/terms>, unless otherwise agreed in a valid written individual agreement. In case an individual agreement is concluded only the terms and conditions of the respective agreement shall apply. NXP Semiconductors hereby expressly objects to applying the customer's general terms and conditions with regard to the purchase of NXP Semiconductors products by customer.

**Export control** — This document as well as the item(s) described herein may be subject to export control regulations. Export might require a prior authorization from competent authorities.

**Suitability for use in non-automotive qualified products** — Unless this data sheet expressly states that this specific NXP Semiconductors product is automotive qualified, the product is not suitable for automotive use. It is neither qualified nor tested in accordance with automotive testing or application requirements. NXP Semiconductors accepts no liability for inclusion and/or use of non-automotive qualified products in automotive equipment or applications.

In the event that customer uses the product for design-in and use in automotive applications to automotive specifications and standards, customer (a) shall use the product without NXP Semiconductors' warranty of the product for such automotive applications, use and specifications, and (b) whenever customer uses the product for automotive applications beyond NXP Semiconductors' specifications such use shall be solely at customer's own risk, and (c) customer fully indemnifies NXP Semiconductors for any liability, damages or failed product claims resulting from customer design and use of the product for automotive applications beyond NXP Semiconductors' standard warranty and NXP Semiconductors' product specifications.

**Translations** — A non-English (translated) version of a document, including the legal information in that document, is for reference only. The English version shall prevail in case of any discrepancy between the translated and English versions.

**Security** — Customer understands that all NXP products may be subject to unidentified vulnerabilities or may support established security standards or specifications with known limitations. Customer is responsible for the design and operation of its applications and products throughout their lifecycles to reduce the effect of these vulnerabilities on customer's applications and products. Customer's responsibility also extends to other open and/or proprietary technologies supported by NXP products for use in customer's applications. NXP accepts no liability for any vulnerability. Customer should regularly check security updates from NXP and follow up appropriately. Customer shall select products with security features that best meet rules, regulations, and standards of the intended application and make the ultimate design decisions regarding its products and is solely responsible for compliance with all legal, regulatory, and security related requirements concerning its products, regardless of any information or support that may be provided by NXP.

NXP has a Product Security Incident Response Team (PSIRT) (reachable at [PSIRT@nxp.com](mailto:PSIRT@nxp.com)) that manages the investigation, reporting, and solution release to security vulnerabilities of NXP products.

### 10.3 Trademarks

Notice: All referenced brands, product names, service names, and trademarks are the property of their respective owners.

**NXP** — wordmark and logo are trademarks of NXP B.V.

**AMBA, Arm, Arm7, Arm7TDMI, Arm9, Arm11, Artisan, big.LITTLE, Cordio, CoreLink, CoreSight, Cortex, DesignStart, DynamIQ, Jazelle, Keil, Mali, Mbed, Mbed Enabled, NEON, POP, RealView, SecurCore, Socrates, Thumb, TrustZone, ULINK, ULINK2, ULINK-ME, ULINK-PLUS, ULINKpro, µVision, Versatile** — are trademarks or registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere. The related technology may be protected by any or all of patents, copyrights, designs and trade secrets. All rights reserved.



## 目录

<b>1</b>	<b>介绍</b> .....	<b>2</b>	<b>7.8</b>	HDI 建议, 微过孔尺寸.....	<b>30</b>
1.1	MIMXRT595 硬件设计指南综述.....	2	7.9	HDI 扇出布线.....	31
<b>2</b>	<b>缩略语</b> .....	<b>3</b>	7.10	HDI 建议——第 1 层至第 3 层.....	31
<b>3</b>	<b>电源域</b> .....	<b>4</b>	7.11	HDI 建议——第 6 层.....	32
3.1	i.MX RT500 的常开电源域, GPIO 和模拟.....	4	7.12	HDI 实现.....	32
3.2	i.MX RT500 的电源域、ADC 和内核逻辑电源.....	4	7.13	储能和去耦电容放置.....	33
3.3	i.MX RT500 的电源域、内置稳压器.....	6	7.14	晶振 PCB 指南.....	33
3.4	GPIO 的电源域.....	6	7.15	EVK 存储器 8 线 Flash ( U38 ) .....	35
3.5	使用 PMIC 的上电顺序 ( 内部 LDO 被禁用时 ) ..	7	7.16	EVK 存储器 QSPI Flash ( U37 ) .....	36
3.6	恩智浦 PCA9420 PMIC.....	9	7.17	EVK 存储器 PSRAM ( U108 ) .....	38
3.7	MIMXRT595-EVK PMIC 电源分配.....	10	7.18	EVK 存储器 eMMC ( U111 ) 和 SD 卡.....	40
<b>4</b>	<b>i.MX RT500 电源域, 其他电源轨</b> .....	<b>11</b>	7.19	i.MX RT500 电源域.....	42
<b>5</b>	<b>外部时钟</b> .....	<b>12</b>	7.20	MLCC 电容直流偏置效应.....	43
5.1	外部时钟.....	13	7.21	MLCC 电容直流偏置效应建议.....	44
5.2	主晶振 ( XTALIN/XTALOUT ) .....	13	<b>8</b>	<b>结束语</b> .....	<b>46</b>
5.3	主晶振 ( XTALIN/XTALOUT ) 高增益模式.....	14	<b>9</b>	<b>修订历史</b> .....	<b>46</b>
5.4	主晶振 ( XTALIN/XTALOUT ) 低功耗模式.....	15	<b>10</b>	<b>法律声明</b> .....	<b>47</b>
5.5	主晶振 ( XTALIN/XTALOUT ) 旁路模式.....	16			
5.6	实时时钟 ( RTC ) 振荡器 ( RTCXIN/RTCXOUT ) .....	16			
5.7	CLKIN 输入时钟.....	17			
5.8	CLKOUT 输出时钟.....	17			
5.9	振荡器负载电容.....	18			
<b>6</b>	<b>调试、跟踪、JTAG 扫描和编程</b> .....	<b>21</b>			
6.1	串行调试线 ( SWD ) 模式.....	21			
6.2	跟踪信号.....	21			
6.3	JTAG 边界扫描.....	22			
6.4	由 OTP PRIMARY_BOOT_SRC [3:0]位选择启动源.....	22			
6.5	从 ISP_Pin [2:0]选择启动源.....	23			
6.6	EVK 板上的物理 ISP 引脚配置.....	24			
6.7	复位引脚.....	25			
<b>7</b>	<b>布板建议</b> .....	<b>26</b>			
7.1	基本 PCB 设计建议.....	26			
7.2	叠层建议.....	26			
7.3	EVK 叠层详解, 上 3 层.....	27			
7.4	EVK 叠层详解, 下 3 层.....	28			
7.5	走线阻抗要求.....	29			
7.6	一般高速布线建议.....	29			
7.7	HDI 建议.....	30			

Please be aware that important notices concerning this document and the product(s) described herein, have been included in section "Legal information".