

# i.MX 6SoloX 移植指南

## 从 i.MX 6Solo 移植到 i.MX 6SoloX

### 内容

## 1 简介

### 1.1 目的

i.MX 6SoloX 是基于 [i.MX 6Solo](#) 演变而来，本文通过重点介绍两者之前的区别，来帮助用户更好地理解 i.MX 6SoloX。本文档旨在指导开发团队从 [i.MX 6Solo](#) 平台移植到 i.MX 6SoloX 平台。

### 1.2 范围

i.MX 6SoloX 的开发广泛复用了现有的飞思卡尔设计，包括：

- 广泛重复使用 [i.MX 6Solo](#) 并与其设计思路保持一致
- 复用/修改了 [i.MX 6SoloLite](#) 的模块
- 复用/修改了 [Vybrid](#) 的模块

由于与 [i.MX 6Solo](#) 的设计接近一致，本白皮书在编排上，主要是对和 [i.MX 6Solo](#) 不同的地方进行总结。此外，将会提供有关重复使用或改造的 [i.MX 6SoloLite](#) 和 [Vybrid](#) 模块的参考信息。

i.MX 6SoloX 架构引入的新特性使其有别于 i.MX 6 系列中的其他成员。一些主要差异包括：

- i.MX 6SoloX 是 i.MX 6 系列处理器中第一款提供非对称多核处理(AMP)功能的产品，其中集成了 Cortex-

1	简介.....	1
1.1	目的.....	1
1.2	范围.....	1
1.3	受众.....	2
2	特性修改汇总.....	2
3	修订历史.....	6

## 特性修改汇总

A9 和 Cortex-M4 CPU。新特性允许多个执行环境相互通信，并在硬件中支持安全共享资源。

- 集成式以太网已得到升级，提供两个支持 AVB 的 1 Gigabit 端口。
- 包含通用和视频 ADC 接口，增强了模拟集成。

本白皮书重点说明 i.MX 6SoloX 设计中的新增特性，在移植基于 i.MX 6Solo 的设计时需额外注意。

## 1.3 受众

本文档的内容面向从基于 i.MX 6Solo 的平台进行移植的系统集成商和软件开发员。

## 2 特性修改汇总

本节汇总了 i.MX 6SoloX 相对于 i.MX 6Solo 发生的架构变化。

类别	特性	对 i.MX 6Solo 的修改	备注
CPU	Cortex-A9 L2 高速缓存大小	L2 从 512 KB 减少到 256 KB。	i.MX 6Solo/6DualLite 包含 512 KB 以支持具有双 Cortex-A9 CPU 的 SMP 配置(i.MX 6DualLite)。
	OCRAM 形式的 Cortex-A9 L2 高速缓存	L2 存储器阵列(256 KB)可配置为 OCRAM, 以扩展可用的片上存储器空间。	i.MX 6SoloLite 支持该特性。
	Cortex-M4 平台	增加了 Cortex-M4 平台: <ul style="list-style-type: none"><li>• 16 KB I-Cache</li><li>• 16 KB D-Cache</li><li>• 64 KB TCM (紧密耦合存储器) 分为低 32 KB (TCML)区域和高 32 KB(TCMU)区域</li></ul>	辅助处理器用于快速启动、低功耗处理和稳定的 CAN 报文处理。 Cortex-M4 是从 <b>Vybrid</b> 复用而来，但也做了以下变化： <ul style="list-style-type: none"><li>• 增加了内核 MPU，以进一步控制存储器属性</li><li>• 更新了存储器映射，以便与 i.MX6 系列相一致。</li><li>• 没有中断例程。所有 IRQ 均映射到 Cortex-M4 和 Cortex-A9 CPU。</li><li>• MU (消息单元) 提供处理器间中断。</li><li>• 不支持直接从 Cortex-M4 启动。</li><li>• 引导向量位于 TCML，由 Cortex-A9 填充。</li><li>• 独占访问支持 (使用 LDREX 和 STREX 指令支持同步基元)</li></ul>
处理器间通信和同步	SEMA4	增加了 1 个 SEMA4 模块实例来支持硬件执行的信号量。	重复使用了 <b>Vybrid</b> 中的 SEMA4 模块。
	MU	增加了 1 个 MU (消息单元) 模块实例以支持 Cortex-A9 和 Cortex-M4 之间的处理器间通信	

下一页继续介绍此表...

多核隔离/共享	RDC	增加了 RDC 模块 (资源域控制器) 以支持对共享资源进行基于域的访问控制。	
	SEMA42	增加了 2 个 SEMA42 模块实例以支持安全访问共享的外设。	SEMA42 与 SEMA4 类似, 但存在以下主要差别: <ul style="list-style-type: none"> <li>SEMA42 将访问域数量从 2 个增加到 15 个</li> <li>SEMA42 没有用于指示信号量释放的中断</li> </ul> RDC 编程模型支持要求域间共享外设的硬件信号量的选项。SEMA42 与 RDC 之间的信令将外设绑定到 SEMA42 内的信号量门。
	AIPSTZ, SPBA	经过更新, 现在支持基于域的外设访问控制。	RDC 编程模型用于配置每个域的外设访问权限。
	DSEC, DEXSC	经过更新, 现在支持对存储器区域进行基于域的访问控制。	RDC 编程模型用于配置每个域的存储器区域和访问权限。
定时器	WDOG	将 WDOG 的实例数从 2 个增加到 3 个。	提供更多的 WDOG 供 Cortex-M4 使用。
内部存储器	OCRAM_S	在始终开启的电源域中增加了 16 KB 片上存储器。	OCRAM_S 软件可以用它来保留 CPU 和其他硬件模块的状态。
	安全 RAM	将安全 RAM 的大小从 16 KB 增加到 32 KB。	
外部存储器	QSPI	增加了 2 个 Quad SPI 实例。	每个 QSPI 实例支持双通道和 DDR 功能。重复使用了 <a href="#">Vybrid</a> 中的 QSPI 模块。
	RAW NAND	将 BCH40 升级到 BCH62 以支持 62 位 ECC 和随机化。	
安全性	HAB	更新了 HAB 以改善安全引导时间	HAB 将支持全新的快速验证选项, 可以将所需的签名数从 4 个减少为 2 个, 且不降低安全级别。
视频	VPU	移除了 VPU。	视频编码/解码需要 Cortex-A9 软件。
	VDOA	移除了 VDOA。	因为移除了 VPU, 所以不需要 VDOA。
摄像头、显示器和图形模块	VADC	增加了视频 ADC 以支持 NTSC/PAL 模拟视频输入。	为模拟后视摄像头提供高性价比支持。重复使用了 <a href="#">Vybrid</a> 中的 VADC 模块。
	VDEC	增加了复合视频解码器以提供 NTSC/PAL 解码。	将模拟摄像头中的 NTSC/PAL 信号解码为 YUV。重复使用了 <a href="#">Vybrid</a> 中的 VDEC 模块。
	HDMI	移除了 HDMI 发送器。	
	MIPI/CSI-2	移除了 MIPI/CSI-2 接收器。	
	MIPI/DSI	移除了 MIPI/DSI 发送器。	
	IPU	移除了 IPU。	使用 CSI + PXP + LCDIF 取代了 IPU 功能

下一页继续介绍此表...

	CSI	增加了 2 个并行 CSI 端口。	将重复使用 <a href="#">i.MX 6SoloLite</a> 中的 CSI 模块，不过会做出以下改造： <ul style="list-style-type: none"> <li>支持 24 位 YUV 输入</li> <li>支持简单的视频反交错</li> <li>支持字段输入信号</li> </ul>
	PXP	PXP 可用于支持 IPU 以前所支持的 CSC、复合、旋转和调整大小操作。	将重复使用 <a href="#">i.MX 6Solo</a> 中的 PXP 模块。
	GIS	增加了 GIS (通用中断服务) 模块。	使用 GIS 可自动将摄像头的的数据传送到显示器。
	LCDIF	增加了 2 个 LCDIF 实例。	将重复使用 <a href="#">i.MX 6SoloLite</a> 中的 LCDIF 模块，不过会做出以下改造： <ul style="list-style-type: none"> <li>将叠加缓冲器混合为与显示缓冲器相同的高度与宽度</li> <li>叠加缓冲器的本地/全局 Alpha 混合</li> </ul>
	LVDS	将通道数从 2 个减为 1 个。	
	GPU	移除了 GC880 和 GC320。增加了 GC400T。	GC400T 提供集成 2D 和 3D 支持。
	EPDC	移除了 EPDC (电泳显示控制器)。	
音频	SAI	增加了 2 个 SAI 实例, 以将 I2S 音频接口数从 2 个增加到 5 个 (3 个 SSI + 2 个 SAI)。	与 SSI 不同, SAI 接口不通过 AUDMUX。SAI 模块比 SSI 增加了 FIFO 深度 (64x32 位)。重复使用了 <a href="#">Vybrid</a> 中的 SAI 模块。注: <a href="#">i.MX 6Solo</a> 中的 ESAI 在 <a href="#">i.MX 6SoloX</a> 上也可用。
连接	ENET	将 ENET 实例数从 1 个增加到 2 个。这两个 ENET 实例均支持 AVB。	更新了 <a href="#">i.MX 6Solo</a> 中的 ENET 模块并做了以下改造： <ul style="list-style-type: none"> <li>双 64 位 AXI 总线接口</li> <li>改善了总线交换结构的优先级控制</li> <li>8K RX 和 TX FIFO 大小</li> <li>支持未对齐的缓冲器</li> <li>中断合并</li> <li>AVB 支持</li> </ul>
	MIPI_HSI	MIPI_HSI 已移除。	
	MLB	移除了对 MOST150 的 MLB 支持。移除了 DTCP 加密加速器。	重复使用了 <a href="#">i.MX 6Solo</a> 中的 MLB 模块, 但做了以下改造： <ul style="list-style-type: none"> <li>仅支持 MOST25 和 MOST50。</li> <li>移除了 DTCP。</li> </ul>
	UART	将 UART 实例数从 5 个增加到 6 个。	
	PWM	将 PWM 实例数从 4 个增加到 8 个。	
	SPI	将 SPI 实例数从 4 个增加到 5 个。	

下一页继续介绍此表...

	ADC	增加了 2 个 12 位 ADC 实例。	重复使用了 <a href="#">Vybrid</a> 中的 ADC 模块。
模拟	温度传感器	将改造温度传感器，使其具有 3 个可编程跳变点（低、高和紧急）。紧急跳变点可以产生系统复位。	对传感器功能的改造可以在温度下跌超出设定范围时产生中断。当温度达到危险级别时，紧急复位可以提供硬件故障保护。
电源	LDO_PU	已移除 LDO_PU。已移除 VDDPU_CAP 引脚。	GPU 由 VDDSOC 供电。移除了在 <a href="#">i.MX 6Solo</a> 上由 LDO_PU 供电的 IPU 和 VPU 模块。
	LDO_PCIE	增加了 LDO_PCIE。LDO_PCIE 由 VDD_SOC_IN 供电，并连接到 PCIE_VP/VPTX 焊盘。	LDO_PCIE 为 PCIe PHY 数字逻辑供电。
	L2 电源门控	支持 L2 高速缓存电源门控。	L2 高速缓存支持以下电源门控选项： <ul style="list-style-type: none"> <li>在 Cortex-A9 电源门控期间，L2 高速缓存将保持通电并维持状态。</li> <li>在 Cortex-A9 电源门控期间，L2 高速缓存将会断电并丢失状态。</li> </ul>
	SNVS	更新了 ONOFF 引脚行为，以符合 Android 要求。	
调试	DBGMON	增加了 DBGMON。	DBGMON 是一种实时调试监控器，用于记录系统复位前的最后一个 AXI 事务。将重复使用 <a href="#">i.MX 6SoloLite</a> 中的 DBGMON 模块。
	调试信号	根据 RDC 配置路由外设调试信号。	将使用 RDC 配置来确定当 Cortex-M4 和 Cortex-A9 进入调试模式时，外设如何做出响应。
系统集成	存储器映射	更新了 Cortex-A9 存储器映射以反映 IP 的变化。	有关完整信息，请参见参考手册中的“存储器映射”一章。
	IRQ 映射	更新了 IRQ 映射以反映 IP 的变化。	有关完整信息，请参见参考手册中的“IRQ 映射”一章。
	DMA 映射	更新了 DMA 映射以反映 IP 的变化。	有关完整信息，请参见参考手册中的“DMA 映射”一章。
	熔丝映射	更新了熔丝映射以反映 IP 的变化。	有关完整信息，请参见参考手册中的“熔丝映射”一章。
	CSU	更新了 CSU 编程模型以反映 IP 的变化。	有关完整信息，请参见安全参考手册。
	CCM	更新了时钟树以反映 IP 变化并针对低功耗进行了优化。	复用了 <a href="#">i.MX 6Solo</a> 中的 CCM 模块，但也做了以下修改： <ul style="list-style-type: none"> <li>已移除的 IP 模块专用时钟根将被移除，或将其连接到新的 IP 模块。</li> </ul>

## 修订历史

			<ul style="list-style-type: none"><li>• 24 MHz RC OSC 选项适合在 XTAL 断电的低功耗模式下使用。</li><li>• 音频/视频 PLL 支持实时修改以提供可调的媒体时钟。</li></ul>
--	--	--	---

### 3 修订历史

下表列出了本白皮书的修订历史。

表 1. 文档修订历史

修订版本号	日期	修订
Rev. 0	02/2015	初始版本。

**How to Reach Us:**

**Home Page:**  
[freescale.com](http://freescale.com)

**Web Support:**  
[freescale.com/support](http://freescale.com/support)

本文档中的信息仅供系统和软件实施方使用 Freescale 产品。本文并未明示或者暗示授予利用本文档信息进行设计或者加工集成电路的版权许可。Freescale 保留对此处任何产品进行更改的权利，恕不另行通知。

Freescale 对其产品在任何特定用途方面的适用性不做任何担保、表示或保证，也不承担因为应用程序或者使用产品或电路所产生的任何责任，明确拒绝承担包括但不限于后果性的或附带性的损害在内的所有责任。

Freescale 的数据表和/或规格中所提供的“典型”参数在不同应用中可能并且确实不同，实际性能会随时间而有所变化。所有运行参数，包括“经典值”在内，必须经由客户的技术专家对每个客户的应用程序进行验证。

Freescale 未转让与其专利权及其他权利相关的许可。Freescale 销售产品时遵循以下网址中包含的标准销售条款和条件：[freescale.com/SalesTermsandConditions](http://freescale.com/SalesTermsandConditions)。

Freescale, the Freescale logo, Altivec, C-5, CodeTest, CodeWarrior, ColdFire, ColdFire+, C-Ware, Energy Efficient Solutions logo, Kinetis, mobileGT, PowerQUICC, Processor Expert, QorIQ, Qorivva, StarCore, Symphony, and VortiQa are trademarks of Freescale Semiconductor, Inc., Reg. U.S. Pat. & Tm. Off. Airfast, BeeKit, BeeStack, CoreNet, Flexis, Layerscape, MagniV, MXC, Platform in a Package, QorIQ Qonverge, QUICC Engine, Ready Play, SafeAssure, SafeAssure logo, SMARTMOS, Tower, TurboLink, Vybrid, and Xtrinsic are trademarks of Freescale Semiconductor, Inc. All other product or service names are the property of their respective owners.

© 2015 Freescale Semiconductor, Inc.

© 2015 飞思卡尔半导体有限公司

Document Number AN4815  
Revision 0, 02/2015

