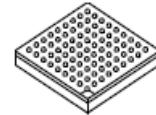


有关产品型号信息，
请访问 nxp.com 联系恩智浦代表。

i.MX 8QuadXPlus 和 8DualXPlus 汽车及信息娱乐 应用处理器



封装信息

21 x 21 mm 封装外壳尺寸

17 x 17 mm 封装外壳尺寸

订购信息

参见第 8 页第 1.1 节表 5

1 简介

本数据手册包含 i.MX 8QuadXPlus 和 8DualXPlus 处理器的规格信息，这两款处理器与 i.MX 8DualX 处理器一起构成 i.MX 8X 系列（有关 i.MX 8DualX 的规格信息，请参见 *i.MX 8DualX 汽车及信息娱乐处理器* [IMX8DXAEC]）。i.MX 8X 系列处理器由 3 至 5 个 ARM 内核构成（2 至 4 个 Arm Cortex®-A35 和一个 Cortex®-M4F）。所有器件均包括独立的 GPU 和 VPU 子系统以及故障转移显示屏控制器。高级多核音频处理由 ARM 内核和一个高性能 Tensilica® HiFi 4 DSP 提供支持，用于音频预处理和后处理及语音识别。i.MX 8X 系列最多支持三块显示屏，提供多个显示输出选项，包括并行、MIPI-DSI 和 LVDS。这款器件的存储器接口包括：

- LPDDR4（无支持纠错码 [ECC]）
- DDR3L（可支持 ECC）

1	简介	1
1.1	订购信息	5
1.2	封装选项	5
1.3	相关资源	5
2	架构概述	6
2.1	功能框图	7



简介

- 2 个四位串行外设接口 SPI 或 1 个八位串行外设接口 SPI (FlexSPI)
- eMMC 5.1、RAW NAND 和 SD 3.0

各种外设 I/O，如 CAN、并行或 MIPI CSI 摄像头输入、千兆以太网、USB 2.0 OTG、USB 3.0（仅限 8QuadXPlus/8DualXPlus）、ADC 和 PCIe 3.0 带来极大的灵活性。

i.MX 8QuadXPlus/8DualXPlus 处理器提供多种高级功能，如下表所示。

表 1. i.MX 8QuadXPlus/8DualXPlus 的高级功能

功能	特性
多核架构提供 2-4 个 Cortex-A35 和 1 个 Cortex-M4F 内核	AArch64 支持 64 位和新的架构功能
	AArch32 完全向后兼容 ARMv7
	Cortex-A35 内核支持 ARM 虚拟化扩展。
	Cortex-M4F 内核面向实时应用
图形处理单元(GPU)	4 个 Vec4 着色器，16 个执行单元，针对更高性能进行了优化
	支持 OpenGL 3.0、2.1；OpenGL ES 3.1、3.0、2.0 和 1.1；OpenCL 1.2 Full Profile 和 1.1；OpenVG 1.1；和 Vulkan
	高性能 2D Blit 引擎
视频处理单元(VPU)	H.265 解码(4Kp30)
	H.264 解码(4Kp30)
	WMV9/VC-1 实现解码
	MPEG 1 和 2 解码
	AVS 解码
	MPEG4.2 ASP、H.263、Sorenson Spark 解码
	Divx 3.11，包括 GMC 解码
	ON2/谷歌 VP6/ VP8 解码
	RealVideo 8/9/10 解码
	JPEG 和 MJPEG 解码
	H.264 编码(1080p30)
Tensilica HiFi 4 DSP 用于预处理和后处理	640 MHz 定点和向量浮点支持 32 KB 指令缓存，48 KB 数据缓存，512 KB SRAM (448 KB OGRAM 和 64 KB TCM)

表 1. i.MX 8QuadXPlus/8DualXPlus 高级功能（续）

功能	特性
存储器	32 位 LPDDR4 @ 1200 MHz 40 位 DDR3L @ 933 MHz（ECC 选项）
	1 个 Quad SPI，可用于连接 FPGA
	2 个 Quad SPI 或 1 个 Octal SPI (FlexSPI)，用于从 SPI NOR 闪存快速启动
	2 个 SD 3.0 卡接口（注意：如果使用 eMMC，则 IOMUX 中提供 1 个 SD 3.0）
	1 个 eMMC5.1/SD3.0（注意：受 IOMUX 限制影响，使用 eMMC 会将 SD 卡的可用性限制为 1 个 SD 3.0）
	RAW NAND（通过 BCH-62 模块支持 62 位 ECC）
显示控制器	最多支持 3 个独立显示器（2 个 MIPI 或 LVDS + 1x 并行 RGB 接口）
	最多含 18 层合成图稿
	互补 2D 位块传输引擎和在线变形功能
	集成故障转移路径(SafeAssure)功能，确保显示内容在软件发生故障时仍然有效
显示 I/O	两个 MIPI-DSI/LVDS Combo PHY（每个高达 1080p60）： 每个 PHY 可以是 4 路 MIPI-DSI 或 4 路通道 LVDS 接口，总共 2 个显示接口。结合使用，两个 PHY 可以配置为单一双通道 LVDS 接口。 1 个 24 位并行 LCD，最高 720p60（DDR 带宽可能会限制可用分辨率）。
摄像头 I/O 和视频	1 个 MIPI-CSI，4 路
	1 个 8 位/10 位并行 CSI
安全性	高级高保障启动(AHAB)安全和加密启动
	搭载高质量熵源生成器和 Hash_DRBG 的随机数生成器（基于散列函数）
	RSA 高达 4096，椭圆曲线高达 1023
	AES-128/192/256、DES、3DES、MD5、SHA-1、SHA-224/256/384/512
	专用安全控制器，支持无闪存 SHE 和 HSM、Trustzone、RTIC
	内置 ECDSA/DSA 协议支持
	有关完整安全特性列表，请参见该芯片的安全参考手册。
系统控制	系统控制单元(SCU): <ul style="list-style-type: none"> • 功率控制、时钟、复位 • 启动 ROM • PMIC 接口 • 资源域控制器

表 1. i.MX 8QuadXPlus/8DualXPlus 高级功能（续）

功能	特性
I/O	1 个 PCIe 3.0（1 路），带 L1 子状态支持
	1 个 USBOTG 3.0，带 PHY——USB 3.0 可用作 USB 2.0
	1 个 USBOTG 2.0（带 PHY）
	2 个 1Gb 以太网，带 AVB（可用作带 AVB 的 10/100 Mbps ENET）
	3 个 CAN/CAN-FD
	1 个媒体本地总线(MLB25/50)
	6 个 UART： <ul style="list-style-type: none"> • 4 个 UART（3 个带硬件流控制） • 1 个 UART，与 Cortex-M4F 内核紧密耦合 • 1 个 SCU UART（注：SCU UART 专用于 SCU，不适用于一般用途）
	10 个 I ² C（注意：有两种类型的 I ² C：高速 I ² C 端口，带 DMA 支持；低速 I ² C 端口，无 DMA 支持。配合特定 PHY 接口使用——例如，用于触摸屏）： <ul style="list-style-type: none"> • 4 个 I²C：高速，DMA 支持 • 4 个 I²C：低速，无 DMA 支持 • 1 个 I²C：PMIC 控制（专用） • 1 个 I²C：Cortex M4F（专用） 注：通常可以使用与 PHY 相关联的 I ² C 端口（例如，MIPI DSI），但是即使不使用 PHY 接口本身，也需要对 PHY 上电。
	4 个 SAI（SAI0 和 SAI1 为发射/接收；SAI2 和 SAI3 仅限接收）
	1 个增强型串行音频接口(ESAI)
	2 个 ASRC（异步采样率转换器）（注：没有 I/O 信号直接连接到该模块）
	1 个 SPDIF（Tx 和 Rx）
	1 个 6 通道 ADC 转换器
	3.3 V/1.8 V GPIO
	4 个 PWM 通道
	1 个 6x8 KPP（键盘端口）
	1 个 MQS（无损音质接口）
	4 个 SPI
	封装
FCPBGA 外壳，17 x 17 mm，0.8 mm 间距	

1.1 订购信息

有关订购信息，请访问 nxp.com 联系恩智浦代表。

1.2 封装选项

此数据手册列出并描述了i.MX 8X系列器件中的功能超集。功能列表是子集，因封装而异。此表描述了每种封装的可用功能差异。

表2. 各封装的功能差异¹

功能	21 x 21 mm 0.8 mm FCPBGA	17x17 mm 0.8 mm FCPBGA	备注
DRAM	32 位 LPDDR4 和带可选 ECC 的 40 位 DDR3L	16 位 LPDDR4 和 16 位 DDR3L (无 ECC)	由于 17 x 17 封装的 DDR 接口减少，所支持的最大 DDR 密度也随之降低。
MIPI-CSI	1 (4 路加专用 GPIO)	1 (4 路接口和仅 MIPI_CSI0_MCLK_OUT)	去除了 MIPI_CSI0_I2C0、MIPI_CSI0_GPIO0_00 和 MIPI_CSI0_GPIO0_01 引脚
MIPI-DSI	2 (4 路加专用 GPIO)	2 (4 路接口和仅 MIPI_DSIx_I2C0)	去除了 MIPI_DSIx_GPIO0_00 和 MIPI_DSIx_GPIO0_01 引脚 (x 为 0 或 1)
SAI	4	2	去除了 SAI0 和 SAI1 (仅限 RX) 引脚 注意：通过去除这些接口，LCDIF 从 24 位降至最大 18 位
SPI	4	3	去除了 SPI2 引脚
USB	USB3 (SS3 加 OTG2) 和 OTG1	仅 OTG1	去除了 SS3 和 OTG2 引脚
USDHC	2	1	去除了 USDHC1 引脚

¹可能存在替代性IOMUX选项，可用于替换某些去除的功能，例如SAI0、SAI1和SPI2；但是，这将对较小封装器件的整体IOMUX功能带来不同的限制。

1.3 相关资源

表3. 相关资源

类型	说明
参考手册	<i>i.MX 8DualX/8DualXPlus/8QuadXPlus 应用处理器参考手册 (IMX8DQXPRM)</i> 全面地描述了 SoC 的结构和功能 (工作方式)。
数据手册	本数据手册包括电气特性和信号连接。
芯片勘误表	芯片掩模组勘误表为特定器件掩模组提供附加信息和/或校正信息。

表3. 相关资源（续）

类型	说明
封装图	封装尺寸见第 6 节“封装信息和触点分配”。
硬件指南	请联系恩智浦代表了解获取方式。

2 架构概述

以下各小节概述 i.MX 8QuadXPlus/8DualXPlus 处理器系统的架构。

2.1 功能框图

下图显示处理器系统中的功能模块。

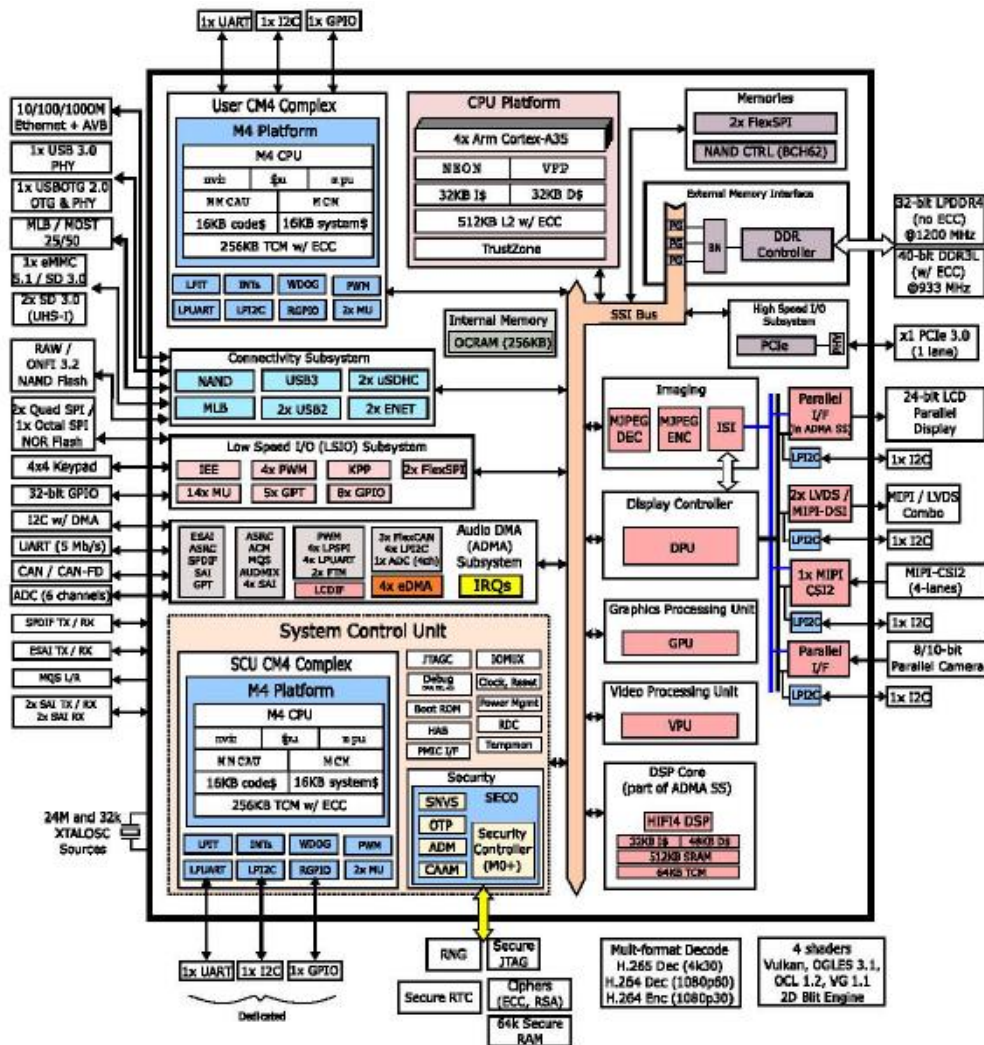


图1. i.MX 8QuadXPlus/8DualXPlus系统功能框图